CIRCUITOS ELECTRONICOS
Discretos e integrados

CIRCUITOS ELECTRONICOS
Discretos e integrados

TERCERA EDICION

Donald L. Schilling
The City College of the City University of New York

Charles Belove
New York Institute of Technology

Tuvia Apelewicz
SCS Telecom, Inc.
New York Institute of Technology

Raymond J. Saccardi
Department of Defense
The University of Maryland University College

Traducción

MIGUEL ANGEL PEREZ GARCIA
Doctor Ingeniero Industrial
FERNANDO NUÑO GARCIA
Doctor Ingeniero Industrial
JUAN DIAZ GONZALEZ
Ingeniero Industrial
Tecnología Electrónica
Universidad de Oviedo

Revisión técnica

FRANCISCO SANDOVAL
Doctor Ingeniero de Telecomunicación
Departamento de Tecnología Electrónica
Universidad de Málaga

LIBRO DE CORTESIA
MEXICO

McGRAW-HILL

MÉXICO • BUENOS AIRES • CARACAS • GUATEMALA • LISBOA • MADRID • NUEVA YORK
PANAMÁ • SAN JUAN • SANTAFÉ DE BOGOTÁ • SANTIAGO • SÃO PAULO
AUCKLAND • HAMBURGO • LONDRES • MILÁN • MONTREAL • NUEVA DELHI • PARÍS
SAN FRANCISCO • SINGAPUR • ST. LOUIS • SIDNEY • TOKIO • TORONTO

CIRCUITOS ELECTRONICOS: Discretos e Integrados. Tercera edición

No está permitida la reproducción total o parcial de este libro, ni su tratamiento informático, ni la transmisión de ninguna forma o por cualquier medio, ya sea electrónico, mecánico, por fotocopia, por registro u otro método, sin el permiso previo y por escrito de los titulares del Copyright.

DERECHOS RESERVADOS © 1993 respecto a la tercera edición en español por McGRAW-HILL/INTERAMERICANA DE ESPAÑA, S. A.
Edificio Oasis A, planta 1.ª
Basauri, 17
28023 Aravaca (Madrid)

Traducido de la tercera edición en inglés de
ELECTRONIC CIRCUITS: Discrete and Integrated

Copyright © MCMLXXXIX, by McGraw-Hill, Inc. U.S.A.

ISBN: 0-07-055348-3

ISBN: 84-481-0082-4
Depósito legal: M. 17.719-1993

2345678901 9087651234

Impreso en México Printed in Mexico

Esta obra se terminó de
imprimir en Junio de 1994
en Programas Educativos, S.A. de C.V.
Calz. Chabacano No. 65-A
Col. Asturias
Delegación Cuauhtémoc
06850 México, D.F.

Se tiraron 1000 ejemplares

A nuestras esposas
ANNETTE, GOLDA,
ARIELA y ROSEMARIE
por su ayuda y paciencia

Contenido

Prólogo XV

Capítulo 1 ANALISIS DE LOS CIRCUITOS CON DIODOS 1

Introducción *1* 1.1. Propiedades no lineales. El diodo ideal *1* 1.2. Introducción a la teoría del diodo semiconductor *16* 1.3. Análisis de circuitos sencillos con diodos; la recta de carga en continua *22* 1.4. Análisis en pequeña señal; concepto de resistencia dinámica *25* 1.5. Análisis en pequeña señal; recta de carga en alterna *30* 1.6. Sistemas de diodos *32* 1.7. Generación de funciones *38* 1.8. Capacidad del diodo *42* 1.9. Diodos Schottky *43* 1.10. Diodos Zener *45* 1.11. Diodos PIN *51* 1.12. Efectos de la temperatura *54* 1.13. Características de los fabricantes. *61* Referencias *65* Problemas *65*.

Capítulo 2 INTRODUCCION A LOS CIRCUITOS CON TRANSISTORES 81

Introducción *81* 2.1. Mecanismo de conducción de corriente en el transistor de unión *81* 2.2. Amplificación de corrientes en el transistor *89* 2.3. Análisis gráfico de circuitos con transistores *102* 2.4. Cálculos de potencia *113* 2.5. Condensador de desacoplo infinito *118* 2.6. Condensador de acoplamiento infinito *123* 2.7. Seguidor de emisor *126* Referencias *134* Problemas *134*.

Capítulo 3 EL TRANSISTOR DE EFECTO DE CAMPO 141

Introducción *141* 3.1. Introducción a la teoría de funcionamiento del JFET *142* 3.2. Introducción a la teoría de funcionamiento del MOSFET *147* 3.3. Reversibilidad del drenaje y de la fuente *154* 3.4. FET de canal *p* *155* 3.5. MOSFET de empobrecimiento *158* 3.6. El amplificador FET *159* 3.7. MOS de simetría complementaria *162* 3.8. El FET de GaAs (MESFET) *165* 3.9. El interruptor FET *166* 3.10. Efectos de la temperatura en los MOSFET *171* 3.11. Protección de la entrada en el MOSFET *172* 3.12. FET de potencia (VMOS) *173* 3.13. El dispositivo de acoplamiento de carga *177* Referencias *180* Problemas *180*.

Capítulo 4 ESTABILIDAD DE LA POLARIZACION 187

Introducción *187* 4.1. Desplazamiento del punto de reposo debido a la incertidumbre de β *188* 4.2. Efecto de la temperatura sobre el punto de reposo *192* 4.3. Análisis del factor de estabilidad *194* 4.4. Compensación de las variaciones de temperatura mediante la polarización por diodo *201* 4.5. Estabilidad de la polarización en el FET *206* 4.6. Consideraciones térmicas ambientales en los amplificadores con transistores *211* 4.7. Especificaciones de los fabricantes para transistores de alta potencia ($P_{C,\,máx} > 1$ W) *215* Problemas *216.*

Capítulo 5 AMPLIFICADORES LINEALES DE POTENCIA EN AUDIOFRECUENCIA 225

Introducción *225* 5.1. El amplificador de potencia en emisor común de clase A *225* 5.2. Amplificador acoplado por transformador *237* 5.3. Amplificadores de potencia simétricos de clase B (push-pull) *241* 5.4. Amplificadores simétricos complementarios *251* 5.5. El amplificador de potencia de clase C *253* 5.6. El amplificador de clase D *260* 5.7. Amplificadores de clase S *264* Resumen *267* Problemas *268.*

Capítulo 6 ANALISIS Y DISEÑO DE AMPLIFICADORES DE BAJA FRECUENCIA PARA PEQUEÑA SEÑAL 273

Introducción *273* 6.1. Los parámetros híbridos: transistor bipolar de unión *274* 6.2. Configuración en emisor común (EC) *276* 6.3. Configuración en base común (BC) *287* 6.4. Configuración en colector común (CC) (seguidor de emisor) *291* 6.5. Tabla de parámetros importantes de las tres configuraciones básicas *305* 6.6. Interpretación de las especificaciones dadas por los fabricantes para transistores de baja potencia ($P_C < 1$ W) *306* 6.7. Circuito equivalente del FET en pequeña señal *307* 6.8. El amplificador de tensión en fuente común *310* 6.9. El seguidor de fuente (amplificador en drenaje común) *312* 6.10. Reflexión de impedancia en el FET *316* 6.11. El circuito divisor de fase *320* 6.12. El amplificador en configuración en puerta común *322* 6.13. El FET de doble puerta *323* 6.14. Especificaciones de los fabricantes *325* Problemas *327.*

Capítulo 7 CIRCUITOS CON VARIOS TRANSISTORES 335

7.1. El amplificador diferencial *335* 7.2. Relación de rechazo de modo común *343* 7.3. Amplificador diferencial con fuente de corriente constante *346* 7.4. Amplificador diferencial con resistencias de emisor para el equilibrio *352* 7.5. Amplificador diferencial utilizando FET *355* 7.6. El amplificador Darlington *358* 7.7. El amplificador Cascodo *365* 7.8. El amplificador operacional *369* 7.9. Ejemplo de un amplificador operacional completo *370* Problemas *379.*

Capítulo 8 APLICACIONES DE LOS AMPLIFICADORES OPERACIONALES 387

Introducción *387* 8.1. Amplificador lineal inversor *388* 8.2. Amplificador lineal no inversor *392* 8.3. Realimentación *395* 8.4. Operaciones lineales utilizando el operacional *395* 8.5. Aplicaciones no lineales de los operacionales *402* 8.6. Generador de barrido con autoelevación *414* 8.7. Amplificador logarítmico *416* 8.8. Fuentes de alimentación realimentadas *420* 8.9. Multiplicador analógico de cuatro cuadrantes *422* 8.10. Control automático de ganancia *427* 8.11. Consideraciones prácticas en los circuitos con amplificadores operacionales *432* 8.12. Otros amplificadores lineales en circuitos integrados *436* Problemas *436.*

Capítulo 9 LIMITACIONES DE FRECUENCIA Y DE VELOCIDAD DE CONMUTACION 445

Introducción *445* 9.1. La respuesta en baja frecuencia del amplificador transistorizado *447* 9.2. Respuesta en baja frecuencia del amplificador FET *462* 9.3. El amplificador con transistores en altas frecuencias *464* 9.4. El FET a altas frecuencias *478* 9.5. Amplificadores sintonizados *485* 9.6. El producto ganancia-ancho de banda *500* 9.7. El interruptor con transistor *503* Referencias *506* Problemas *507.*

Capítulo 10 REALIMENTACION, COMPENSACION EN FRECUENCIA DE LOS AMPLIFICADORES OPERACIONALES Y OSCILADORES 519

Introducción *519* 10.1. Conceptos básicos de la realimentación *519* 10.2. Respuesta en frecuencia de un amplificador realimentado *526* 10.3. El problema de la estabilidad: un amplificador con tres polos *532* 10.4. Criterio en Nyquist de estabilidad; diagramas de Bode *533* 10.5. Redes estabilizadoras *535* 10.6. Compensación en frecuencia de amplificadores operacionales *548* 10.7. Osciladores senoidales *550* Referencias *558* Problemas *558.*

Capítulo 11 FUNCIONES LOGICAS Y ALGEBRA DE BOOLE 565

Introducción *565* 11.1. Funciones lógicas *565* 11.2. Algebra booleana *574* 11.3. Las funciones NO-Y (NAND) y NO-O (NOR) *578* 11.4. Formas canónicas de funciones lógicas *583* 11.5. Tablas de Karnaugh *588* 11.6. Ejemplo de diseño: una máquina de escrutinio *595* 11.7. El sistema de números binarios *598* Referencias *602* Problemas *602.*

Capítulo 12 PUERTAS LOGICAS 609

Introducción *609* 12.1. El inversor (puerta NO) *610* 12.2. Lógica transistor-transistor (TTL) *615* 12.3. Lógica de emisor acoplado (ECL) *635* 12.4. Lógica CMOS *653* 12.5. Acoplamiento (interface) *659* 12.6. Comparación entre las familias lógicas *662* Referencias *664* Problemas *665.*

Capítulo 13 BIESTABLES 669

Introducción *669* 13.1. El biestable *RS* *671* 13.2. El biestable *RS* maestro-seguidor (Master-Slave) *679* 13.3. El biestable *JK* *681* 13.4. Biestable *JK* activado por flancos *683* 13.5. El biestable *D* (Retardado) *685* 13.6. Biestables existentes en el mercado *687* 13.7. Comparación de los biestables de las diversas familias *693* Problemas *693.*

Capítulo 14 REGISTROS, CONTADORES Y CIRCUITOS ARITMETICOS 699

Introducción *699* 14.1. Registros de desplazamiento *699* 14.2. Contadores *707* 14.3. Circuitos aritméticos *718* 14.4. Filtros digitales *734* 14.5. Gate array VLSI para diseño lógico *741* Referencias *746* Problemas *746.*

Capítulo 15 CIRCUITOS DE MUESTREO Y RETENCION, CONVERTIDORES DIGITAL-ANALOGICO Y ANALOGICO-DIGITAL Y CIRCUITOS TEMPORIZADORES 755

Introducción *755* 15.1. Circuitos de muestreo y retención *755* 15.2. Convertidores digital-analógicos *759* 15.3. Convertidores analógico-digitales *771* 15.4. Circuitos de temporización *779* Referencias *785* Problemas *785.*

Capítulo 16 VLSI: FABRICACION DE CIRCUITOS Y SUS EFECTOS SOBRE PRESTACIONES, DENSIDAD Y COSTE 791

Introducción *791* 16.1. Preparación de la oblea de silicio *794* 16.2. Fabricación de máscaras *795* 16.3. Litografía *797* 16.4. Adición de material *798* 16.5. Eliminación de material *807* 16.6. Fabricación de circuitos CMOS *810* 16.7. Test de la oblea, separación y encapsulado *814* 16.8. Rendimiento del proceso *816* 16.9. Dispersión del proceso *819* 16.10. Efectos de la temperatura y la tensión *821* 16.11. Leyes de escalado *825* 16.12. Latch-up (Enclavamiento) *828* Referencias *830* Problemas *830.*

Capítulo 17 METODOLOGIAS DE DISEÑO DE ASIC Y CONSIDERACIONES EN EL DISEÑO DE SISTEMAS 835

Introducción *835* 17.1. Logic Cell Array (matriz de células lógicas) *837* 17.2. Gate Arrays (matrices de puertas) *840* 17.3. Structured Array (Matriz estructurada) *852* 17.4. Standard Cells (células estándar) *854* 17.5. Diseño Full Custom (Totalmente a medida) *867* 17.6. Análisis de costes *868* 17.7. Diseñando para la testeabilidad *872* 17.8. Relojes *879* Referencias *885* Problemas *885.*

Capítulo 18 SOFTWARE DE DISEÑO ASISTIDO POR COMPUTADOR PARA DISEÑO VLSI 889

Introducción *889* 18.1. Entrada lógica *891* 18.2. Simulación *892* 18.3. Layout de circuitos integrados *905* 18.4. Verificación del layout *907* Referencias *909* Problemas *909*.

APENDICE A 913

APENDICE B 915

APENDICE C 917

INDICE 955

Acerca de los autores

Donald L. Schilling es «Profesor Distinguido con el Herbert G. Kaiser de Ingeniería Eléctrica» del City College de la City University de Nueva York donde ha sido profesor desde 1969. El profesor Schilling ha enseñado Ingeniería Eléctrica desde 1956, más de 32 años. Sus libros incluyen *Circuitos electrónicos: discretos e integrados; Introducción a sistemas, circuitos y dispositivos; Principios de sistemas de comunicación; Electrónica digital integrada; Circuitos electrónicos: discretos e integrados* (2.ª ed.); *Principios de sistemas de comunicación* (2.ª ed.) y *Dirección de proyectos dinámicos.* Ha publicado también más de 140 artículos técnicos en el campo de las telecomunicaciones.

El Dr. Schilling obtuvo el título de ingeniero por el City College de Nueva York, Universidad de Columbia, y el Instituto Politécnico de Brooklyn. Contribuyó con numerosas y destacadas aportaciones a la difusión de los sistemas de comunicación, modulación de frecuencia, sistemas de bloqueo de fase y otras áreas de las comunicaciones y del procesamiento de señal. Su algoritmo para un DM adaptativo se usa actualmente en la lanzadera espacial.

El profesor Schilling fue presidente de la IEEE Communications Society, miembro del consejo de administración del IEEE y redactor jefe del *IEEE Transactions on Communications magazine and Communications magazine.* Es socio del IEEE, Eta Kappa Nu, Tau Beta Pi y Sigma Xi y ha recibido numerosos premios, incluido el de Profesor del Año concedido por HKN, por el Long Island Joint Engineering Committee y el Premio Long Island Section por «Destacadas Aportaciones».

El Dr. Schilling es también miembro de la junta de ciencia del ejército de los Estados Unidos.

Charles Belove ha sido uno de los grandes profesores de Ingenieria Eléctrica. Después de recibir su Ph. D. de la Universidad de Yale fue profesor durante 25 años en el Polytechnic Institute of Brooklyn, en el New York Institute of Technology y en la Florida Atlantic University.

El profesor Belove escribió seis libros de texto y fue redactor jefe del *Handbook of Modern Electronics and Eletrical Engineering* (1986). Este texto contiene 2400 páginas relacionadas con todos los aspectos modernos de la ingeniería eléctrica.

El Dr. Belove murió en 1986.

Tuvia Apelewicz es Director de Sistemas de Comunicación de SCS Telecom, Inc. En 1978 recibió su Ph. D. en Ingeniería Eléctrica por la City University de Nueva York. Dirige actualmente un equipo de investigadores en SCS Telecom desarrollando el «estado del arte» del procesamiento de señales digitales para aplicaciones comerciales. Además, es profesor asociado a tiempo parcial en el New York Institute of Technology.

El Dr. Apelewicz comenzó su carrera investigadora en 1978 como miembro del equipo técnico de los Laboratorios Bell. Era el responsable de investigación y desarrollo en el departamento de comunicaciones de datos. Participó en la realización de un complejo supresor de ecos para datos, usando microprocesadores de 16 bits, y en el diseño de un modem full-duplex de alta velocidad a dos hilos, para la red telefónica DDD. Fue también profesor ayudante en el Departamento de Ingeniería Eléctrica de la City University de Nueva York. Antes de entrar en SCS Telecom, Inc., el Dr. Apelewicz fue investigador principal en Tadiran Corp. y Telkoor, Inc. Sus proyectos incluían una nueva generación de radios tácticas por salto de frecuencia, proyectos de ampliación de espectros, procesamiento digital de señal, encriptación de datos y proyectos sobre seguridad en la transmisión de datos.

El profesor Apelewicz es miembro del IEEE y de las sociedades Sigma Xi, Eta Kappa Nu y Tau Beta Pi.

Raymond J. Saccardi cuenta con más de 15 años de probada experiencia en sistemas de alta velocidad. Actualmente es, en el Departamento de Defensa, jefe de diseño y construcción de diversos sistemas de propósito especial. Estos sistemas están implementados con microprocesadores, circuitos integrados ECL de alta velocidad, VLSI custom y minicomputadores de 32 bits de alta velocidad.

Anteriormente, dirigió proyectos relacionados con el diseño y desarrollo de sistemas digitales de alta velocidad de propósito especial, incluyendo todo el hardware y software necesario. El tamaño de estos sistemas variaba en el rango de 10 000 a 70 000 circuitos integrados y estaban bajo el control de un computador empleando un software de 30 000 a 50 000 líneas de código. Como ingeniero de diseño del Departamento de Defensa realizó diseños aritméticos complejos que usaban CI TTL desde pequeña hasta alta escala de integración, así como CI ECL.

El Sr. Saccardi impartió cursos de arquitectura de computadores, minicomputadores y microprocesadores para el Departamento de Defensa, en la Universidad de Maryland donde ejerce como profesor adjunto. Es miembro del IEEE, de la IEEE Computer Society y de Eta Kappa Nu. Sus trabajos han sido publicados y ha recibido varios premios por sus aportaciones técnicas. Posee un MSEE de la Universidad de Arizona (Tuscon) y un BSEE del Manhattan College (Riverdale, NY).

Prólogo

En el prólogo de la primera edición, los autores predijeron que los avances en microelectrónica y circuitos integrados podrían hacer que los conocimientos actuales quedasen obsoletos en el plazo de una década. Realmente ha sido así y el diseño de circuitos es ahora en gran parte un proceso de selección de la combinación idónea de circuitos integrados. Estos circuitos deben conectarse adecuadamente y trabajar dentro de su rango de funcionamiento de forma que su interconexión pueda resolver el problema planteado.

Desde que se publicó la segunda edición, el panorama, una vez más, ha cambiado drásticamente. La muy alta escala de integración (VLSI) se ha convertido en algo común. Han surgido memorias de gran capacidad y alta velocidad con muy bajo consumo. Como resultado, la ingeniería electrónica está llamada a construir sistemas más elaborados de menor tamaño que operen a mayor velocidad, disipen menor potencia y, por supuesto, sean más económicos.

Las hojas de datos de los circuitos integrados incluyen a menudo esquemas de los circuitos. Estos diagramas muestran los elementos (transistores, resistencias y diodos) del chip de CI y se incluyen para que el ingeniero pueda diseñar los adecuados circuitos de «interface» que permitan usar el chip eficazmente. En el diseño de circuitos VLSI, el ingeniero de diseño debe indicar al fabricante del chip cómo desea interconectar las decenas de miles de transistores en el mismo. Esto requiere entender el funcionamiento de los transistores de unión bipolar y de efecto de campo.

La presente edición está pensada para preparar eficazmente al estudiante en el uso de las nuevas técnicas. Se pretende que sea un texto de iniciación en circuitos electrónicos para estudiantes de primeros cursos de ingeniería y física. Después de estudiar este texto los estudiantes serán capaces de diseñar y analizar circuitos usando CI analógicos y/o digitales, diseñar amplificadores de potencia, realizar el diseño de circuitos de RF y diseñar circuitos usando chips VLSI tales como los *circuitos integrados de aplicación específica* (ASIC). Además, el estudiante obtendrá un conocimiento más profundo que le permitirá manejar problemas de circuitos y comprender los nuevos dispositivos que vayan apareciendo. En resumen, al completar el curso, los estudiantes estarían suficientemente preparados para actuar con competencia tanto en la industria como en cursos de nivel más elevado.

La primera y segunda edición de este texto se han aceptado ampliamente en escuelas de ingeniería de todo el mundo y se han usado en muchos cursillos impartidos en la industria. Esta tercera edición está basada en la misma filosofía de enseñanza que las dos

anteriores: diseño de circuitos prácticos, rara vez utilizando la física de los dispositivos; se emplearán en su lugar las características entre terminales.

Los autores presentan la teoría física de forma descriptiva para resaltar estas propiedades en los terminales. El conocimiento del uso práctico de dispositivos semiconductores preparará el camino para un curso posterior de física de semiconductores. Además, se presentan a lo largo del texto numerosos circuitos prácticos que pueden ser construidos y usados en la clase y en la industria. ¡Los circuitos funcionan!

Se supone que los estudiantes tienen una base de teoría de circuitos pasivos lineales, lo que incluye un manejo fluido de las leyes de Kirchhoff para circuitos de cc y ac. Esto, junto con un conocimiento de cálculos de potencia simples, es todo lo que se requiere para la mayor parte del texto. En los Capítulos 9 y 10 serán de gran ayuda algunos conocimientos del plano de la frecuencia compleja y del concepto de la respuesta en frecuencia.

Se han incluido los elementos del algebra booleana y funciones lógicas (Cap. 11) para aquellos estudiantes que no hayan realizado un curso previo de electrónica digital.

El primer objetivo de este texto es proporcionar destreza en el análisis y diseño de circuitos electrónicos. Como se ha señalado anteriormente, éste ha evolucionado hoy día hacia un proceso de combinación de CI. Para llevar a cabo inteligentemente este objetivo y poder realizar combinaciones de CI no convencionales, el diseñador debe entender el funcionamiento interno de los CI. Los Capítulos del 1 al 8 cubren los circuitos con transistores para frecuencias bajas y medias. Se presentan los procedimientos de diseño y los modelos más usados. Se hace especial énfasis en la aproximación gráfica, de la que los autores están plenamente convencidos. Los importantes conceptos de rectas de carga en cc y ac junto con el análisis con pequeña y gran señal, se introducen en el Capítulo 1 junto con los circuitos con diodos. Cuando se estudian el transistor bipolar y el de efecto de campo en los Capítulos 2 y 3, respectivamente, el estudiante tiene ya estas técnicas firmemente arraigadas. La estabilidad de la polarización se cubre en el Capítulo 4. El tipo de polarización empleado en los circuitos integrados se introduce además de las técnicas estándar. También se consideran cuestiones sobre estabilidad térmica. El Capítulo 5 presenta los amplificadores de potencia. Además de los amplificadores estándar de clase A y push-pull, los autores introducen secciones sobre los amplificadores de potencia de clase C, D y S, que se usan generalmente en altas frecuencias. En el Capítulo 6 se estudia el comportamiento en pequeña señal y baja frecuencia de las distintas configuraciones del transistor, usando el modelo de parámetros híbridos. Aquí, se introduce la técnica de la impedancia reflejada como un atajo en el análisis de circuitos complicados. Se considera también la influencia del punto de polarización en el comportamiento en pequeña señal. En el Capítulo 7 se examinan circuitos con múltiples transistores haciendo hincapié en configuraciones de circuitos (tales como la diferencia entre amplificadores y amplificadores operacionales) que nos llevan de forma natural a las técnicas de fabricación de circuitos integrados. En el Capítulo 8 se cubren numerosas aplicaciones de los amplificadores operacionales como los circuitos limitadores y fijadores, las fuentes de alimentación y los circuitos de control automático de ganancia (AGC).

La respuesta en frecuencia de amplificadores *RC* a frecuencias bajas y altas se estudia en el Capítulo 9, juntamente con los amplificadores de banda estrecha sintonizados y el transistor en conmutación. Los principios y ventajas de la realimentación se consideran en el Capítulo 10. Se estudian los conceptos de ganancia, sensibilidad e impedancia, y los ejemplos subrayan los tipos de amplificadores realimentados que utilizan los circuitos integrados analógicos. Se consideran los problemas de estabilidad asociados a los circuitos

integrados y se estudian las técnicas de compensación en frecuencia. En este capítulo se incluye también una sección práctica de osciladores con transistores.

La segunda parte de este libro trata de los circuitos digitales y comienza con el Capítulo 11, que introduce las técnicas de análisis lógico necesarias para los siguientes capítulos. Las puertas lógicas se consideran en el Capítulo 12. Se tienen en cuenta aquellas familias lógicas que han aguantado el paso del tiempo (TTL, ECL y CMOS), los métodos de interconexión entre los diferentes tipos y la interpretación de las hojas de datos de los fabricantes. El Capítulo 13 cubre los biestables, que se usan en el Capítulo 14 para formar registros y contadores. También se incluyen en el Capítulo 14 circuitos aritméticos y filtros digitales que utilizan las puertas y biestables estudiados anteriormente. Este capítulo termina con una sección que describe circuitos VLSI como las Programmable Array Logic (PAL) y las Logic Cell Array (LCA).

El Capítulo 15 considera los circuitos de muestreo y retención y los convertidores digital-analógicos y analógico-digitales, así como circuitos temporizadores (multivibradores astables y monoastables) construidos usando CI.

Finalmente, los Capítulos 16 al 18 abordan la fabricación de circuitos VLSI y constituyen una introducción al diseño de aplicación, a los Circuitos Integrados Específicos (ASIC), al test y al uso de software de Diseño Asistido por Computador (CAD). Una vez más el punto de vista empleado es que el lector va a usar el chip VLSI en la construcción de un sistema electrónico y quiere diseñarlo para que realice una función específica.

Se realizó un gran esfuerzo para usar valores de parámetros prácticos en los numerosos ejemplos del texto. Se dan especificaciones típicas de los fabricantes para que el estudiante se haga una idea del rango de valores de los parámetros para los distintos dispositivos. Se proponen numerosos problemas para resolver, desde ejercicios de análisis hasta complejos diseños. Los Apéndices B y C incluyen valores estándar de resistencias y condensadores y hojas de datos de varios dispositivos que se pueden usar para problemas de diseño y como futuras referencias.

A los autores les gustaría dar las gracias a Ms. Victoria Benzinger, Ms. Mary Ward y Mrs. Lee Viesta por el mecanografiado de este manuscrito. También nos gustaría dar las gracias a nuestros colegas y estudiantes por su crítica constructiva del texto y en particular a los editores, Martha y Dennis Gleason, por su ayuda.

DONALD L. SCHILLING
CHARLES BELOVE
TUVIA APELEWICZ
RAYMOND SACCARDI

CAPITULO 1

Análisis de los circuitos con diodos

INTRODUCCION

El diodo es el más simple de los dispositivos no lineales de los que se trata en este texto. En este capítulo estudiaremos las características del circuito y las aplicaciones del diodo de unión, el diodo Zener, el diodo Schottky y otros. En todo el capítulo se han enfatizado las técnicas gráficas debido a que proporcionan una visión de conjunto de funcionamiento del circuito y, a menudo, una percepción inmediata de su propia naturaleza no fácilmente obtenible para tratamientos puramente algebraicos. Estas técnicas gráficas incluyen un tratamiento completo de las rectas de carga de c.c. y c.a. aplicadas a pequeña y gran señal. Aunque estos métodos no suelen ser empleados en el análisis de los circuitos con diodos, su introducción aquí sirve para fijarlos en el cuestionario del alumno, es decir, en los recursos del estudiante. Más adelante, cuando se trate de los transistores, presentaremos problemas adicionales que se solucionan más fácilmente después de haber adquirido experiencia con los diodos.

1.1. PROPIEDADES NO LINEALES. EL DIODO IDEAL

Normalmente, los alumnos empiezan el estudio de los circuitos considerando modelos de elementos lineales, siendo la resistencia el más sencillo de ellos. La característica tensión-corriente (*vi*) de la resistencia ideal sigue una relación tan simple —ley de Ohm— que a veces se pierde de vista su interpretación gráfica. El carácter lineal de la resistencia se hace evidente en la Figura 1.1-1. La característica *vi* del diodo *ideal* se indica en la Figura 1.1-2. En ella se ve claramente el carácter no lineal del diodo. Cuando la tensión de alimentación v_i es positiva, i_D es positiva y el diodo es un cortocircuito ($v_D = 0$), mientras que cuando v_i es negativa, i_D es cero, y el diodo es un circuito abierto ($v_D = v_i$). Se puede considerar al diodo como un interruptor controlado por la polaridad de la tensión de alimentación. El interruptor está cerrado para tensiones positivas de la alimentación y abierto para tensiones negativas.

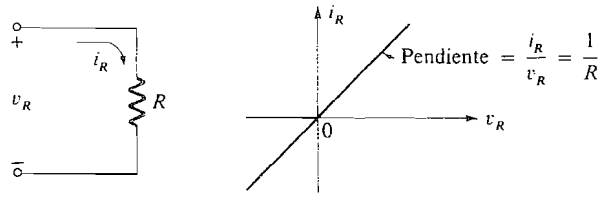


Figura 1.1-1. El elemento resistencia y su característica *vi*.

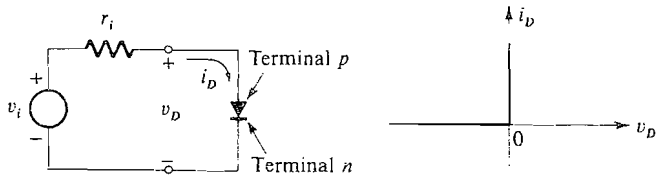


Figura 1.1-2. Diodo ideal y su característica *vi*.

Otra manera de considerar este elemento es tener en cuenta que por el diodo sólo circula corriente de p a n (Fig. 1.1-2) y la conducción tiene lugar únicamente cuando la tensión de alimentación es positiva. El diodo no conduce cuando la tensión de alimentación es negativa.

Los diodos reales tienen características y limitaciones que hacen que difieran del diodo ideal; se estudiarán en las secciones siguientes; de momento sólo se considerarán los diodos ideales.

Los ejemplos que siguen muestran algunas de las operaciones con señales que se realizan a menudo con simples circuitos de diodos.

EJEMPLO 1.1-1. CIRCUITO RECTIFICADOR DE MEDIA ONDA

Una de las principales aplicaciones del diodo es la obtención de una tensión continua a partir de una fuente de corriente alterna, proceso llamado *rectificación*. Como consecuencia de la rectificación pueden obtenerse señales con frecuencias múltiplo entero de la frecuencia de alimentación que suelen ser muy útiles. La Figura 1.1-3 muestra un circuito *rectificador de media onda*.

La tensión de la fuente es senoidal $v_i = V_{im} \cos \omega_0 t$, con $V_{im} = 10$ V. Hallar y dibujar la forma de onda de la tensión de carga. Hallar su valor medio (c.c.). Supóngase que $r_i = 1\ \Omega$ y $R_L = 9\ \Omega$.

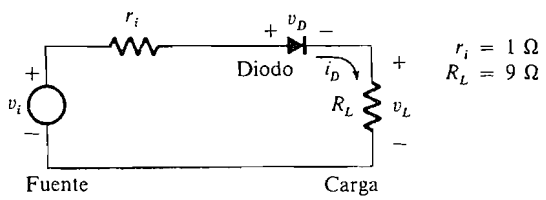


Figura 1.1-3. Circuito rectificador de media onda para el Ejemplo 1.1-1.

Solución

La segunda ley de Kirchhoff o ley de las tensiones aplicada al circuito de la Figura 1.1-3 da

$$v_i = i_D r_i + v_D + i_D R_L \qquad \text{o} \qquad i_D = \frac{v_i - v_D}{r_i + R_L}$$

Esta ecuación contiene dos incógnitas v_D e i_D que, a su vez, están relacionadas por la característica *vi* del diodo. La solución para i_D o v_D requiere, por tanto, la «sustitución» de la curva *vi* en la ecuación. Esto puede realizarse del siguiente modo. La característica del diodo indica que sólo puede circular corriente positiva en el sentido de referencia. Ello requiere que $v_i > v_D$. Sin embargo, cuando el diodo conduce, $v_D = 0$, por lo que la corriente circula sólo en el sentido positivo cuando $v_i > 0$.

Cuando v_i es negativa, la corriente debería circular en sentido contrario al de referencia; pero el diodo no puede conducir en esa dirección; así, $i_D = 0$ cuando $v_i < 0$.

Esta explicación se puede resumir dibujando dos circuitos, uno de los cuales es válido para $v_i > 0$ y otro para $v_i < 0$, como muestra la Figura 1.1-4. Utilizando los circuitos representados en esta figura se pueden hallar las incógnitas v_D e i_D. Así, la corriente en el diodo será i_D

$$i_D = \begin{cases} \dfrac{V_{im}}{r_i + R_L} \cos \omega_0 t & \text{cuando } v_i > 0 \\ 0 & \text{cuando } v_i < 0 \end{cases}$$

y la tensión en la carga v_L será

$$v_L = i_D R_L$$

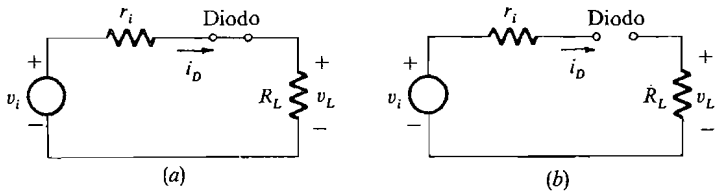


Figura 1.1-4. Estados conductor y no conductor del diodo: (*a*) $v_i > 0$; (*b*) $v_i < 0$.

La tensión en la carga v_L y la tensión en la señal v_i están representadas en la Figura 1.1-5. Obsérvese que la forma de onda de la corriente es la misma que la forma de tensión en la carga v_L. Esta es la onda senoidal *rectificada en media onda*. Su valor medio se obtiene dividiendo el área por el período, 2π.

$$V_{L,\text{dc}} = \frac{1}{2\pi} \int_{-\pi/2}^{\pi/2} (V_{Lm} \cos \omega_0 t)\, d(\omega_0 t) = \frac{V_{Lm}}{\pi} = \frac{9}{\pi} = 2{,}86 \text{ V} \qquad (1.1\text{-}1)$$

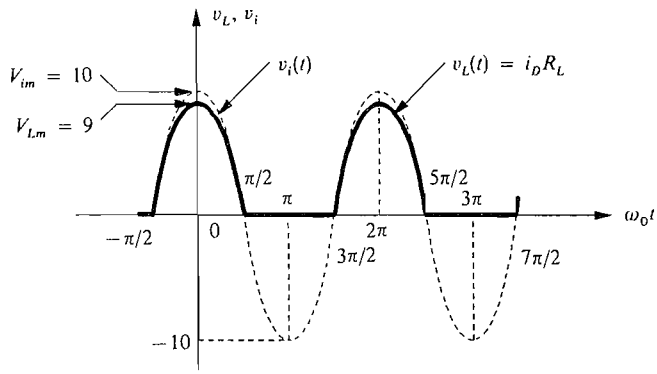


Figura 1.1-5. Formas de onda en el circuito rectificador del Ejemplo 1.1-1.

El desarrollo en serie de Fourier de $v_L(t)$ es (véase Prob. 1.1-20)

$$v_L(t) = V_{Lm}\left(\frac{1}{\pi} + \frac{1}{2}\cos \omega_0 t + \frac{2}{3\pi}\cos 2\omega_0 t - \frac{2}{15\pi}\cos 4\omega_0 t + \cdots\right) \quad (1.1\text{-}2)$$

Esta expresión muestra claramente que el diodo, además de generar un término de continua y otro de igual frecuencia que la fuente, también ha generado términos de frecuencias armónicas no incluidas en la tensión de la fuente.

Si el circuito debe producir una tensión continua, la componente de c.c. debe ser separada de los armónicos filtrando $v_L(t)$. Esto se puede conseguir a menudo utilizando un simple filtro pasivo RC conectado en paralelo con R_L como muestra la Figura 1.1-6*a*. En algunos problemas intervienen filtros más complicados.

Supongamos que la aplicación es tal que $R \gg R_L$, por lo que la tensión de carga entre los extremos de R_L es despreciable. Supongamos también que se elige el condensador de modo que $RC = 100/\omega_0$. Con esto se asegurará que los armónicos altos son despreciables en la salida, como veremos después.

Ahora, teniendo en cuenta los anteriores supuestos y asumiendo de momento que todos los armónicos superiores al segundo son despreciables, se puede volver a dibujar el circuito como muestra la Figura 1.1-6*b*. Se observa que hemos reemplazado los tres primeros términos de la serie de Fourier de (1.1-2) por las tres fuentes de tensión en serie, cada una de las cuales representa uno de los términos de Fourier. Además, puesto que $R \gg R_L$, hemos despreciado R_L en el circuito reducido. Ahora es muy sencillo hallar la tensión de salida que aparece en los terminales del condensador utilizando fasores o cualquier método analítico para c.a. El procedimiento consiste en aplicar el teorema de superposición y calcular la respuesta correspondiente a cada una de las tres fuentes como si actuase sola. La tensión continua que aparece entre los terminales del condensador es

$$V_{0,cc} = V_{L,cc} = \frac{V_{Lm}}{\pi}$$

La amplitud de la respuesta a la frecuencia fundamental ω_0 es

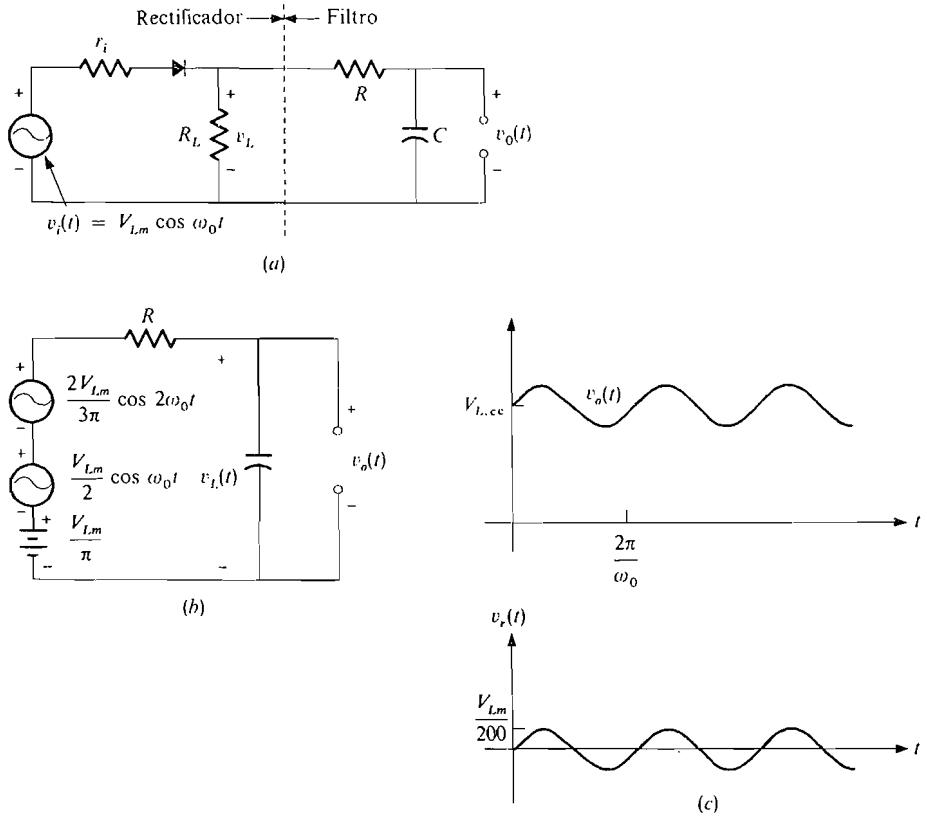


Figura 1.1-6. Rectificador de media onda: (*a*) con un filtro *RC*; (*b*) circuito con fuentes de tensión separadas y suponiendo que $R \gg R_L$; (*c*) dibujo de la salida y de la tensión de rizado. Hay que destacar que el rizado es predominante a la frecuencia de $\omega_0/2\pi$.

$$V_{01} = \frac{V_{L1}}{\sqrt{1 + (\omega_0 RC)^2}} = \frac{\frac{1}{2}V_{Lm}}{\sqrt{1 + (100)^2}} \approx \frac{V_{Lm}}{200}$$

La amplitud de la respuesta al segundo armónico (frecuencia $2\omega_0$) es

$$V_{02} = \frac{V_{L2}}{\sqrt{1 + (2\omega_0 RC)^2}} \approx \frac{V_{Lm}}{300\pi}$$

Ahora, utilizando superposición y teniendo en cuenta el desplazamiento de fase debido al condensador, la tensión de salida es:

$$v_0(t) \approx V_{Lm}\left(\frac{1}{\pi} + \frac{1}{200} \operatorname{sen} \omega_0 t + \frac{1}{300\pi} \operatorname{sen} 2\omega_0 t + \cdots\right)$$

Así se ve que la tensión de salida consiste en una componente continua V_{Lm}/π y una pequeña *tensión de rizado* v_r, donde

$$v_r(t) = V_{Lm}\left(\frac{1}{200}\,\text{sen}\,\omega_0 t + \frac{1}{300\pi}\,\text{sen}\,2\omega_0 t + \cdots\right)$$

La tensión de salida $v_0(t)$ y el primer término de la tensión de rizado $v_r(t)$ están representadas (no a escala) en la Figura 1.1-6*c*.

El cociente entre el valor cuadrático medio (rms) del rizado y la tensión continua o de c.c. da una medida de la eficacia del filtro para separar la continua de los armónicos. Recuérdese que el valor eficaz de una tensión que se compone de una suma de ondas senoidales tales como $v_r(t)$ es la raíz cuadrada de la suma de los cuadrados de las amplitudes individuales, por lo que

$$(v_r)_{\text{rms}} = \frac{V_{Lm}}{\sqrt{2}}\sqrt{\frac{1}{(200)^2} + \frac{1}{(300\pi)^2} + \cdots} \approx \frac{V_{Lm}}{280}$$

el cociente o relación buscada

$$\frac{(v_r)_{\text{rms}}}{V_{L,\text{cc}}} \approx \frac{\pi}{280} \approx 0{,}011$$

Así, la tensión de rizado es aproximadamente igual al 1 por 100 de la tensión continua de salida. El lector debe comprobar que este bajo valor y el hecho de que el segundo armónico sea despreciable en lo que concierne al rizado es consecuencia de haber elegido $RC = 100/\omega_0$ para los elementos del filtro.

EJEMPLO 1.1-2. RECTIFICADOR DE ONDA COMPLETA

La tensión de rizado en el rectificador de media onda se debe principalmente a la componente de la señal de frecuencia fundamental ω_0. El *rectificador de onda completa* da una tensión en la carga con un rizado cuya menor frecuencia es $2\omega_0$ y la componente continua es el doble. En la Figura 1.1-7 aparece una posible realización de este circuito, circuito que es más eficiente de cara a la obtención de continua con bajo rizado; éste es el circuito habitual en la mayoría de las fuentes de alimentación de continua.

El funcionamiento se puede explicar cualitativamente si se suprime el transformador ideal y se vuelve a dibujar la Figura 1.1-7 como en la Figura 1.1-8*a*. En ella se puede ver cómo el transformador refleja la fuente de c.a. desde el primario al circuito secundario con toma media. Cuando v_i es positiva, D_1 es un cortocircuito y D_2 es un circuito abierto. Cuando v_i es negativa, D_1 es un circuito abierto y D_2 es un cortocircuito. En cada uno de los casos la corriente en la carga i_L tiene sentido positivo como muestra la Figura 1.1-8*a*, y puesto que uno de los diodos (D_1 o D_2) es un cortocircuito en cada semiciclo, la tensión en la carga se puede expresar por $v_L = |v_i|$. Las formas de onda de la corriente y de la tensión están representadas en la Figura 1.1-8*b*.

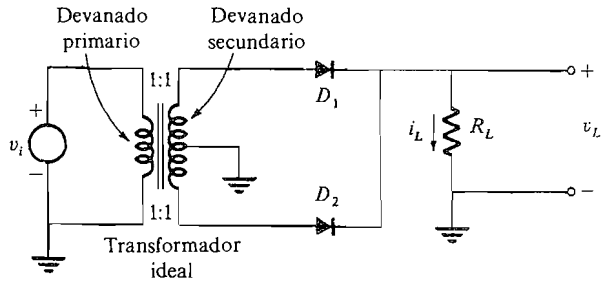


Figura 1.1-7. Rectificador de onda completa.

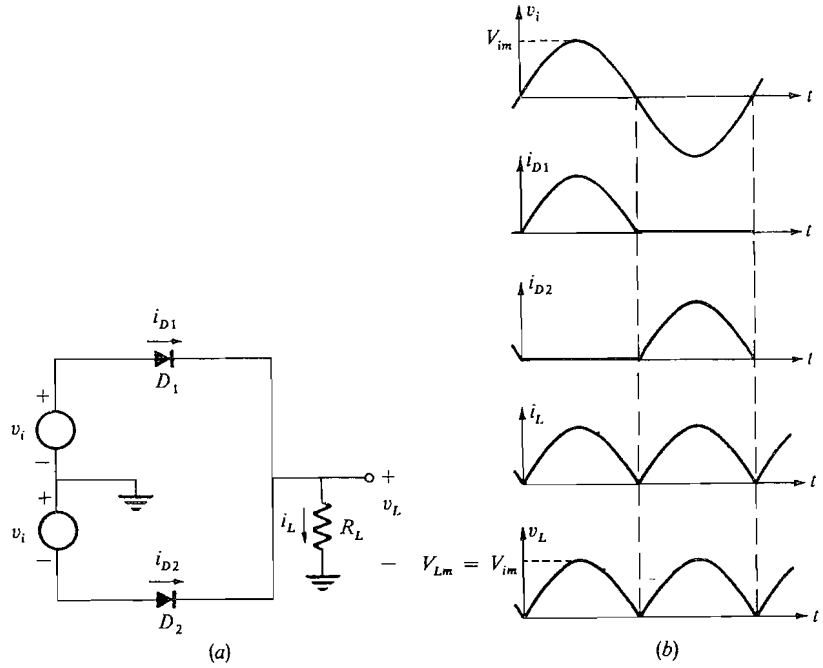


Figura 1.1-8. El circuito equivalente del rectificador de onda completa y formas de onda: (*a*) circuito; (*b*) formas de onda.

Se puede demostrar que el desarrollo en serie de Fourier para v_L es (véase el Problema 1.1-21).

$$v_L = V_{Lm}\left(\frac{2}{\pi} - \frac{4}{3\pi}\cos 2\omega_0 t - \frac{4}{15\pi}\cos 4\omega_0 t + \cdots\right) \tag{1.1-3}$$

Procediendo como en el Ejemplo 1.1-1, la componente de c.c. es $(2/\pi)V_{Lm}$, que es el doble del valor de c.c. obtenido utilizando un rectificador de media onda. Si v_L pasa a través del filtro RC de la Figura 1.1-6*a* con $\omega_0 RC = 100$ como antes, la tensión de rizado en la salida será

$$v_r = \frac{4V_{Lm}}{3\pi}\left(\frac{1}{200}\operatorname{sen} 2\omega_0 t - \frac{1}{2000}\operatorname{sen} 4\omega_0 t + \cdots\right)$$

y la tensión eficaz del rizado es:

$$(v_r)_{\text{rms}} \approx \frac{V_{Lm}}{210\pi}$$

La relación entre la tensión de rizado y la de continua es

$$\frac{(v_r)_{\text{rms}}}{V_{L,cc}} \approx \frac{1}{420} \approx 0{,}0024$$

que es considerablemente menor que la obtenida utilizando un rectificador de media onda.

Regulación. Casi todos los circuitos electrónicos requieren alimentación en continua para su funcionamiento y como la disponible es normalmente de alterna, en la mayoría de equipos electrónicos se emplea alguna combinación rectificador-filtro. En los Ejemplos 1.1-1 y 1.1-2 se muestran la mayoría de combinaciones básicas de rectificador-filtro utilizadas para producir una tensión de c.c. obtenida a partir de una fuente de c.a. Estos circuitos básicos presentan varios inconvenientes, por lo que no son adecuados para muchas aplicaciones. El primero de ellos es la variación de la tensión de carga con la corriente de carga. Esta variación se mide mediante un término denominado *regulación* y definido por:

$$\text{Regulación} = \frac{\text{tensión sin carga} - \text{tensión a plena carga}}{\text{tensión a plena carga}}$$

Una alimentación ideal proporcionaría una tensión de c.c. constante e independiente de la carga, es decir de regulación cero. Esto equivale a decir que la alimentación tendría resistencia de salida nula vista desde los terminales de carga. Sin embargo, en los circuitos prácticos la resistencia del diodo, que ha sido despreciada en los ejemplos, y la resistencia del circuito de filtro no son despreciables, por lo que resulta una resistencia finita de salida. Si la resistencia de salida es igual a la resistencia de carga, la tensión en la carga es igual a la mitad de la tensión en vacío y la regulación es del 100 por 100. Un segundo inconveniente de este circuito rectificador básico, cuando se utiliza como fuente de alimentación de c.c., es que la salida es directamente proporcional a la magnitud de la tensión de alimentación de c.a. Puesto que la mayoría de las líneas de energía de c.a. no mantienen una tensión absolutamente constante, la salida de continua variará proporcionalmente. Para muchas aplicaciones esta variación no puede tolerarse, incluso aunque pueda ser relativamente pequeña. Un tercer inconveniente de este circuito es que incluso la pequeña tensión de oscilación presente en los ejemplos es frecuentemente mayor de lo que puede ser tolerado para el funcionamiento de muchos circuitos electrónicos, por lo que se requieren filtros activos sofisticados.

Existen muchas técnicas para superar los efectos mencionados. Los fabricantes de rectificadores facilitan datos y manuales* que contienen una información completa sobre el diseño de fuentes de alimentación de todo tipo. Estos manuales contienen usualmente la

* Veánse Referencias al final del capítulo.

información actualizada y porporcionan una importante fuente de información para el ingeniero de diseño. En las Secciones 1.10 y 8.8 se explican varias técnicas para mejorar el comportamiento de la fuente de alimentación. (Véanse Referencias al final del capítulo.)

EJEMPLO 1.1-3. EL DETECTOR DE CRESTA

La componente continua en la salida del rectificador de media onda es sólo de aproximadamente el 64 por 100 de la tensión de cresta de la senoide de entrada. El *detector de cresta* (o *detector de envolvente*) proporciona una salida de c.c. comparable al valor de cresta de la tensión de entrada y, por tanto, se puede utilizar como fuente de alimentación de c.c. Este circuito (Fig. 1.1-9*a*) se usa también en los receptores

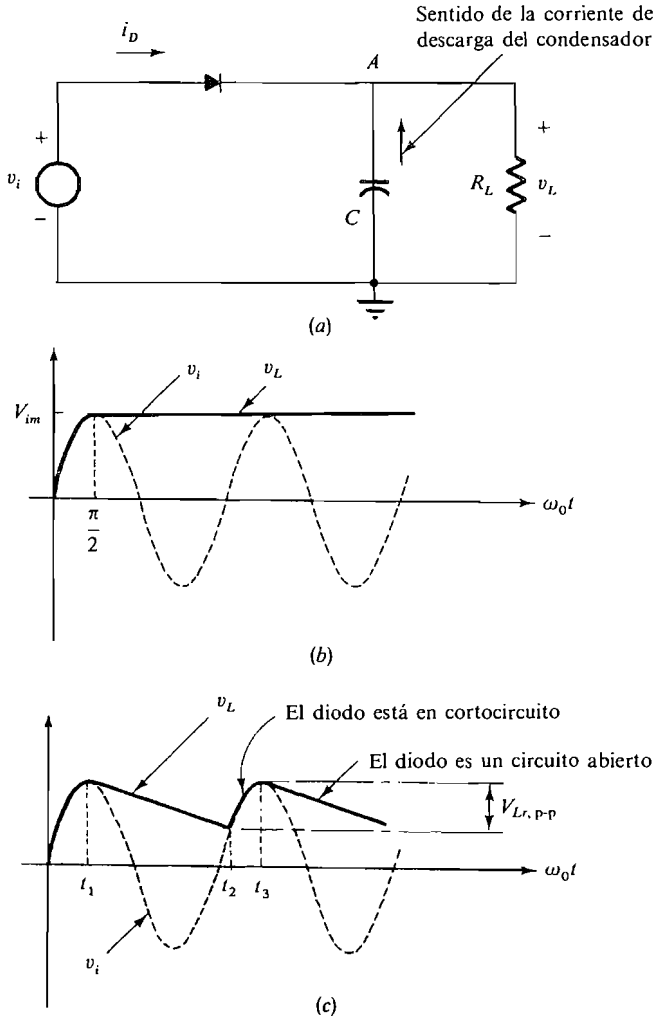


Figura 1.1-9. El detector de cresta de media onda: (*a*) circuito; (*b*) forma de onda para $R_L = \infty$; (*c*) forma de onda para la constante de tiempo de descarga $= R_L C$.

de AM para detectar la *envolvente de la forma de onda portadora modulada en amplitud.*

El funcionamiento del detector de cresta se explica más fácilmente suponiendo que la tensión de entrada sea $V_i = v_{im}$ sen $\omega_0 t$ y que la resistencia de carga R_L es infinita. Entonces, durante el primer cuarto de ciclo de la onda de entrada, el diodo actúa como un cortocircuito y, por tanto, el condensador seguirá a V_i, como muestra la Figura 1.1-19*b*. Cuando $\omega_o t = \pi/2$, el condensador se habrá cargado hasta $v_L = V_{im}$. Cuando v_i disminuye, la tensión en el condensador no puede decrecer porque con R_L infinita, la corriente de descarga del condensador debe circular a través del diodo en sentido inverso. Como la corriente no puede circular a través del diodo en este sentido, el condensador no se puede descargar. La tensión de carga v_L permanece, por tanto, en el valor de cresta V_{im} hasta que éste no aumente.

Los condensadores nunca son perfectos pero su alejamiento del ideal puede ser modelado perfectamente mediante una resistencia paralela tal como R_L en la Figura 1.1-9*a*. En el caso en el que R_L no sea infinita, la tensión de salida del detector de cresta parece como se muestra en la Figura 1.1-9*c*. En la figura se ve que $v_L = v_i$ durante el primer cuarto de ciclo ya que el diodo actúa como un cortocircuito. Sin embargo, cuando v_i disminuye, la tensión entre los terminales del condensador también disminuye aunque el diodo esté en corte, ya que hay un camino para la corriente de descarga del condensador a través de R_L. La tensión de salida entre los instantes t_1 y t_2 (Fig. 1.1-9*c*) disminuye exponencialmente de acuerdo con la ecuación.

$$v_L = V_{im}\epsilon^{-(t-t_1)/R_LC} \qquad t_1 \leqslant t \leqslant t_2 \tag{1.1-4}$$

Entre los instantes t_2 y t_3 aparece nuevamente el diodo como un cortocircuito y la tensión del condensador sigue a la de entrada.

En la figura vemos que el valor cresta a cresta del rizado es

$$\begin{aligned} V_{Lr,\,p-p} &= v_L(t_1) - v_L(t_2) \\ &= V_{im}(\epsilon^{-(t_1-t_1)/R_LC} - \epsilon^{-(t_2-t_1)/R_LC}) \\ &= V_{im}(1 - \epsilon^{-(t_2-t_1)/R_LC}) \end{aligned} \tag{1.1-5}$$

Si $R_LC \gg t_2 - t_1$, como ocurre generalmente, podemos utilizar la aproximación $\epsilon^{-x} \approx 1 - x$, que es válida para $x \ll 1$. Entonces

$$V_{Lr,\,p-p} \approx V_{im}\left[1 - \left(1 - \frac{t_2 - t_1}{R_LC}\right)\right] \approx \frac{V_{im}(t_2 - t_1)}{R_LC} \tag{1.1-6}$$

Para el detector de cresta con rectificador de media onda representado en la Figura 1.1-9*a* la duración de la parte de descarga del ciclo, $t_2 - t_1$, puede ajustarse para que sea casi igual al período de la onda senoidal de entrada. Este ajuste se hace variando el producto R_LC. Así $t_2 - t_1 \approx 1/f_0$, y el rizado es

$$V_{Lr,p-p} \approx \frac{V_{im}}{f_0 R_LC} \tag{1.1-7}$$

La componente continua de la tensión en la carga es aproximadamente.

$$V_{L,\,cc} \approx V_{im} - \tfrac{1}{2}V_{Lr,\,p-p} \approx V_{im}\left(1 - \frac{1}{2f_0R_LC}\right) \tag{1.1-8}$$

Se observa que cuando R_L (o C) se aproxima a infinito, $V_{L,\,cc}$ se aproxima a V_{im}, como se destacó anteriormente. Para un detector de cresta, con rectificador de onda completa, el rizado se reduce a la mitad.

En sistemas de AM, en que al detector de cresta se le denomina detector de envolvente o demodulador de AM, los problemas son algo diferentes. Aquí la constante de tiempo en el detector de cresta debe elegirse de modo que el circuito pueda seguir la variación en el tiempo de la señal envolvente que es la que transporta la información deseada.

Por ejemplo, consideremos que la señal moduladora (información) es

$$m(t) = 0{,}5 \cos \omega_m t \tag{1.1-9}$$

Esta se encuentra modulada con una portadora de alta frecuencia haciéndola pasar a través de un circuito que produce la salida

$$v_i(t) = V_{im}[1 + m(t)] \cos \omega_0 t = v_e(t) \cos \omega_0 t \tag{1.1-10}$$

donde $v_e(t) = V_{im}[1 + m(t)]$ es la *envolvente*. En esta ecuación ω_0 es la frecuencia angular de la portadora y generalmente $\omega_m \ll \omega_0$. La portadora modulada está representada en la Figura 1.1-10*a*. El detector de envolvente se utiliza para recuperar la señal moduladora $m(t)$ siguiendo la lenta variación de $m(t)$ y prescindiendo de las variaciones mucho más rápidas de la portadora de alta frecuencia.

Con el fin de analizar lo que está ocurriendo, hemos representado en la Figura 1.1-10*b* una porción expandida de la forma de onda de v_i para mostrar los detalles del proceso de detección. La señal en la salida del detector de envolvente está representada en líneas continuas y está designada por v_L. Vemos que para que v_L siga la envolvente de v_i, la tensión del condensador debe ser capaz de variar una cantidad igual a la máxima variación de la envolvente en el intervalo de tiempo necesario para que la portadora complete un ciclo. Este tiempo está designado $T(=1/f_0)$.

La velocidad de variación de la envolvente es

$$\frac{d}{dt}\,v_e(t) = V_{im}\frac{dm}{dt} = -\,V_{im}(0{,}5\omega_m) \operatorname{sen} \omega_m t$$

Su máximo valor se da cuando $|\operatorname{sen} \omega_m t| = 1$ momento en el que $\omega_m t = 0$ y, por tanto, $m(t) = 0$, y

$$\left|\frac{dv_e(t)}{dt}\right|_{máx} = 0{,}5\omega_m V_{im} \tag{1.1-11}$$

Para hallar la máxima disminución de la envolvente en un tiempo igual a un período de la portadora ($T = 1/f_0$), sustituimos $dv_e(t)/dt$ por $\Delta v_e/\Delta t$ y ponemos $\Delta t = T$. Entonces, en un período de la portadora

$$\Delta v_e = 0{,}5\omega_m T V_{im} \tag{1.1-12}$$

Cuando $m(t) = 0$, la salida del detector comienza a disminuir exponencialmente desde el valor V_{im} (Fig. 1.1-10*b*) hacia cero, de acuerdo con la relación

$$v_L(t) = V_{im}\epsilon^{-t/R_L C} \tag{1.1-13}$$

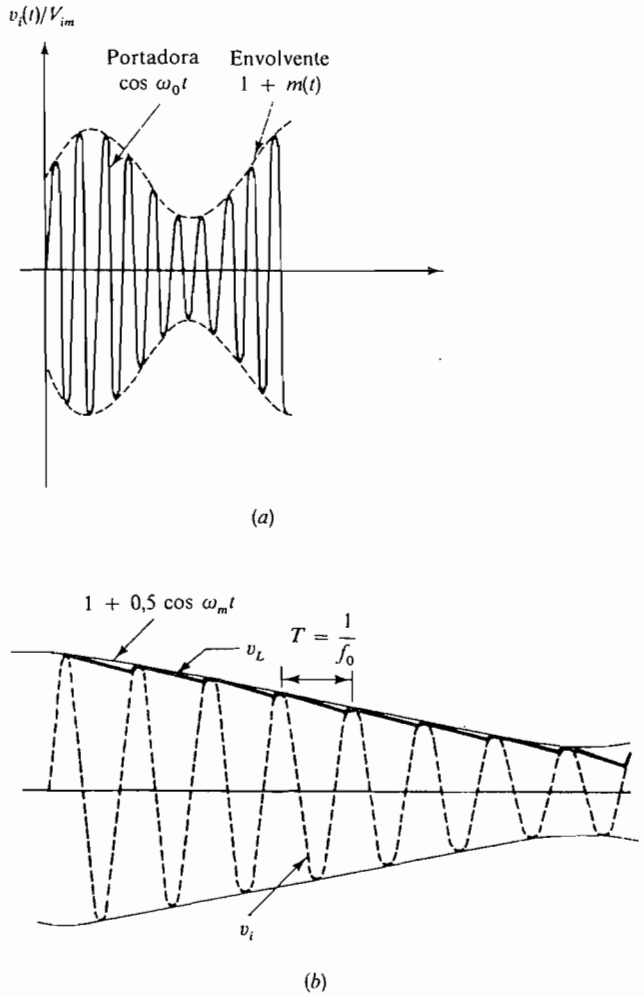


Figura 1.1-10. Detector de envolvente: (*a*) forma de onda *AM*; (*b*) vista ampliada de la salida del detector.

Después de un ciclo de portadora (instante T) conduce nuevamente el diodo y la variación total de $v_L(t)$ es

$$\Delta v_L = V_{im} = V_{im}\epsilon^{-T/R_LC} \tag{1.1-14}$$

Como $T \ll R_LC$, podemos utilizar nuevamente la expresión $\epsilon^{-x} \approx 1 - x$ $(x \ll 1)$. Esto da

$$\Delta v_L \approx V_{im}\frac{T}{R_LC} \tag{1.1-15}$$

Como se dijo antes la variación de la tensión de salida debe ser, por lo menos, igual a la máxima variación de la envolvente en un ciclo de la portadora. Las condiciones para que esto ocurra se hallan igualando (1.1-12) y (1.1-15), lo que da

$$R_LC = \frac{2}{\omega_m} = \frac{1}{\pi f_m} \tag{1.1-16}$$

Si la constante de tiempo R_LC excede de $1/\pi f_m$, la descarga del condensador será demasiado lenta y la salida del detector v_L no seguirá a la envolvente; si R_LC es menor, entonces $1/\pi f_m$ seguirá a la envolvente, pero puede producirse un rizado excesivo. En la práctica, la modulación contiene una banda de frecuencia, y habrá que adoptar una solución de compromiso. Normalmente se utilizará en la Ecuación (1.1-16) la frecuencia más alta de modulación.

EJEMPLO 1.1-4. CIRCUITO FIJADOR

El *circuito fijador* representado en la Figura 1.1-11*a* es de funcionamiento similar al del detector de cresta de la Figura 1.1-9*a*. En efecto, los dos circuitos son idénticos si R_L del circuito fijador se hace igual a infinito. Para explicar cualitativamente el funcionamiento del circuito supongamos que R_L es infinito y que el diodo es ideal. Por la manera de estar conectado el diodo observamos que la tensión de salida v_L nunca puede ser mayor que la tensión de referencia V_R. En el instante en que v_L tienda a exceder de V_R, el diodo entrará en conducción, convirtiéndose en un cortocircuito y provocando la condición $v_L = V_R$. Entonces el condensador C se cargará hasta la tensión $V_R - V_{im}$, como muestra la Figura 1.1-11*a*. Con R_L infinito, el condensador C nunca se puede descargar y v_L es

$$v_L = (V_R - V_{im}) + V_{im} \operatorname{sen} \omega_0 t$$

Esta forma de onda está representada en la Figura 1.1-11*b*. Decimos entonces que la tensión de salida v_L está fijada a V_R.

En los sistemas prácticos, la forma de onda de entrada no es senoidal sino que tiene un valor de cresta variable, como muestra la Figura 1.1.11*c*. Para acomodar las variaciones de este valor de cresta incluimos la resistencia R_L de modo que el condensador se pueda descargar y mantener la fijación en V_R.

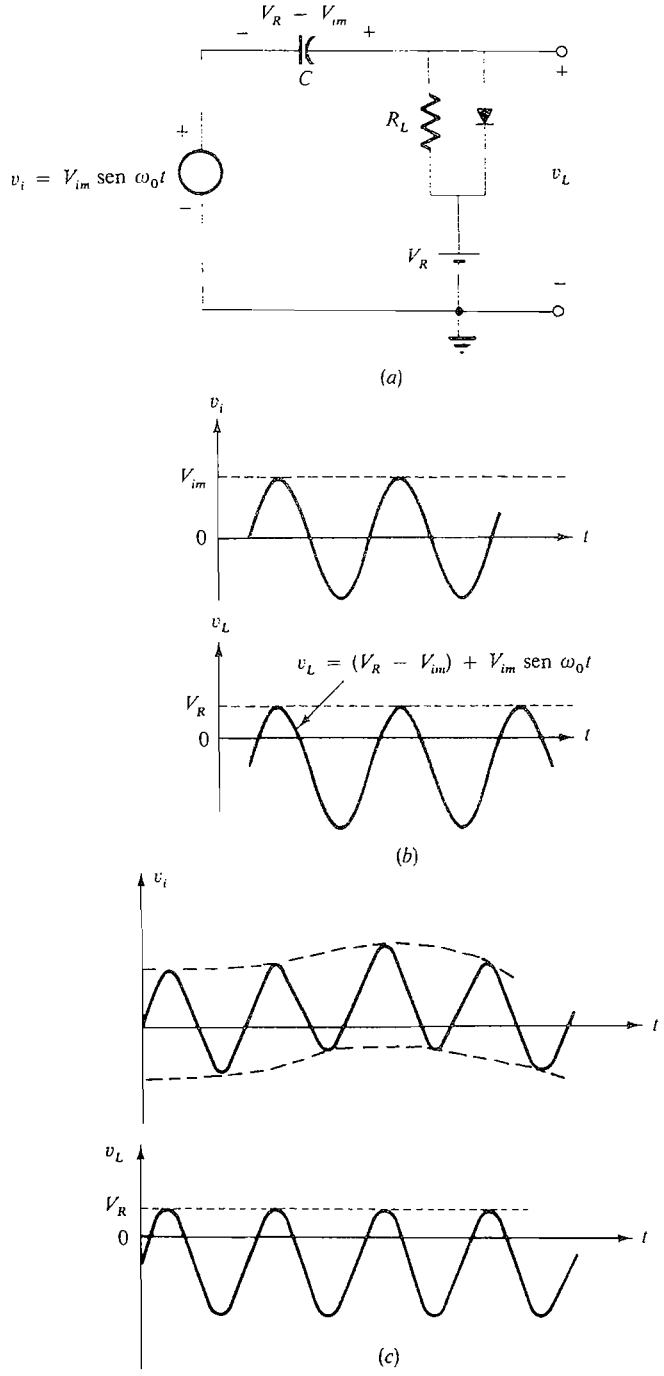


Figura 1.1-11. Circuito fijador: (*a*) circuito; (*b*) formas de onda de entrada senoidal; (*c*) formas de onda de entrada con amplitud variable.

EJEMPLO 1.1-5. PUERTAS LOGICAS CON DIODOS

Se pueden utilizar los diodos para construir *puertas* lógicas que realicen algunas operaciones lógicas útiles en los computadores digitales. Las funciones lógicas más fáciles de implementar con diodos se llaman Y (AND) y O (OR). El circuito para una puerta O de tres entradas está representado en la Figura 1.1-12*a*. Las tensiones de entrada v_1, v_2 y v_3 y la de salida v_L sólo pueden tomar dos valores: 0 ó 5 V. Esta puerta O trabaja de acuerdo con la siguiente definición: Su salida debe ser 5 V si una o más entradas son 5 V. Refiriéndonos a este circuito decimos que, si por ejemplo, $v_1 = 5$ V mientras $v_2 = v_3 = 0$ V, entonces D_1 es un cortocircuito y $v_L = 5$ V. D_2 y D_3 están inversamente polarizadas. Según esto, el circuito obedece a la definición para todas las combinaciones de las tensiones de entrada. Se le llama puerta O, a causa de que $v_L = 5$ V si $v_1 = 5$ V O $v_2 = 5$ V O $v_3 = 5$ V. Naturalmente, si $v_1 = v_2 = v_3 = 0$ V, entonces $v_L = 0$ V.

En la Figura 1.1-12*b* está representada una puerta Y (AND) de tres entradas. Aquí se puede dar la siguiente definición: *La salida de la puerta Y será 5 V sólo cuando todas las entradas sean iguales a 5 V.* En el circuito vemos que si, por ejemplo, $v_1 = 0$ V, entonces D_1 estará polarizado directamente constituyendo un cortocircuito. Nos lleva a que $v_L = 0$ V independientemente de los valores v_2 y v_3. Cuando todas las entradas sean 5 V, cada uno de los diodos estará a corte y la salida será 5 V.

En la práctica los diodos no son ideales y cuando proporcionan corriente actúan más como una fuente de tensión de 0,7 V que como un cortocircuito. Si se utilizan diodos reales en la puerta O de la Figura 1.1-12*a* vemos que si $v_1 = 5$ V, entonces $v_L = 4{,}3$ V. Si la salida de esta puerta es ahora la entrada para otra O, la salida de la segunda puerta será 3,6 V. Así una cascada de siete puertas producirá una salida de 0,1 V. Idealmente los circuitos digitales sólo reconocerán dos tensiones, tales como 0 y 5 V, pero en la práctica cualquier tensión menor que, por ejemplo, 2,5 V, se interpreta como 0 V. Cuando se utiliza una puerta de diodos con un transistor

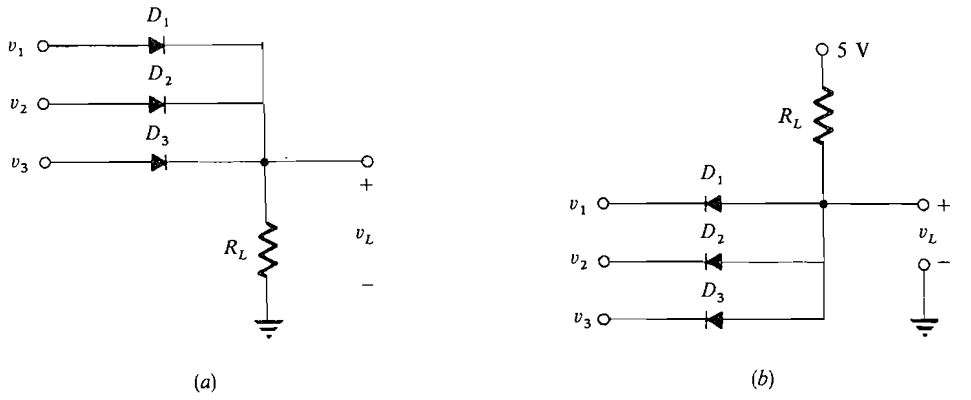


Figura 1.1-12. Puertas lógicas de diodos: (*a*) puerta O; (*b*) puerta Y.

queda eliminado el problema de atenuación de la señal antes considerado ya que el transistor amplifica la señal. Debido a la atenuación presente en las puertas de diodos, en la práctica no se utiliza lógica de diodos. En el Capítulo 12 se tratarán las puertas lógicas prácticas.

1.2. INTRODUCCION A LA TEORIA DEL DIODO SEMICONDUCTOR[2,3]

Esta sección presenta una breve discusión cualitativa de los conceptos fundamentales que gobiernan el flujo de corriente en un diodo semiconductor. El lector interesado puede consultar cualquiera de los muchos textos que tratan de la física del estado sólido.

Hoy día, el material básico utilizado en la construcción de la mayoría de diodos y transistores es el silicio. El silicio es un semiconductor, es decir, a temperatura ambiente existen muy pocos electrones en la banda de conducción del cristal. Como la corriente es proporcional al número de electrones en movimiento, esta corriente será pequeña; de aquí que el material tenga una elevada resistencia. Las bandas de conducción y de valencia del silicio puro están representadas en la Figura 1.2-1.

A la temperatura de 0 K (cero absoluto) todos los electrones están en sus niveles más bajos de energía. A temperatura ambiente, ocasionalmente, algún electrón puede tener suficiente energía para escapar de la banda de valencia y alcanzar la de conducción, como muestra el pequeño círculo negro en la Figura 1.2-1. La vacante o espacio vacío que deja el electrón está representado como un círculo, o *hueco*. Si se aplica un campo eléctrico al material como en la Figura 1.2-2, el electrón se mueve hacia el terminal positivo de la

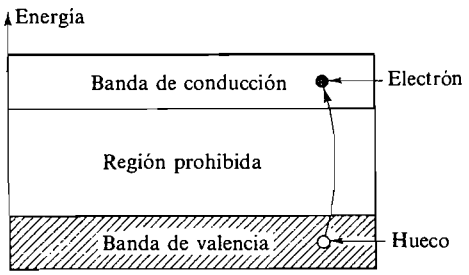


Figura 1.2-1. Bandas de energía en el silicio a temperatura ambiente.

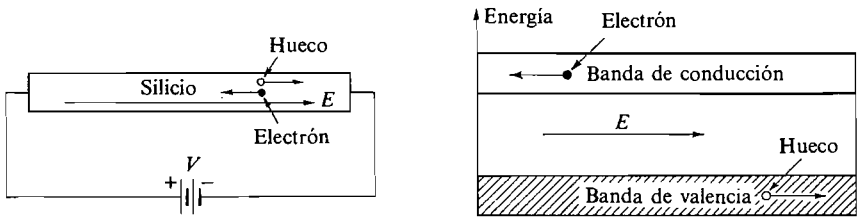


Figura 1.2-2. Movimiento del electrón y del hueco en el silicio con campo eléctrico aplicado.

batería. También se mueve un electrón situado en la banda de valencia hacia el terminal positivo de la batería si posee suficiente energía para pasar de su nivel de energía hasta el nivel de energía del hueco. Cuando este electrón escapa y ocupa el hueco, deja detrás también su hueco. Así resulta que aparentemente el hueco se mueve hacia la derecha, o sea hacia el terminal negativo de la batería. La corriente neta es por tanto la suma de la corriente debida al movimiento del electrón en la banda de conducción y la corriente debida al movimiento del hueco en la banda de valencia. Decimos movimiento del hueco o movimiento de la carga positiva en vez de movimiento del electrón para que no haya confusión con el movimiento del electrón de la banda de conducción. La corriente convencional debida al flujo de electrones y la corriente de huecos tienen el mismo sentido que el campo eléctrico.

Se observará que el electrón se mueve más rápidamente hacia el terminal positivo que se mueve el hueco hacia el terminal negativo ya que la probabilidad de que un electrón tenga la energía necesaria para moverse a un estado vacío en la banda de conducción (que está casi vacía) es mucho mayor que la probabilidad de que un electrón tenga la energía suficiente hasta encontrar un estado vacío en la banda de valencia (que está casi llena). Así, la corriente debida al flujo de electrones en la banda de conducción es mayor que la corriente de huecos en el silicio. Sin embargo la corriente neta es pequeña, por lo que el material se considera un semiconductor.

Para construir un diodo tomamos silicio y añadimos átomos de otro elemento, tal como boro. Este proceso se denomina *dopado*. Al boro se le llama material *aceptador* en virtud de que es capaz de aceptar electrones de la banda de valencia del silicio. A la temperatura ambiente, los electrones de la banda de valencia del silicio llenan el espacio de aceptador del boro, tal como muestra la Figura 1.2-3, ya que la probabilidad de que los electrones de valencia tengan la suficiente energía a la temperatura ambiente para superar esa pequeña energía es muy alta. El resultado es la existencia de un número extraordinariamente grande de huecos. Cuando se aplica un campo eléctrico a través del silicio dopado, la corriente de huecos es muy alta y ahora el material es un buen conductor. Este es un material de tipo *p*. La conducción del material de *tipo p* se debe principalmente al movimiento de los huecos.

Tomamos otro trozo de silicio y añadimos átomos de otro elemento, tal como el fósforo. El fósforo se denomina *donador* ya que es capaz de donar electrones hacia la banda de conducción del silicio. Por lo tanto cede (a temperatura ambiente) todos sus electrones a la banda de conducción del silicio, como se muestra en la Figura 1.2-4. Ahora

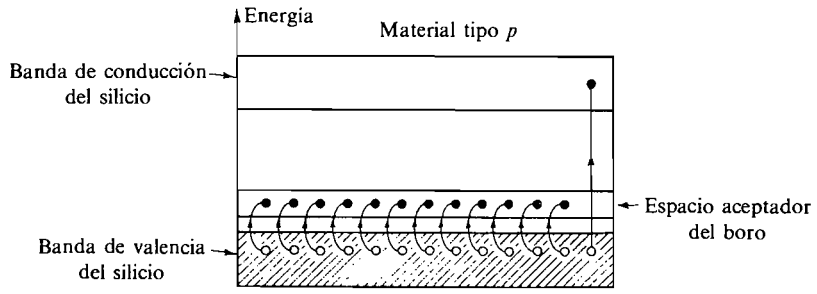


Figura 1.2-3. Bandas de energía del silicio con adición de boro.

batería. También se mueve un electrón situado en la banda de valencia hacia el terr
positivo de la batería si posee suficiente energía para pasar de su nivel de energía has
nivel de energía del hueco. Cuando este electrón escapa y ocupa el hueco, deja d
también su hueco. Así resulta que aparentemente el hueco se mueve hacia la derecha,
hacia el terminal negativo de la batería. La corriente neta es por tanto la suma
corriente debida al movimiento del electrón en la banda de conducción y la corr
debida al movimiento del hueco en la banda de valencia. Decimos movimiento del hu
movimiento de la carga positiva en vez de movimiento del electrón para que no
confusión con el movimiento del electrón de la banda de conducción. La corr
convencional debida al flujo de electrones y la corriente de huecos tienen el mismo se
que el campo eléctrico.

Se observará que el electrón se mueve más rápidamente hacia el terminal positivo
se mueve el hueco hacia el terminal negativo ya que la probabilidad de que un ele
tenga la energía necesaria para moverse a un estado vacío en la banda de conducción
está casi vacía) es mucho mayor que la probabilidad de que un electrón tenga la en
suficiente hasta encontrar un estado vacío en la banda de valencia (que está casi llena)
la corriente debida al flujo de electrones en la banda de conducción es mayor q
corriente de huecos en el silicio. Sin embargo la corriente neta es pequeña, por lo q
material se considera un semiconductor.

Para construir un diodo tomamos silicio y añadimos átomos de otro element
como boro. Este proceso se denomina *dopado*. Al boro se le llama material *aceptad*
virtud de que es capaz de aceptar electrones de la banda de valencia del silicio.
temperatura ambiente, los electrones de la banda de valencia del silicio llenan el espac
aceptador del boro, tal como muestra la Figura 1.2-3, ya que la probabilidad de qu
electrones de valencia tengan la suficiente energía a la temperatura ambiente para su
esa pequeña energía es muy alta. El resultado es la existencia de un número extraor
riamente grande de huecos. Cuando se aplica un campo eléctrico a través del s
dopado, la corriente de huecos es muy alta y ahora el material es un buen conductor.
es un material de tipo *p*. La conducción del material de *tipo p* se debe principalmer
movimiento de los huecos.

Tomamos otro trozo de silicio y añadimos átomos de otro elemento, tal cor
fósforo. El fósforo se denomina *donador* ya que es capaz de donar electrones hac
banda de conducción del silicio. Por lo tanto cede (a temperatura ambiente) todo
electrones a la banda de conducción del silicio, como se muestra en la Figura 1.2-4. A

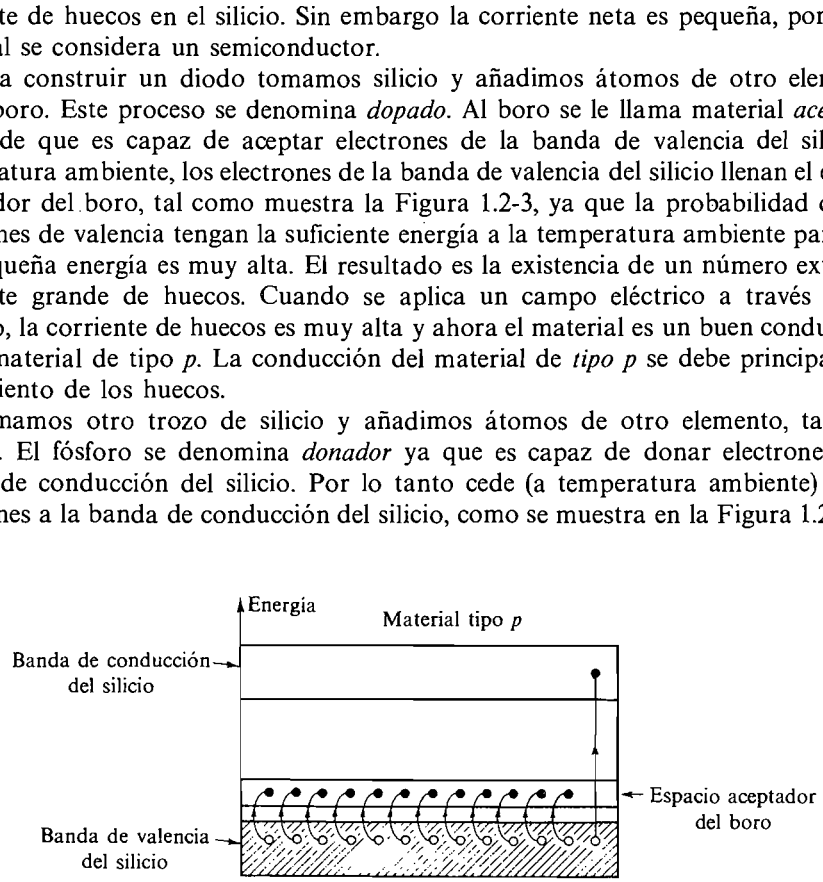


Figura 1.2-3. Bandas de energía del silicio con adición de boro.

Analizando físicamente el diodo (despreciando la región Zener) se demuestra que la corriente y la tensión están relacionados por

$$I_D = I_0(\epsilon^{qv_D/mkT} - 1) \tag{1.2-1}$$

donde i_D = corriente a través del diodo, A
v_D = tensión entre los terminales del diodo, V
I_0 = corriente inversa de saturación, A
q = carga del electrón = $1{,}6 \times 10^{-19}$ C
k = constante de Boltzmann = $1{,}38 \times 10^{-23}$ J/K
T = temperatura absoluta, K
m = constante empírica entre 1 y 2 (en este texto supondremos para mayor simplicidad que $m = 1$)

A la temperatura ambiente (300 K):

$$V_T = \frac{kT}{q} \approx 25 \text{ mV} \tag{1.2-2}$$

En la Ecuación (1.2-1) si v_D es negativa y tiene una magnitud mucho mayor que kT/q, la corriente i_D es la de saturación inversa $-I_0$. Esta corriente inversa $-I_0$ es una función del material, la geometría y la temperatura. Si, sin embargo, v_D es positiva y mucho mayor que kT/q, la corriente directa es

$$i_D \approx I_0\epsilon^{qv_D/kT} = I_0\epsilon^{v_D/V_T} \tag{1.2-3}$$

La Ecuación (1.2-1) está particularizada en la Figura 1.2-6*a* para dos materiales semiconductores, germanio y silicio.

La característica real de un diodo difiere de la curva exponencial a causa de varios efectos. En corrientes directas relativamente grandes la resistencia óhmica de los contactos y el material semiconductor aumenta la resistencia directa. En el sentido inverso, la corriente de fuga superficial, que es la corriente a lo largo de la superficie del silicio en vez de a través de la unión entre las regiones p y n, disminuye la resistencia inversa. Con grandes tensiones inversas se produce la ruptura por avalancha. Asimismo, se producen otros efectos sobre varias zonas de la característica del diodo, pero para la mayoría de aplicaciones prácticas son despreciables. Las características de la Figura 1.2-6*a*, cuando están representadas a una escala adecuada, presentan un «codo» en, aproximadamente, 0,2 V para el germanio y 0,7 V para el silicio. La Figura 1.2-6*b* muestra las características obtenidas experimentalmente para germanio y silicio.

Para aplicaciones de gran señal se considera que el diodo se comporta de acuerdo con las aproximaciones lineales de la Figura 1.2-6*c*. Tales aproximaciones se denominan *curvas de asimilación lineal* y también pueden denominarse características lineales aproximadas o características de aproximación lineales por tramos.

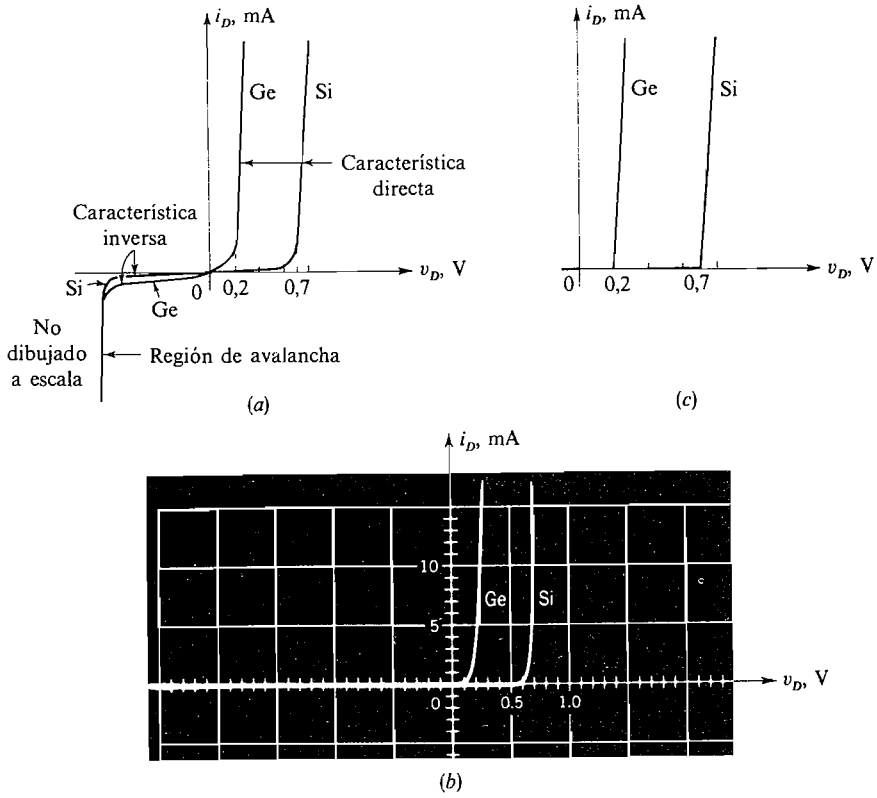


Figura 1.2-6. Características del diodo: (*a*) característica real; (*b*) oscilograma de características del diodo; (*c*) características lineales por tramos o segmentos.

Considerando la característica inversa, hay que observar que mientras el germanio muestra un codo a 0,2 V en su característica directa comparadas con el del silicio a 0,7 V, las zonas inversas, representadas en la Figura 1.2-7, indican que para la misma tensión inversa del diodo V_r, el diodo de silicio deja pasar una corriente considerablemente menor que el de germanio.

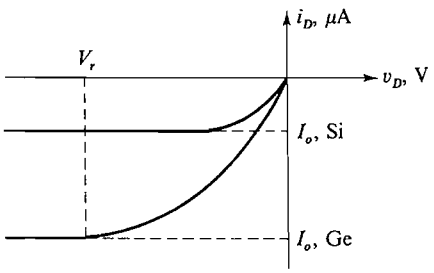


Figura 1.2-7. Características inversas.

1.2-1. Visión alternativa de la característica *vi*

La Ecuación (1.2-3) describe la característica directa del diodo. Mediante esta ecuación se puede hallar una relación útil considerando las corrientes y las tensiones en dos puntos de funcionamiento diferentes. Supongamos que la corriente i_{D1} circula para una tensión en el diodo v_{D1}. La corriente varía hasta i_{D2} y deseamos hallar la nueva tensión v_{D2}. Supongamos ahora $v_D \gg kT/q$. Entonces (1.2-3) da las dos ecuaciones

$$i_{D1} = I_0 \epsilon^{v_{D1}/V_T} \tag{1.2-4a}$$

$$I_{D2} = I_0 \epsilon^{v_{D2}/V_T} \tag{1.2-4b}$$

Dividiendo estas dos ecuaciones obtenemos

$$\frac{i_{D1}}{i_{D2}} = \epsilon^{(v_{D1} - v_{D2})/V_T} \tag{1.2-4c}$$

Tomando logaritmos naturales de ambos miembros obtenemos la relación buscada

$$v_{D1} - v_{D2} = V_T \ln \frac{i_{D1}}{i_{D2}} \tag{1.2-4d}$$

La utilidad de esta ecuación se puede comprobar considerando la relación de corrientes $i_{D1}/i_{D2} = 10$. Entonces

$$v_{D1} - v_{D2} = 25 \ln 10 \approx 60 \text{ mV}$$

Así, si sabemos que un diodo en particular tiene aplicada una tensión de 0,7 V, la tensión será de 0,76 V cuando la corriente es de 0,5 mA. Si la relación de corrientes es 2, lo que corresponde a duplicar la corriente, entonces $v_{D1} - v_{d2} = 25 \ln 2 = 17$ mV, que es una cantidad a menudo despreciable.

Este pequeño cambio en la tensión para una variación de la corriente es lo que hace que las características representadas en la Figura 1.2-6*a* sean líneas casi verticales después del codo. Por ejemplo, en la Figura 1.2-6*b* el rango de variación de la corriente del diodo es de 1 a 15 mA, mientras que su caída de tensión se mantiene aproximadamente en 0,7 V. Si se utilizase el diodo en una aplicación que requiriese 100 mA en vez de 10 mA, la escala de corrientes representada en la Figura 1.2-6*c* resultaría multiplicada por un factor de 10. Según esto, la tensión aproximada de codo resultaría aumentada en aproximadamente 60 mV (hasta 0,76 V). Así, en una escala lineal de corriente la característica del diodo no aparecería como exponencial sino lineal por tramos, como en la Figura 1.2-6*c*.

1.2.-2. Circuito equivalente lineal por tramos

En muchas aplicaciones la característica real del diodo puede ser representada aproximadamente por una característica lineal por tramos como se muestra en la Figura 1.2-8*a*. En este caso se puede sustituir el diodo por un circuito equivalente formado por una

batería V_F en serie con un diodo ideal, como se representa en la Figura 1.2-8*b*. De acuerdo con la explicación de la Sección 1.2-1, se tiene en cuenta el hecho de que el valor de V_F empleado es una función del nivel de corriente. Sin embargo, para la mayoría de las aplicaciones supondremos que $V_F = 0{,}7$ V.

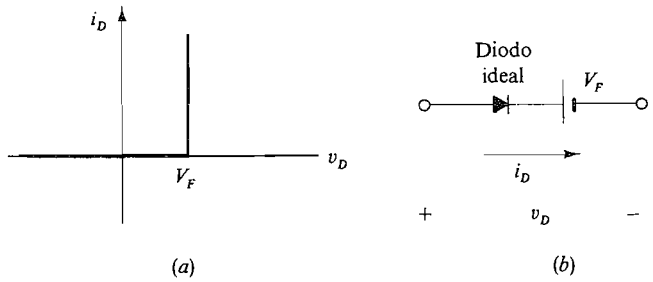


Figura 1.2-8. Equivalentes lineales por tramos: (*a*) característica *vi*; (*b*) circuito.

Por ejemplo, en el circuito rectificador de media onda representado en la Figura 1.1-3, si fuese reemplazado el diodo por su circuito equivalente lineal por tramos de la Figura 1.2-8*b*, la corriente del diodo sería:

$$i_D = \begin{cases} \dfrac{1}{r_i + R_L}(V_{im} \cos \omega_0 t - V_F) & V_{im} \cos \omega_0 t \geq V_F \\ 0 & V_{im} \cos \omega_0 t < V_F \end{cases} \tag{1.2-5}$$

1.3. ANALISIS DE CIRCUITOS SENCILLOS CON DIODOS; LA RECTA DE CARGA EN CONTINUA

En esta sección consideraremos el comportamiento de sencillos circuitos formados por fuentes independientes, diodos y resistencias. El circuito a considerar es el rectificador simple de media onda de la Figura 1.3-1. Este circuito ha sido analizado en el Ejemplo 1.1-1, suponiendo un diodo ideal. En esta sección se tendrán en cuenta las características reales del diodo.

La concepción del análisis gráfico se basa en dos hechos simples:

1. El comportamiento del diodo está completamente modelado en bajas frecuencias por su característica *vi*, que habitualmente viene representada gráficamente en las especificaciones del fabricante o puede ser fácilmente medida.
2. Los otros elementos del circuito, por ser lineales, pueden ser sustituidos por un equivalente de Thévenin visto desde los terminales del diodo.

Consideremos las dos partes correspondientes del circuito tal como se ven en la Figura 1.3-2. Las relaciones de las magnitudes en sus terminales pueden escribirse así:

Elemento no lineal: $$i_D = f(v_D) \tag{1.3-1}$$

Equivalente Thévenin: $$v_D = v_T - i_D R_T \tag{1.3-2}$$

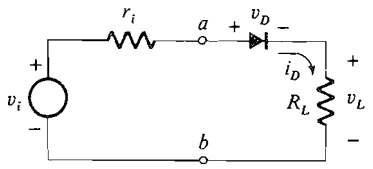


Figura 1.3-1. Rectificador de media onda.

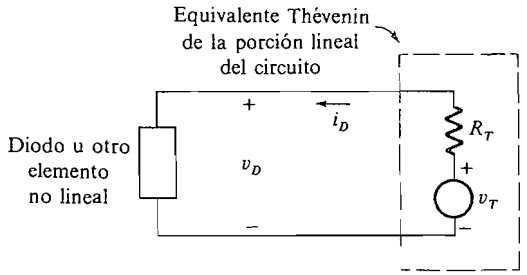


Figura 1.3-2. Circuito general que contiene un elemento no lineal.

Tenemos dos ecuaciones con dos incógnitas, v_D e i_D. Cuando se conectan las dos partes del circuito, éstas dos relaciones se satisfacen simultáneamente y el circuito funcionará en el punto dado por la solución de ambas ecuaciones. Esta solución se puede hallar analíticamente si se conoce la forma funcional de la característica *vi* del elemento no lineal. Por ejemplo, si el elemento es un diodo de silicio, se puede hacer uso de (1:2-1) como relación no lineal y hallar la solución. A causa de la naturaleza exponencial de (1.2-1), evidentemente éste no es un cálculo elemental, sino que puede suponer una labor considerable. En algunos casos esto puede ser justificable, pero no en la mayoría de ellos, por dos razones: la exactitud requerida habitualmente no es grande y se pueden justificar cálculos sencillos o aproximados; y la exactitud o precisión obtenible por un cálculo detallado suele ser de poca utilidad debido a que el comportamiento real de los diodos difiere de la característica teórica dada por (1.2-1) y de hecho habrán grandes variaciones en lotes de diodos del mismo tipo.

La mayoría de los problemas de este tipo se pueden resolver gráficamente dibujando (1.3-1) y (1.3-2) sobre los mismos ejes de coordenadas. La intersección de las dos curvas resultantes da el punto de trabajo del circuito. Un trazado típico es el de la Figura 1.3-1. La característica de línea recta del circuito Thévenin (denominado normalmente recta de carga de c.c.) está dibujada para una tensión Thévenin de 1,5 V y una resistencia Thévenin de 50 Ω. La intersección de la recta de carga de c.c. (1.3-2) y la característica del diodo (1.3-1) da el punto de trabajo o punto Q para estas condiciones. La intersección de estas dos curvas ocurre en el punto Q_1, donde $v_D \approx 0{,}7$ V, $i_D \approx 15$ mA. Si cambia la tensión Thévenin v_T a 2 V, la recta de carga se desplaza horizontalmente 0,5 V hacia la derecha como se muestra y el punto de trabajo se mueve hasta Q_2 en el gráfico. Mientras R_T permanezca constante, cualquier variación de v_T da lugar a un simple desplazamiento horizontal de la línea de carga.

Así, si v_T es senoidal, es decir, V_{Tm} sen ωt, la forma de onda de la corriente se puede vhallar eligiendo varios puntos de la misma onda senoidal y trazando las correspondientes rectas de carga para hallar las corrientes resultantes. Esta técnica está ilustrada en la

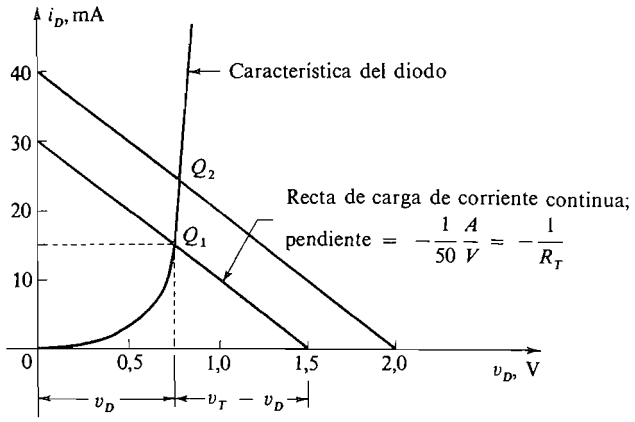


Figura 1.3-3. Característica y rectas de carga del diodo.

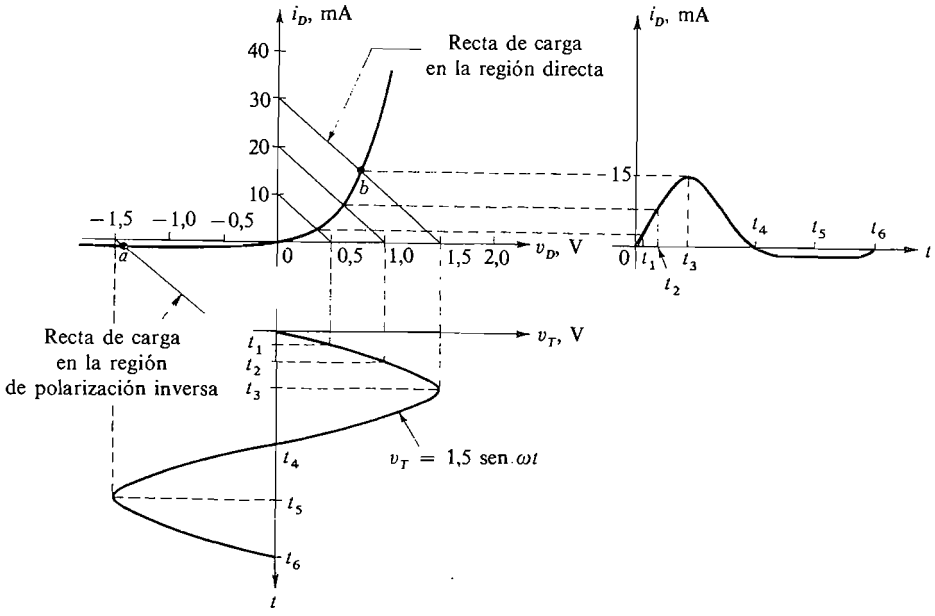


Figura 1.3-4. Solución gráfica para la corriente cuando se aplica una tensión senoidal.

Figura 1.3-4 para v_{Tm} = 1,5 V. La naturaleza no lineal de la característica del diodo hace que la forma de onda de la corriente se deforme o distorsione, es decir, tenga una forma diferente de la de v_r. Esta forma de onda puede ser comparada con la de la Figura 1.1-5, que muestra el resultado cuando se utiliza un diodo ideal.

Volviendo al circuito original (Fig. 1.3-1), se observa que la tensión de Thévenin v_T es la misma que la de la tensión de fuente v_i y $R_T = r_i + R_L$, así que lo único necesario es multiplicar la corriente de la Figura 1.3-4 por R_L para obtener un gráfico de la tensión de

respuesta v_L. Obsérvese que la porción de curva en la que trabaja el diodo con esta señal aplicada se encuentra entre los puntos *a* y *b*, tal como se representa en la característica *vi* del diodo.

1.4. ANALISIS EN PEQUEÑA SEÑAL; CONCEPTO DE RESISTENCIA DINAMICA

La variación total cresta a cresta (excursión) de la señal es a menudo una pequeña fracción de su componente de corriente continua, de lo cual deriva el nombre de pequeña señal. Cuando se presenta esta condición puede utilizarse un método aproximado de análisis gráfico-analítico que simplifica mucho el cálculo. Este método se explica utilizando el circuito de la Figura 1.3-1 con una tensión de continua añadida a v_i, por lo que

$$v_T = V_{cc} + v_i = V_{cc} + V_{im} \operatorname{sen} \omega t \qquad \text{donde } V_{im} \ll V_{cc} \tag{1.4-1}$$

La tensión V_{cc} se denomina habitualmente tensión de polarización.

La técnica utilizada se basa en el hecho de que la desigualdad de (1.4-1) hace que el circuito opere en una región muy pequeña de su zona de trabajo. En la práctica, la característica del diodo se puede considerar lineal en esta región y puede ser reemplazado el diodo por una resistencia. El circuito lineal resultante se puede abordar mediante técnicas normales de análisis de circuitos.

Teniendo en cuenta que el circuito debe ser lineal, se determinará primero el punto de trabajo para $v_T = V_{cc}$, o sea $V_{im} = 0$. Este será el punto de reposo (Q). El procedimiento es el mismo que el utilizado en la Sección 1.3, y el gráfico correspondiente se repite en la Figura 1.4-1 para $V_{cc} = 1{,}5$ V y $r_i + R_L = 50\ \Omega$.

La construcción necesaria para determinar la forma exacta de la onda de corriente como en la Sección 1.3 (Fig. 1.3-4) se muestra en el gráfico. Para determinar la respuesta sólo tiene importancia la porción de la característica del diodo situada entre los puntos *a* y *b*. Si esta zona es aproximadamente lineal puede reemplazarse por una línea recta para calcular la componente de c.a. Para concentrar la atención en la respuesta a la corriente alterna trazaremos un par de ejes con origen en el punto Q. Las variables asociadas a estos ejes son:

Corriente: $$i_d = i_D - I_{DQ} \tag{1.4-2a}$$

Tensión: $$v_d = v_D - V_{DQ} \tag{1.4-2b}$$

La parte interesante del gráfico (Fig. 1.4-1) se puede ver en la Figura 1.4-2, con las nuevas variables trazadas a mayor escala. La zona de trabajo *ab* se puede suponer lineal y pasa por el origen. Esto equivale a reemplazar el diodo por una resistencia de valor igual a la inversa de la pendiente de la línea *ab*. Esta pendiente se denomina *resistencia dinámica* r_d del diodo y se puede hallar calculando la inversa de la pendiente de la característica del diodo en el punto Q. De aquí que

$$r_d = \left.\frac{\Delta v_D}{\Delta_{iD}}\right|_{\text{punto } Q} \tag{1.4-3}$$

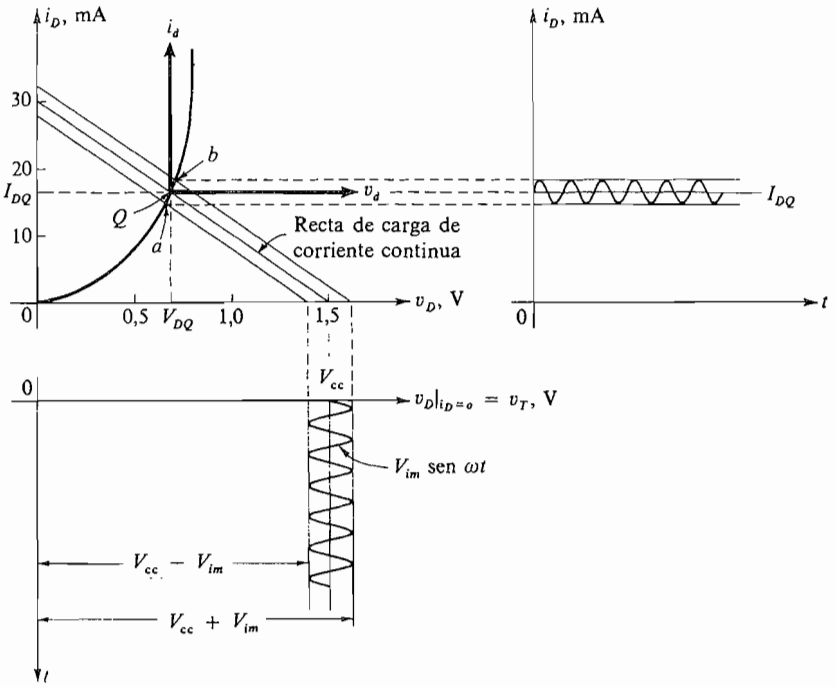


Figura 1.4-1. Determinación gráfica de la corriente de carga.

Una vez que se haya determinado r_d se puede calcular cualquier variable del circuito (sólo para funcionamiento en c.a. en pequeña señal) por la simple aplicación de la ley de Ohm.

El circuito original se puede considerar constituido por dos circuitos separados, como muestra la Figura 1.4-3. Se utiliza la 1.4-2*a* para hallar I_{DQ} y V_{DQ} (el punto de trabajo de reposo) y la Figura 1.4-3*b* para hallar i_d y v_d (las componentes de pequeña señal). La corriente total del circuito y la tensión se pueden hallar luego utilizando (1.4-2*a* y 1.4-2*b*).

El desarrollo que ha conducido a los circuitos equivalentes de la Figura 1.4-3 también se pueden realizar analíticamente, utilizando el desarrollo en serie de Taylor de la característica del diodo en el punto Q. Esta es una aproximación habitual en ingeniería. La característica v_i del diodo viene dada por

$$i_D = f(v_D) \tag{1.3-1}$$

Para pequeña señal y sin distorsión

$$i_D = I_{DQ} + i_d \quad \text{y} \quad v_D = V_{DQ} + v_d \tag{1.4-4}$$

donde $$|i_d| \ll I_{DQ} \quad \text{y} \quad |v_d| \ll V_{DQ}$$

Entonces (1.3-1) se convierte en

$$I_{DQ} + i_d = f(V_{DQ} + v_d) \tag{1.4-5}$$

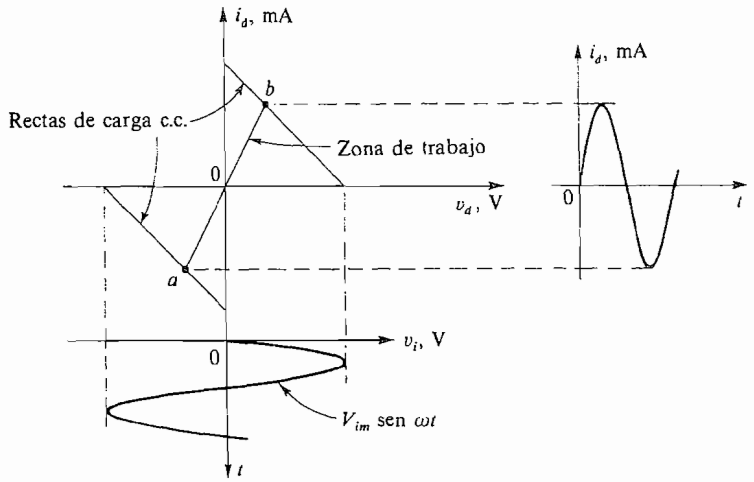


Figura 1.4-2. Interpretación gráfica de las variables auxiliares.

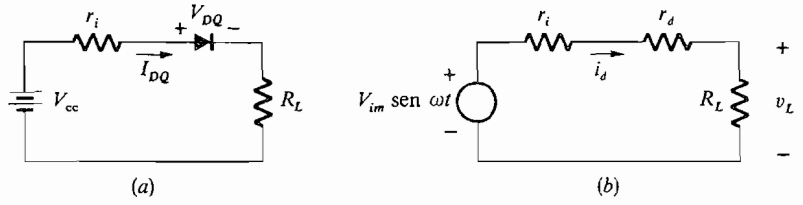


Figura 1.4-3. Circuito con diodo considerado como dos circuitos separados: (*a*) circuito para calcular el punto de trabajo o funcionamiento de c.c.; (*b*) circuito para calcular la componente de c.a. de pequeña señal.

La serie de Taylor, por la cual se puede hallar $f(x + \Delta x)$ dada $f(x)$ es

$$f(x + \Delta x) = f(x) + \Delta x f'(x) + \text{términos de mayor orden} \tag{1.4-6}$$

Despreciamos los términos de orden más altos e identificamos x con V_{DQ} e Δx con v_d, por lo que

$$i_D = I_{DQ} + i_d \approx f(V_{DQ}) + v_d \left.\frac{di_D}{dv_D}\right|_{\text{punto Q}} \tag{1.4-7}$$

Observando que $f(V_{DQ}) = I_{DQ}$, vemos que esto se simplifica en

$$i_d \approx v_d \left.\frac{di_D}{dv_D}\right|_{\text{punto Q}} \tag{1.4-8}$$

y finalmente

$$\frac{v_d}{i_d} \approx \left.\frac{dv_D}{di_D}\right|_{\text{punto Q}} \approx \left.\frac{\Delta v_D}{\Delta i_D}\right|_{\text{punto Q}} = r_d \tag{1.4-9}$$

La aplicación de la ley de Kirchhoff al circuito de la Figura 1.3-1 da

$$v_T = v_D + i_D R_T \qquad \text{donde } R_T = r_i + R_L \tag{1.4-10}$$

Sustituyendo las definiciones de pequeña señal (1.4-1) y (1.4-4) en (1.4-10), se obtiene

$$V_{cc} + v_i = V_{DQ} + v_d + I_{DQ}R_T + i_d R_T \tag{1.4-11}$$

Puesto que, para las condiciones supuestas de pequeña señal sin distorsión, v_i y v_d e i_d son todas ellas señales variables en el tiempo con el valor medio igual a cero y V_{cc}, V_{DQ} e I_{DQ} son constantes, puede separarse (1.4-11) en una ecuación para corriente continua y otra para corriente alterna.

$$V_{dc} = V_{DQ} + I_{DQ}R_T \tag{1.4-12}$$

y

$$v_i = v_d + i_d R_T \tag{1.4-13}$$

Finalmente, sustituyendo (1.4-9) en (1.4-13), tenemos

$$v_i = i_d(r_d + R_T) \tag{1.4-14}$$

Las ecuaciones (1.4-12) y (1.4-14) describen los circuitos equivalentes de c.c. y c.a. de la Figura 1.4-3 respectivamente. El cálculo se realiza gráficamente utilizando la característica del diodo, mientras que el análisis en pequeña señal se efectúa utilizando la ley de Ohm, con r_d evaluada a partir de la característica del diodo en el punto Q.

Cálculo de r_d. Se puede hallar una expresión analítica de la resistencia dinámica de un diodo de silicio en el sentido directo utilizando (1.4-9). Para ello derivamos la ecuación del diodo (1.2-1), invertimos el resultado y evaluamos r_d en el punto de trabajo tal y como sigue:

$$i_D = I_0(\epsilon^{v_D/V_T} - 1) \approx I_0 \epsilon^{v_D/V_T} \tag{1.2-1}$$

$$\frac{di_D}{dv_D} = \frac{1}{V_T} I_0 \epsilon^{v_D/V_T} \approx \frac{i_D}{V_T}$$

y

$$r_d = \left.\frac{dv_D}{di_D}\right|_{\text{punto } Q} \approx \frac{V_T}{I_{DQ}} \approx \frac{25 \text{ mV}}{I_{DQ}} \qquad \begin{array}{l} \text{a } T = 300 \text{ K} \\ I_{DQ} \text{ en A} \end{array} \tag{1.4-15}$$

Normalmente, la resistencia dinámica de un diodo para un punto de trabajo de 1 mA en c.c. es de 25 Ω.

Obsérvese que el análisis precedente sólo es válido si la porción de trabajo de la característica del diodo (de *a* hasta *b* en la Fig. 1.4-1), se puede considerar como una línea recta. Si no se cumple esta hipótesis, las formas de onda de la corriente y de la tensión se deformarán. En tal caso el resultado obtenido para la corriente de carga y la tensión se hallan superponiendo las respuestas de los circuitos de las Figuras 1.4-3*a* y *b*:

$$i_D = I_{DQ} + i_d = I_{DQ} + \frac{V_{im}}{r_i + r_d + R_L} \operatorname{sen} \omega t$$

y

$$v_L = R_L i_D$$

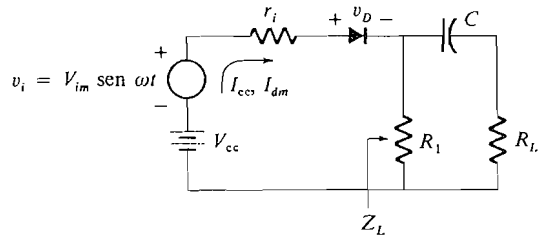


Figura 1.4-4. Circuito con diodo con un elemento reactivo.

Elementos reactivos. Cuando se cumplen las condiciones de pequeña señal, es sencillo tener en cuenta los elementos reactivos tales como el filtro *RC* representado en la Figura 1.4-4. Evidentemente, el condensador no puede tener efecto sobre el punto de trabajo, por lo que no se altera el cálculo de c.c. Además, la pendiente de la característica del diodo $1/r_d$ no cambia en el punto Q y para determinar la corriente en alterna y la tensión en el diodo se puede utilizar la ley de Ohm obteniendo:

$$I_{dm} = \frac{V_{im}}{|r_i + r_d + Z_L|} \tag{1.4-16}$$

donde I_{dm} y V_{im} denotan la corriente de pico y la amplitud de la tensión, y Z_L es la impedancia compleja. Esto se ilustra en el ejemplo siguiente.

EJEMPLO 1.4-1

En el circuito de la Figura 1.4-4 se utiliza un diodo de unión con

$$V_{cc} = 1.5 \text{ V} \qquad V_{im} = 20 \text{ mV} \qquad r_i = 10\ \Omega \qquad R_1 = 90\ \Omega$$
$$R_L = 200\ \Omega \qquad C = 100\ \mu\text{F} \qquad \omega = 10^4 \text{ rad/s}$$

Hállese la tensión entre los terminales de R_L.

Solución

Para hallar el punto Q se traza la recta de carga que pasa por el punto $v_D = 1{,}5$ V, con la pendiente $-1/(r_i + R_i) = -0{,}01$. La intersección de esta recta de carga con la característica del diodo tiene lugar en 7,5 mA y 0,75 V (Fig. 1.4-5). La situación

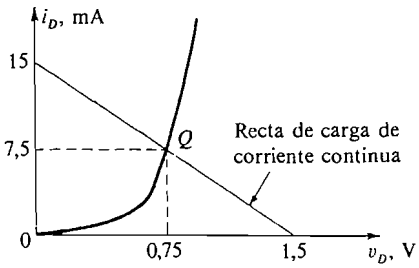


Figura 1.4-5. Evaluación gráfica del punto Q para el circuito de la Figura 1.4-4.

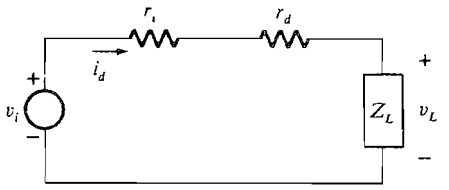


Figura 1.4-6. Circuito equivalente en pequeña señal.

del punto Q en la curva y la amplitud en la señal de c.a. indica que será aplicable la teoría para pequeña señal.

De (1.4-15):

$$r_d = \frac{25 \times 10^{-3}}{7{,}5 \times 10^{-3}} = 3{,}3\ \Omega$$

Como $|X_c| = 1/\omega C \approx 1\ \Omega$, vemos que el condensador tiene o puede llegar a tener una impedancia despreciable en comparación con R_L. Teniendo esto en cuenta $Z_L \approx R_1 \parallel R_L = 62\ \Omega$*. El circuito de pequeña señal análogo a la Figura 1.4-3*b* toma la forma representada en la Figura 1.4-6. Utilizando los valores obtenidos para r_d y Z_L, obtenemos

$$V_{L,\,cc} = 0$$

y $$V_{Lm} = I_{dm}|Z_L| = \frac{V_{im}|Z_L|}{|r_i + r_d + Z_L|} \approx \frac{(20)(62)}{10 + 3{,}3 + 62} \approx 17\ \text{mV}$$

1.5. ANALISIS EN PEQUEÑA SEÑAL; RECTA DE CARGA EN ALTERNA

El circuito de la Figura 1.4-4 ha sido descrito en la Sección 1.4 por una combinación de método gráfico y analítico. Por una simple extensión del concepto de recta de carga en c.c. es posible realizar gráficamente los análisis en c.c. y c.a. siempre que la reactancia del condensador sea despreciable. Este procedimiento conduce al concepto de recta de carga en alterna (c.a) que, aunque no se utilice frecuentemente en la práctica para circuitos con diodos sí se utiliza a menudo para analizar y diseñar circuitos con transistores. Como el concepto es más fácil de captar en términos de un simple diodo lo introducimos en este capítulo.

Para el circuito de la Figura 1.4-4 la recta de carga en c.c. y el punto Q se obtiene como muestra la Figura 1.5-1. Las condiciones de corriente continua no son afectadas por el condensador C y la resistencia de carga R_L a causa de la acción de bloqueo del condensador. La pendiente de la recta de carga en c.c. está pues determinada por la resistencia $r_i + R_1$. Cuando hay presente una señal de corriente alterna (suponiendo que el condensador actúa como un cortocircuito para las frecuencias consideradas), la resistencia efectiva vista por el diodo es $r_i + (R_1 \parallel R_L)$, que es la inversa de la pendiente de la recta de carga de la corriente alterna cambiada de signo. Para trazar esta recta de carga en alterna se precisa

* La notación $R_1 \parallel R_L$ es una abreviatura de «R_1 en paralelo con R_L» y se usará en todo este texto.

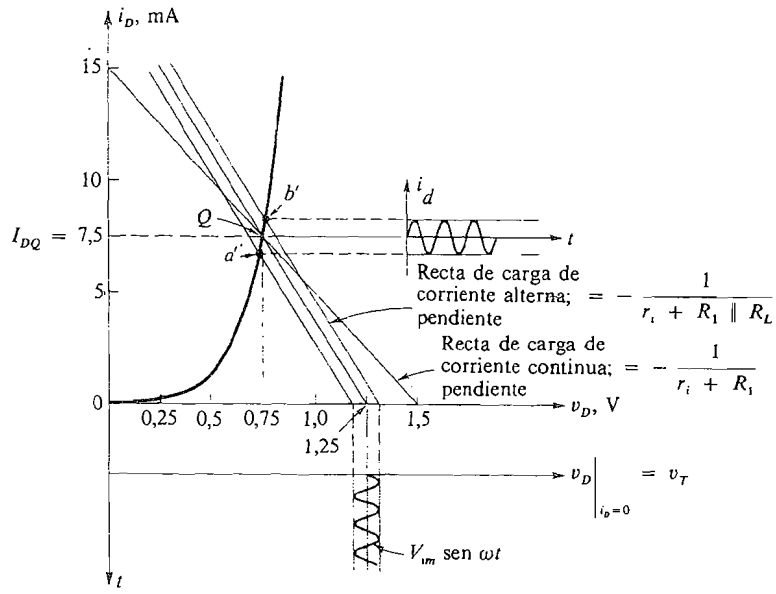


Figura 1.5-1. Solución gráfica del circuito de la Figura 1.4-4.

solamente un punto, ya que la pendiente es conocida. El punto donde la señal de c.a. es cero es el más fácil de obtener. Este es sencillamente el punto Q. Así pues, la recta de carga en c.a. se traza de modo que pase por el punto Q y tenga una pendiente de $-1/[r_i + (R_1 \parallel R_L)]$, tal como muestra la Figura 1.5-1.

Como la señal varía con el tiempo, la recta de carga en alterna se desplaza a uno y otro lado para definir la zona de funcionamiento del diodo. Compárese esta figura con la 1.4-1 en que la recta de carga en continua se mueve a uno y otro lado. La diferencia entre ambas para el circuito considerado es que las impedancias vistas por el diodo en alterna y en continua no son iguales.

La amplitud de la componente de c.a. de la corriente se halla utilizando la construcción gráfica representada en la Figura 1.5-1. La zona de funcionamiento es el segmento $a'b'$ de la característica del diodo. Este procedimiento dará un resultado idéntico al obtenido analíticamente en (1.4-16) a condición de que el segmento $a'b'$ sea aproximadamente lineal. Del mismo modo que en la Sección 1.4, es útil superponer un par de ejes $i_d - v_d$ en las curvas de la Figura 1.5-1. Esto se deja como ejercicio.

Las ecuaciones correspondientes a las rectas de carga en c.c. y c.a. se pueden obtener simultáneamente mediante el circuito de la Figura 1.4-4 utilizando la segunda ley KVL o ley de tensiones. Tenemos

$$V_{cc} + v_i = i_D r_i + v_D + I_{DQ} R_1 + i_d(R_1 \parallel R_L) \tag{1.5-1}$$

Haciendo $i_D = i_d + I_{DQ}$ y $v_D = v_d + V_{DQ}$, admitiendo el principio de superposición, se obtiene

$$V_{cc} = I_{DQ}(r_i + R_1) + V_{DQ} \qquad \text{ecuación de la recta de carga en c.c.} \quad (1.5\text{-}2a)$$

y $$v_i = i_d(r_i + (R_1 \parallel R_2)) + v_d \qquad \text{ecuación de la recta de carga en c.a.} \quad (1.5\text{-}2b)$$

1.6. SISTEMAS DE DIODOS

Algunos sistemas de diodos tienen muchas aplicaciones, entre ellas la conmutación analógica, la multiplicación y la detección de fase. La Figura 1.6-1 muestra el esquema de un sistema comercial de diodos el LM3019. Consiste en un puente de diodos y dos más aislados, fabricados todos ellos simultáneamente sobre el mismo chip de silicio. Los detalles de fabricación de estos circuitos integrados (CI) se estudiarán en el Capítulo 16. No obstante, señalemos que los diodos integrados están todos fabricados simultáneamente y, por tanto, tienen características casi idénticas, mientras que las características de los diodos discretos, seleccionados al azar, pueden diferir ampliamente. Por ejemplo, entre dos diodos cualesquiera del sistema puede haber una máxima diferencia de tensiones de 5 mV cuando la corriente que circula por ellos es 1 mA. Si se seleccionan aleatoriamente dos diodos discretos del mismo tipo, la diferencia de tensiones podría ser de 25 a 50 mV.

Estudiaremos primero el conmutador analógico representado en la Figura 1.6-2. La función de este circuito es producir una tensión de salida v_L proporcional a la tensión analógica de entrada v_i cuando la tensión de control $v_C = V_{on}$ (conducción) y tener $v_L = 0$ cuando $v_C = V_{off}$. Así, en esta aplicación el sistema está actuando como un interruptor que es puesto en conducción o en corte mediante la tensión de control.

Para explicar la acción del circuito arriba descrito en el margen de tensiones de 0 al valor máximo de V_{im}, supongamos que $v_C = V_{on} = +5$ V. Entonces, si la tensión de entrada $v_i = 0$, los cuatro diodos están conduciendo, y en cada uno de ellos hay una caída de tensión V_F entre sus terminales ($V_F = 0$ para diodos ideales y 0,7 V para diodos de silicio). De aquí que la caída de tensión desde a hasta b sea cero. Por otra parte, si v_i adquiere su máximo valor previsible V_{im}, y si V_{im} es mucho menor que el valor supuesto de la tensión de control $v_C = V_{on} = 5$ V, estos diodos se mantendrán en conducción.

Ahora, para simplificar la explicación de la acción del circuito, supongamos que $r_i = 0$ y $r_d = 0$. Entonces el circuito equivalente del puente (para $v_C = V_{on} = 5$ V) se puede dibujar como el representado en la Figura 1.6-3. En este circuito equivalente los cuatro diodos ideales conducen y entre los terminales de cada uno de ellos la tensión es de 0 V.

En el circuito equivalente podemos ver que para los supuestos acerca de V_{on} y v_i, la tensión de salida está relacionada por la sencilla expresión:

$$v_L = v_i \tag{1.6-1}$$

Sin embargo, incluso si r_i y r_d no son cero, se puede demostrar que v_L será proporcional a v_i.

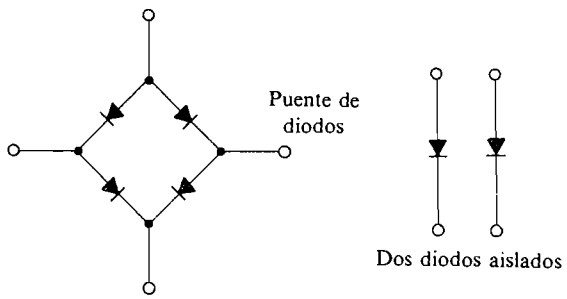


Figura 1.6-1. Sistema de diodos.

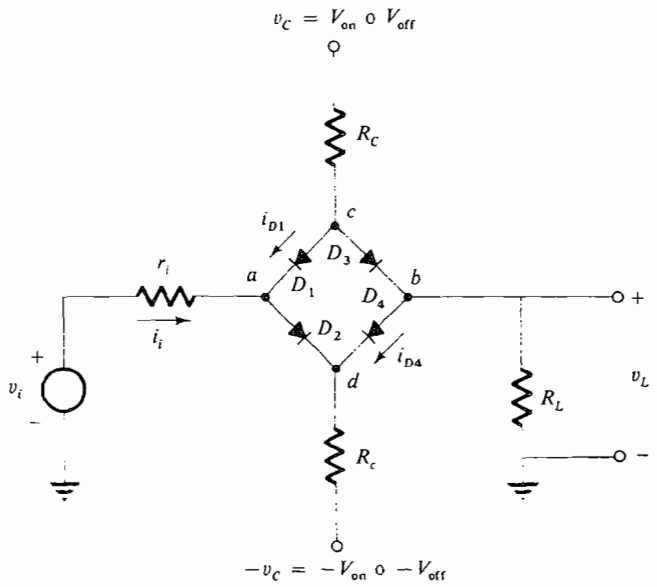


Figura 1.6-2. Un conmutador analógico con cuatro diodos.

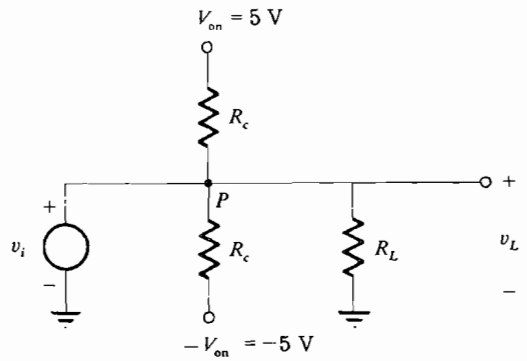


Figura 1.6-3. Circuito equivalente cuando $v_C = V_{on}$.

En el diseño del circuito se ha elegido el valor de la tensión de control V_{off} suficientemente pequeña para que cuando $v_C = V_{off}$, los cuatro diodos estén en la condición de corte, o sea que no conduzcan corriente. Por ejemplo, podríamos elegir $V_{off} = -5$ V. Puesto que se ha supuesto que v_i es mucho mayor que +5 V, la corriente en R_L será muy pequeña y $v_L \approx 0$ V independiente de v_i.

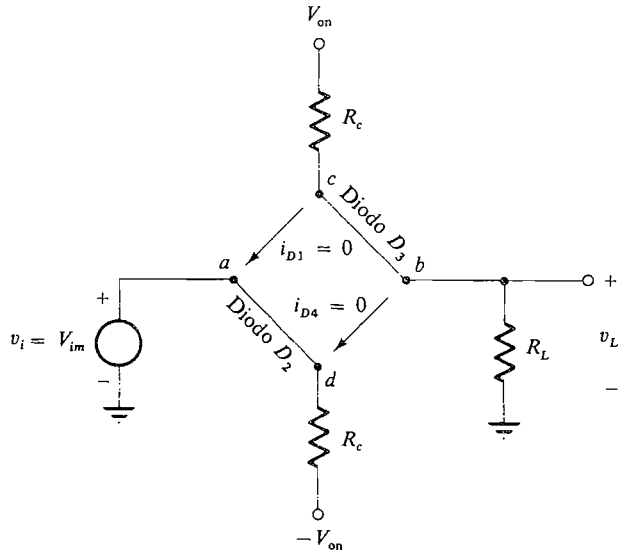


Figura 1.6-4. Circuito equivalente cuando $v_i = V_{im}$ y los diodos D_1 y D_4 están en el punto de corte.

Cálculo de la máxima tensión de entrada permisible V_{im}. El objetivo de esta sección es hallar el máximo valor que puede alcanzar v_i manteniendo un correcto funcionamiento del circuito. En el circuito de la Figura 1.6-2 vamos a considerar la secuencia de eventos cuando aumenta la tensión de entrada v_i. El resultado será que la corriente a través del diodo D_2 aumentará mientras que la corriente a través del diodo D_1 disminuirá. En alguno de los puntos se alcanzará una tensión de entrada que anule la corriente a través de D_1 por lo que D_1 se comportará como un circuito abierto. En este momento, observando el circuito se ve que toda la corriente que circula a través de D_2 debe ser suministrada por la fuente de la tensión de entrada v_i. Un ulterior aumento de v_i no hará que aumente v_L. V_{im} es pues la máxima tensión de entrada permisible. La corriente a través de la resistencia de carga R_L es, en este punto, suministrada por la tensión de control $v_C = V_{on}$. Obsérvese también que los diodos D_2 y D_3 están en conducción, mientras que D_1 y D_4 están en corte. Si utilizamos diodos en los cuales la caída de tensión en conducción es 0 V, entonces en este valor de v_i el circuito toma la forma equivalente representada en la Figura 1.6-4. Como D_1 y D_4 están en corte, la tensión entre sus terminales será cero, y las tensiones v_{ac} y v_{bd} de la figura son cero. El hecho de que D_2 y D_3 conduzcan nos permite sustituirlos en el diagrama por cortocircuitos.

A continuación analizaremos el circuito equivalente de la Figura 1.6-4 con el fin de hallar una relación entre la máxima tensión de entrada y la tensión de control. Comenzaremos considerando las caídas de tensión con respecto a masa desde las cuatro esquinas del puente. Esto nos da las siguientes relaciones:

$$v_a = v_d = V_{im} \tag{1.6-2a}$$

y

$$v_c = v_b = v_L = \frac{V_{on} R_L}{R_c + R_L} \tag{1.6-2b}$$

Haciendo $v_{ac} = v_a - v_c$ igual a cero tenemos

$$V_{im} = V_{on} \frac{R_L}{R_c + R_L} \tag{1.6-3}$$

Recordemos que éste es el valor de V_{im} en que los diodos D_1 y D_4 se bloquean o sea pasan al corte.

Si $R_c \gg R_L$, (1.6-3) se reduce a

$$V_{im} \approx \frac{R_L}{R_c} V_{on} \tag{1.6-4a}$$

Sin embargo, si el puente de diodos se conecta a la entrada de un amplificador operacional no inversor (Sec. 8.2), la impedancia de entrada R_L es mucho mayor que R_C. Tenemos entonces

$$V_{im} \approx V_{on} \tag{1.6-4b}$$

En cualquiera de los casos si v_i es menor que el valor de V_{im} dado en (1.6-3), el interruptor de diodos dará $v_L = v_i$. Si v_i excede de V_{im}, la tensión de salida v_L se mantendrá fija en el valor dado en (1.6-2*b*). [Se demuestra fácilmente que también resulta (1.6-3) si se ajusta $v_i = -V_{im}$, en el caso de que D_2 y D_3 estén en corte].

Determinación de V_{off}. La tensión de control V_{off} se selecciona de manera que los diodos estén funcionando en la región inversa (por lo que no conducen corriente) pero no más allá de su tensión de ruptura Zener. Si los diodos estuviesen polarizados inversamente más allá de este punto, conducirían corrientes inversas que podrían ser suficientemente intensas como para deteriorarlos. Los diodos que se utilizan en los circuitos integrados suelen tener su ruptura Zener para una tensión inversa aproximada de $V_{ZB} = 6$ V.

Cuando los diodos están en corte existe la posibilidad de que puedan estar expuestos a ruptura Zener si $v_i = V_{im}$ es demasiado grande. Con referencia a la Figura 1.6-2, siendo $r_i = 0$, vemos que no circula corriente cuando los diodos están en corte. Para asegurar que los diodos no están expuestos a ruptura $V_{off} > V_{im} - V_{ZB}$, donde V_{ZB} es la tensión de ruptura Zener de los diodos.

En la Figura 1.6-2, para mantener tensión cero en R_L cuando $v_c = V_{off}$, es necesario que V_{off} sea tal que las corrientes por los diodos D_3 y D_4 sean nulas independientemente del valor de v_i lo que se puede lograr eligiendo V_{off} menor o igual a cero. De aquí que V_{off} debe estar comprendido en el margen

$$V_{im} - V_{ZB} < V_{off} \leqslant 0 \text{ V}$$

Supongamos $V_{ZB} = 6$ V, $V_{im} < 6$ V. Por ejemplo, si $V_{im} = 5$ V, podríamos elegir $V_{off} = 0$ V. Si se hace esta elección, D_2 se pondrá en conducción cuando v_i exceda de 0,7 V y D_1 pasará a conducir cuando v_i sea menor que $-0{,}7$ V. Sin embargo, v_L se mantendrá igual a 0 V, independientemente de v_i a causa de que D_3 y D_4 están en corte y por tanto la puerta se mantendrá también en corte.

EJEMPLO 1.6-1. CONMUTADOR ANALOGICO DE SEIS DIODOS

En la Figura 1.6-5 está representado un conmutador analógico de seis diodos que utiliza completamente el circuito de la Figura 1.6-5. La función del circuito es la misma que la del conmutador analógico de cuatro diodos representado en la Figura 1.6-2; es decir, cuando $v_c = V_{on}$ los diodos D_5 y D_6 están en corte y los diodos D_1, D_2, D_3 y D_4 están en conducción en tanto que $|v_i| < V_{im} = 3$ V [véase (1.6-3) con R_c y R_L]. Cuando $v_c = V_{off}$, los diodos D_5 y D_6 se ponen en conducción y se coloca en corte a los diodos D_1, D_2, D_3 y D_4. La tensión $v_L = 0$ independientemente de v_i.

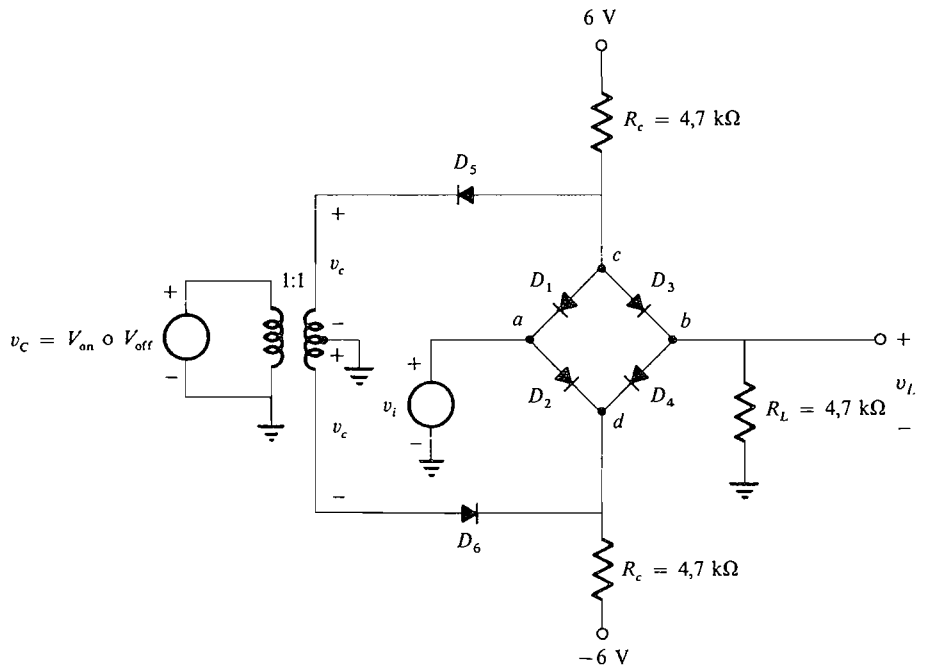


Figura 1.6-5. Un conmutador analógico con seis diodos.

Si $V_{im} = 3$ V y los diodos conducen en 0,7 V, hallar (*a*) v_L en función de v_i cuando $v_C = V_{on}$, (*b*) el valor mínimo de V_{on} y (*c*) el margen permisible de V_{off}.

Solución

(*a*) Cuando utilizamos (1.6-3) con $V_{on} = 6$ V, se puede demostrar que el máximo V_{im} será igual a 3 V, y para $|v_i| < V_{im} = 3$ V,

$$v_L \approx v_i \tag{1.6-5}$$

(*b*) Puesto que v_L nunca excederá de $V_{Lm} = V_{im} = 3$ V, la tensión en el punto c no excederá de 3 + 0,7 V ≈ 3,7 V. Por consiguiente, los diodos D_5 y D_6 estarán en corte siempre que $v_C = V_{on} > 3{,}7 - V_{DS} = 3{,}7 - 0{,}7 = 3$ V.

(*c*) Los diodos D_1 a D_4 estarán en corte siempre que la caída de tensión entre c y d en la Figura 1.6-5 sea menor que 1,4 V. Utilizando la segunda ley de Kirchhoff tenemos

$$v_{cd} = V_{D5} + 2v_C + V_{D6} < 1.4 \text{ V}$$

Como D_5 y D_6 conducen, $V_{D5} = V_{D6} = 0{,}7$ V y los diodos D_1 a D_4 estarán en corte si $v_C = V_{\text{off}} < 0$ V. Puesto que no deseamos que los diodos D_1 a D_4 estén polarizados inversamente en más de la ruptura Zener V_{ZB}, tenemos

$$-V_{D1} = V_{im} - V_{\text{off}} - V_{D5} < 6 \text{ V}$$

De aquí:

$$V_{\text{off}} > V_{im} - 6{,}7 \text{ V}$$

Así, el margen permisible de V_{off} será:

$$V_{im} - 6{,}7 \text{ V} < V_{\text{off}} \leqslant 0 \text{ V} \tag{1.6-6}$$

Puesto que $V_{im} = 3$ V, esto se reduce a:

$$-3{,}7 \text{ V} \leqslant V_{\text{off}} \leqslant 0 \text{ V}$$

EJEMPLO 1.6-2. USO DE UN CONMUTADOR DE SEIS DIODOS COMO MULTIPLICADOR

Demostrar que el conmutador de seis diodos descrito en el Ejemplo 1.6-1 se puede utilizar como multiplicador.

Solución

El circuito de un sistema típico multiplicador hecho con diodos es el mismo que el de conmutador con diodos representado en la Figura 1.6-5. Admitiendo que v_i sea una onda senoidal tal como $v_i = \text{sen } 2\pi f_i t$ y v_C sea otra forma de onda senoidal, tal como $v_C = \cos 2\pi f_c t$, si suponemos que el conmutador cambia de conducción a corte cuando v_C pasa por cero, la señal de control conmutará a v_i en conducción y en corte a un ritmo igual a f_c. Esto está ilustrado en la Figura 1.6-6*a*, donde hemos elegido $f_i = 20f_c$. Con el fin de explicar el proceso de multiplicación utilizando este sistema, la operación de conmutación se representa mejor tal como se muestra en la Figura 1.6-6*b*. Aquí la tensión senoidal de control, de frecuencia f_c, es sustituida por la función de conmutación de onda cuadrada $S(t)$ de frecuencia f_c, que es 1 ó 0 V. Cuando $S(t)$ es 1 V, $v_L = v_i(t)$. Cuando $S(t) = 0$ V, entonces $v_L = 0$ V. Como $S(t)$ es una función periódica puede representarse por la serie de Fourier.

$$S(t) = \frac{1}{2} + \sum_{n=1}^{\infty} \frac{\text{sen } n\pi/2}{n\pi/2} \cos 2\pi n f_c t \tag{1.6-7}$$

Así $v_L(t)$ es

$$v_L(t) = S(t)v_i(t) = \tfrac{1}{2}v_i(t) + \sum_{n=1}^{\infty} v_i(t) \frac{\text{sen } n\pi/2}{n\pi/2} \cos 2\pi n f_c t \tag{1.6-8}$$

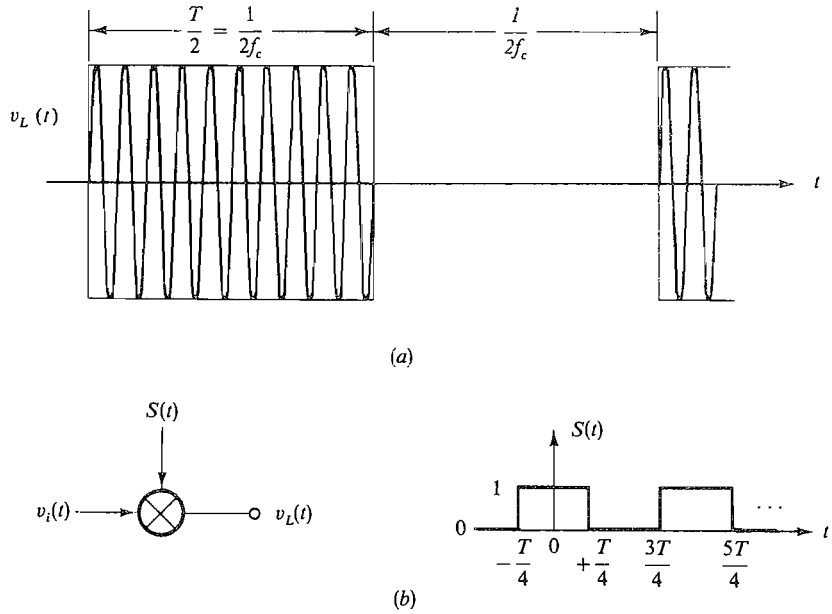


Figura 1.6-6. El conmutador con diodos como multiplicador: (*a*) v_L (*t*) cuando v_i = = sen $4\pi \times 10^7 t$ y v_C = sen $2\pi \times 10^6 t$; (*b*) representación equivalente del conmutador con diodos.

La Ecuación (1.6-8) demuestra que $v_L(t)$ comprende la señal original v_i, el producto de las dos señales y los productos de $v_i(t)$ y los armónicos de la señal de control original. De aquí que, si el conmutador va seguido de un circuito sintonizado con frecuencia central f_c y un ancho de banda $B = 2f_i$, la tensión en la salida del filtro será $v'_L(t) = K \text{ sen } 2\pi f_i t \cos 2\pi f_c t$, donde K es una constante. Así, la tensión de salida del filtro v'_L (*t*) es proporcional al producto de $v_C(t)$ y $v_i(t)$.

El circuito de la Figura 1.6-6 tiene varios nombres, dependiendo de la finalidad del diseño. Por ejemplo, si lo que se pretende es que $v_L(t) = S(t)v_i(t)$, el circuito se denomina *multiplicador*. Si $f_i = f_c$ pero hay un desfase θ entre $v_i(t)$ y $S(t)$, entonces si $v_L(t)$ es filtrada mediante un filtro paso bajo, la salida del filtro es proporcional a sen θ. El circuito se llama *detector de fase*. Si la tensión de salida $v_L(t)$ se aplica a un circuito sintonizado centrado en $f_i + nf_c$, el circuito se denominará *mezclador* y diremos que hemos desplazado o heterodinado la frecuencia f_i para obtener la nueva frecuencia $f_i + nf_c$.

1.7. GENERACION DE FUNCIONES

La técnica de la generación de funciones implica aproximación a la característica v_i de un dispositivo no lineal mediante segmentos de línea recta conectados y utilizando luego diodos, resistencias, fuentes de tensión o corriente constante para construir un circuito equivalente que realice la curva lineal por tramos. De esta manera se puede analizar el

circuito equivalente por los métodos normales de análisis de circuitos, especialmente para pequeña señal, con lo que se evitan los procedimientos gráficos.

Una aplicación de los generadores de funciones es la solución de problemas en que deba ser resuelta alguna ecuación diferencial no lineal que represente un sistema físico mediante un computador analógico. Los términos no lineales son aproximados por curvas lineales por tramos y sintetizados. Así se resuelve electrónicamente el problema completo y se representa el resultado gráficamente o se visualiza en un osciloscopio.

Consideremos la aproximación por dos segmentos para la característica no lineal representada en la Figura 1.7-1 como ejemplo de la síntesis de un circuito lineal por

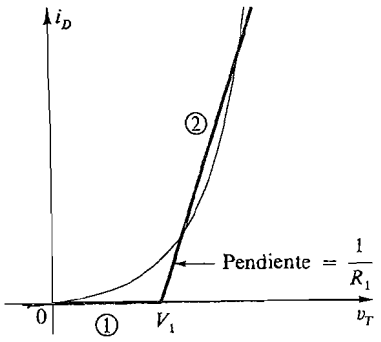


Figura 1.7-1. Aproximación lineal por tramos de dos segmentos.

tramos. Obsérvese que cualquier curva no lineal puede ser aproximada tanto como se desee utilizando uno o más segmentos rectos. Para fines prácticos, el número de segmentos de línea se mantiene tan pequeño como sea posible. La curva de la Figura 1.7-1, consta de sólo dos segmentos, ambos semiinfinitos; se puede utilizar para aproximarse a la curva cuando la precisión necesaria permite el gran error producido. Es sintetizada por medio del circuito de la Figura 1.7-2. El funcionamiento del circuito se explica fácilmente si se

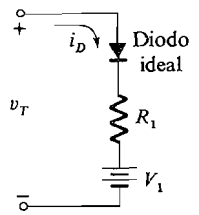


Figura 1.7-2. Síntesis del circuito lineal por tramos de la Figura 1.7-1.

considera la tensión de entrada como una fuente de continua que cambia lentamente desde un valor grande negativo hasta un valor grande positivo. Recuérdese que el diodo ideal conducirá solamente cuando la tensión $v_T - V_1$ sea positiva (polarización directa) y es un circuito abierto cuando $v_T - V_1$ es negativa (polarización inversa); no circulará corriente a no ser que $v_T \geqslant V_1$; así $v_T < V_1$ da el segmento 1 de la curva. Cuando $v_T = V_1$ (punto de «codo»), ocurre un cambio de estado. Tan pronto como v_T se hace mayor que V_1, el diodo conduce y será un cortocircuito. Luego, para todos los valores de $v_T > V_1$, el circuito consiste en la resistencia R_1 en serie con la tensión V_1 que proporciona el segmento 2 de la curva.

Es importante distinguir entre los circuitos lineales por tramos equivalentes, de los que aquí tratamos, y el circuito equivalente lineal para pequeña señal, que se ha estudiado en la Sección 1.4. Los valores de resistencia pueden diferir considerablemente a causa de que, en el caso de pequeña señal, las pendientes se miden en un punto particular de funcionamiento, mientras que en el caso lineal por tramos son valores promediados en márgenes o intervalos relativamente grandes. El circuito lineal por tramos se puede utilizar para calcular las corrientes y las tensiones totales, mientras que el circuito equivalente para pequeña señal está restringido a variaciones pequeñas alrededor del punto de trabajo.

EJEMPLO 1.7-1

Utilizando circuitos lineales a tramos hállese la solución de las ecuaciones:

$$y = x^2 \qquad 0 < x < 2$$

y

$$y = x \qquad 0 < x < 2$$

Naturalmente, la solución es $x = 1$. Veamos cómo se puede obtener electrónicamente esta solución.

Solución

Primero representemos la ecuación $y = x^2$ por los tres segmentos de recta dibujados en la Figura 1.7-3. Un procedimiento directo para elegir los segmentos de recta es dividir el intervalo en partes iguales tal y como se muestra. Empezamos por los segmentos 1 y 2 teniendo en cuentas las pendientes en los puntos indicados (en este caso $x = 0$ y $x = 2$). Si el error entre la ecuación lineal por tramos y la ecuación no lineal es demasiado grande, se añade un tercer segmento. La pendiente del segmento 3 es la misma que en $x = 1$. Si el error sigue siendo demasiado grande, se pueden

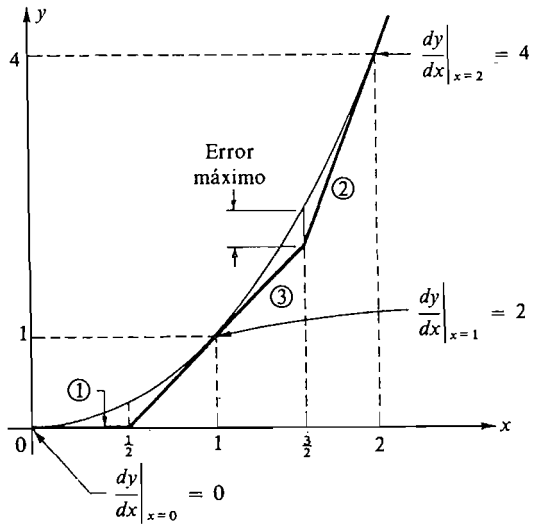


Figura 1.7-3. Aproximación lineal por tramos de $y = x^2$.

añadir dos segmentos más en $x = \frac{1}{2}$ y $x = \frac{3}{2}$, etc. Hay que señalar que incluso con tres segmentos se podría reducir el error considerando simplemente el segmento 3 como cuerda de la curva en vez de como tangente a ella. (Como los cálculos se simplifican utilizando una tangente, aquí no nos detendremos a considerar el error reducido.)

Ahora ponemos

$$y = i\,(\text{mA}) \qquad \text{y} \qquad x = v\,(\text{V})$$

Entonces se puede sintetizar el circuito correspondiente a $y = x^2$ como muestra la Figura 1.7-4.

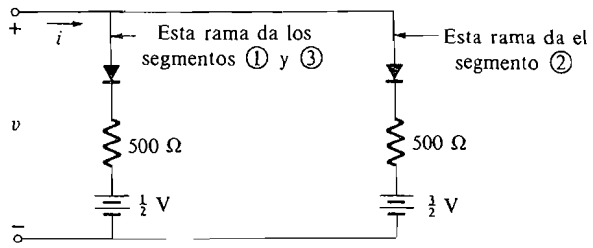


Figura 1.7-4. Circuito lineal por tramos para $y = x^2$.

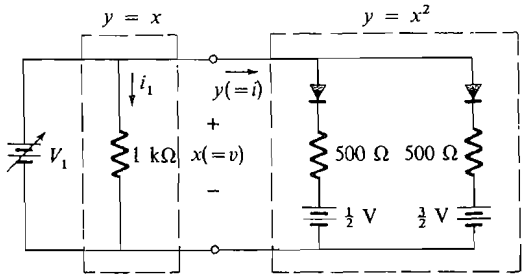


Figura 1.7-5. Conexionado para la resolución simultánea de $y = x^2$ e $y = x$.

El circuito correspondiente a $y = x$ ($y = i$ en miliamperios; $x = v$ en voltios) es simplemente una resistencia de 1 kΩ. Para hallar la solución de las ecuaciones hacemos que $x(=v)$ sea la misma en ambos circuitos, conectándolos en paralelo tal y como se muestra en la Figura 1.7-5.

A continuación se varía la tensión $v = V_i$ hasta que $i = i_1$. En este punto $v = V_1(=x)$ e $i = i_1(=y)$ representa la solución simultánea de las ecuaciones. En este sencillo caso $v = V_1 = 1$ V e $i = i_1 = 1$ mA dan la solución. Otro método consiste en conectar la resistencia de 1 kΩ en serie con la red $y = x^2$, para que la corriente sea la misma en ambos circuitos. Luego se varía la tensión de entrada hasta que la tensión $(= x)$ entre los terminales de cada uno de los circuitos sea la misma.

1.8. CAPACIDAD DEL DIODO

En esta sección describimos ciertos efectos que ocurren en los diodos que conducen a la aparición de elementos capacitivos en el modelo de circuito para el diodo. Los valores de estas capacidades dependen de la magnitud y de la polaridad de la tensión aplicada al diodo, así como del tipo de unión formada durante el proceso de fabricación. La capacidad real no es lineal, pero generalmente se la considera en una primera aproximación como elemento lineal.

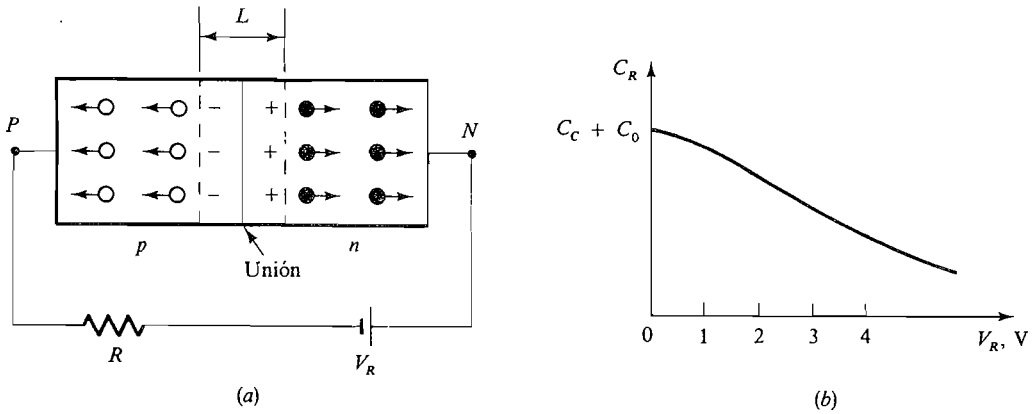


Figura 1.8-1. Capacidad del diodo, polarización inversa: (*a*) representación gráfica; (*b*) variación típica de la capacidad con la tensión inversa aplicada.

Polarización inversa, capacidad de transición. Consideremos el diodo de unión *pn* polarizado inversamente representado en la Figura 1.8-1*a*. Cuando un diodo funciona de este modo, los huecos de la región *p* y los electrones de la región *n* se mueven alejándose de la unión, formando por tanto una *región de transición* en la cual han sido eliminados portadores de cargas. La longitud efectiva L de la región de empobrecimiento o zona de carga espacial se hace mayor cuando la tensión inversa V_R aumenta puesto que el campo eléctrico también aumenta proporcionalmente con V_R.

Como los electrones y los huecos se han separado de la unión, la región de transición establecida en el material *p* se ha cargado negativamente mientras que la región de transición establecida en el material *n* se ha cargado positivamente. La unión con polarización inversa se comportará, pues, como un condensador cuya capacidad varía teóricamente de modo inversamente proporcional a la caída de tensión V_{NP} desde N hasta P. Realmente la capacidad C_R es inversamente proporcional a la potencia $\frac{1}{2}$ ó $\frac{1}{3}$ de V_{NP}, dependiendo de si el dispositivo tiene una unión de aleación o una unión de crecimiento. En un diodo de alta velocidad esta capacidad es más bien pequeña, normalmente menor que 5 pF. En los diodos rectificadores para alta corriente puede ser tan grande como 500 pF.

Los diodos *varicap* o *varactor* están fabricados específicamente para funcionar en el modo de polarización inversa. Pueden ser diseñados para capacidad de hasta varios centenares de picofaradios si así se requiere. Una aplicación del uso de tales diodos es la de los circuitos de modulación de frecuencia (FM), donde se conecta un diodo polarizado inversamente en paralelo con una bobina. La frecuencia resonante del circuito sintonizado

que resulta se puede cambiar variando V_R. Por tanto, si V_R es una señal de voz, por ejemplo, la frecuencia resonante será proporcional a la amplitud de la señal de voz; es decir, la frecuencia estará modulada. Se construyen muchos sistemas de FM utilizando este principio.

Una ecuación que relaciona la capacidad de transición en un diodo inversamente polarizado y la tensión inversa V_R aplicada es:

$$C_R \approx C_C + \frac{C_0}{(1 + 2V_R)^n} \tag{1.8-1}$$

donde C_C = capacidad debida a la cápsula del diodo
C_0 = capacidad del diodo cuando $V_R = 0$
$n = \frac{1}{2}$ ó $\frac{1}{3}$

La Figura 1.8-1*b* es un gráfico de la capacidad del diodo en función de V_R. Generalmente se desprecia la naturaleza no lineal de C_R y se utiliza un valor constante en los cálculos.

Polarización directa, capacidad de almacenamiento. Cuando el diodo está polarizado en sentido directo, la anchura de la región de transición L disminuye y la capacidad de transición aumenta con respecto al valor de capacidad obtenida en un diodo inversamente polarizado. Sin embargo, en la situación de polarización directa ocurre un efecto de capacidad mucho mayor, que es modelado por un elemento llamado *capacidad de almacenamiento* o *de difusión*.

En la Sección 1.2 hemos descrito el mecanismo de circulación de corriente como electrones que se mueven desde un hueco (vacante) a otro. Supongamos que el tiempo promedio que tarda un electrón en moverse entre dos huecos es τ segundos (τ es el tiempo medio considerando los dos flujos de electrones en la banda de conducción y en la banda de valencia). Entonces la circulación media de corriente es $I_D = Q/\tau$, donde Q es la carga media. Sin embargo, por la ecuación del diodo (1.2-3) tenemos

$$I_D = \frac{Q}{\tau} = I_o \epsilon^{V_D/V_T} \tag{1.8-2}$$

Si definimos la capacidad de almacenamiento C_S como $C_S = dQ/dV_D$, hallamos fácilmente que

$$C_S = \frac{I_D \tau}{V_T} \tag{1.8-3}$$

Por tanto, la capacidad es directamente proporcional a la corriente directa del diodo y puede ser muy grande. Por ejemplo, si $\tau = 1$ ns e $I_D = 1$ mA, entonces $C_S = 40$ pF. Esta es la capacidad que limita la velocidad de conmutación en circuitos lógicos en que se utilizan dispositivos de unión.

1.9. DIODOS SCHOTTKY

Un diodo Schottky está formado por la unión de un metal tal como platino, con silicio de tipo *n*. Estos dispositivos tienen un almacenamiento de carga despreciable y se utilizan en aplicaciones de conmutación de alta velocidad.

Un metal, por ejemplo, platino, actúa como material aceptador para los electrones cuando está unido a silicio *n*. Así, cuando el material está conectado al silicio de tipo *n*, los electrones del silicio se difunden inicialmente en el metal. Como muestra la Figura 1.9-1*a*, esta difusión hace que el material *n* se empobrezca de electrones cerca de la unión y por consiguiente que adquiera un potencial positivo. Cuando esta tensión positiva llega a ser suficientemente grande, impide la posterior difusión de los electrones. Por otra parte, cuando es aplicada exteriormente una tensión positiva suficientemente grande entre los terminales del diodo, como muestra la Figura 1.9-1*b*, los electrones de la región *n* están sometidos a un potencial positivo en el lado del metal de la unión y aparece una circulación de electrones.

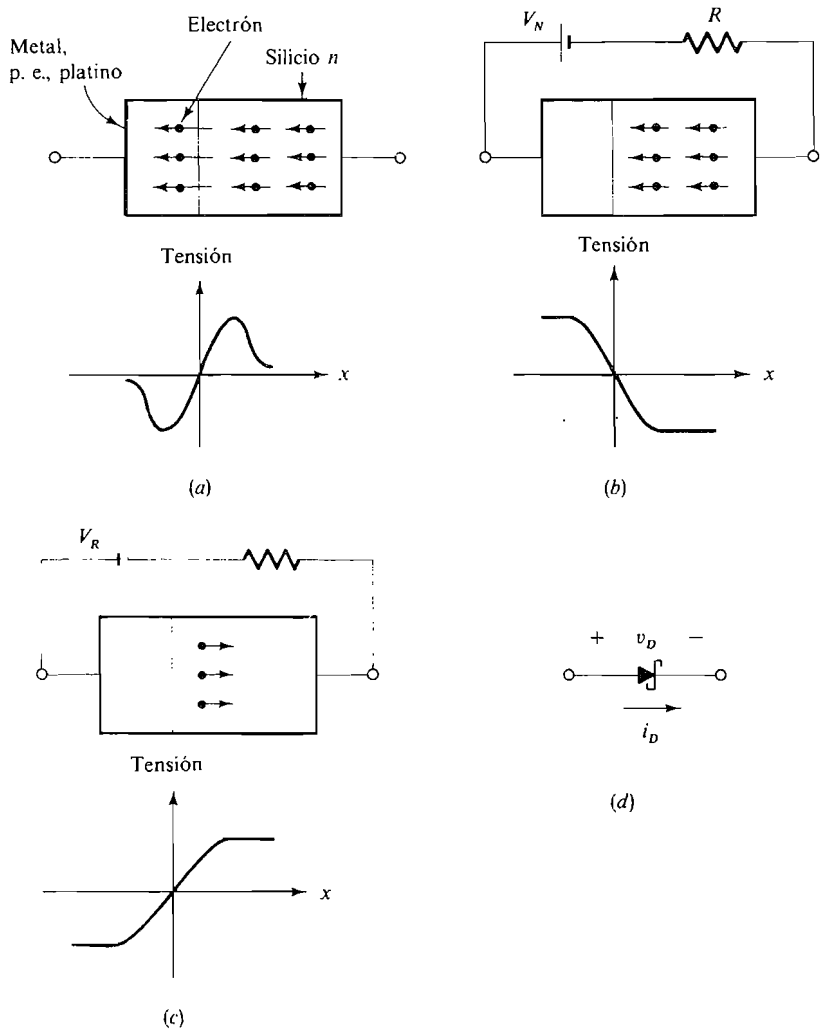


Figura 1.9-1. Diodos Schottky: (*a*) distribución de potencial después de la difusión inicial; (*b*) distribución de potencial después de aplicar una tensión positiva; (*c*) distribución de potencial después de aplicar una tensión negativa; (*d*) símbolo de circuito.

El lector observará la distinción que se hace entre *contacto rectificador* descrito anteriormente y *contacto óhmico*, el cual se establece cuando se conecta una región *p* o una región *n* a un circuito exterior. En un contacto rectificador circula una corriente despreciable hasta que V_N excede de una cierta tensión mínima V_λ, que es la necesaria para alisar la curva de tensión dibujada en la Figura 1.9-1*a* (en un diodo *pn* de silicio la tensión V_λ es aproximadamente 0,65 V). Un pequeño aumento de la tensión V_N por encima de V_λ produce una variación muy grande de corriente. Cuando se invierte la tensión aplicada al diodo de modo que el material *n* se hace positivo con respecto al platino (o material *p*), la tensión en la cara *n* de la unión aumenta (Fig. 1.9-1*c*) por encima del nivel indicado en la Figura 1.9-1*a* y no hay circulación de corriente.

Cuando se establece un contacto óhmico, no hay difusión inicial de electrones a través de la unión, puesto que en los dos materiales la densidad y la energía de los electrones en ambas caras de la unión son las mismas.

Es interesante observar que se forma una unión metal-silicio *n* incluso en un diodo *pn* puesto que debe ser unido un hilo metálico al material *n* utilizando aluminio para establecer una conexión con el circuito exterior. Para evitar que esta conexión del aluminio con el silicio de tipo *n* se comporte como un diodo, el silicio de tipo *n* es impurificado o «dopado» de modo que tenga un exceso de electrones en la cara que debe ser unida al metal. Esta región de electrones en exceso es lo que se denomina región n^+. Después de la difusión inicial de electrones en el metal aceptador, las regiones *n* y n^+ adquieren las mismas características que el metal y entonces el contacto se convierte en óhmico; es decir, actúa como una pequeña resistencia para tensiones de cualquier polaridad.

Cuando el diodo Schottky funciona de modo directo, la corriente es debida a los electrones que se mueven desde el silicio de tipo *n* a través del metal. Como los electrones se mueven relativamente libres a través del metal, el tiempo de recombinación τ [véanse las Ecuaciones (1.8-2) y (1.8-3)] es muy pequeño, normalmente del orden de 10 ps. Esto es varios órdenes de magnitud menor que los correspondientes a la utilización de diodos de silicio *pn*. Por ejemplo, utilizando (1.8-3), hallamos, con $I_D = 1$ mA, que $C_S = 0{,}4$ pF.

El símbolo del circuito del diodo Schottky es el representado en la Figura 1.9-1*d*. El diodo tiene una característica *vi* similar a la de un diodo ordinario de silicio *pn* excepto que la tensión umbral de conducción del diodo es $V_F \approx 0{,}3$ V.

1.10. DIODOS ZENER

Los diodos Zener, o diodos de avalancha, son diodos semiconductores de unión *pn* cuyas propiedades están controladas en las zonas de polarización inversa que los hacen muy útiles en numerosas aplicaciones, especialmente como dispositivo de referencia de tensión. La Figura 1.10-1 muestra una característica típica *vi*.

La característica directa es similar a la de los diodos semiconductores normales. La característica inversa, sin embargo, presenta una región en la cual la tensión es casi independiente de la corriente por el diodo tal como se expuso en la Sección 1.2. La tensión Zener de cualquier diodo está controlada por la cantidad de dopado aplicada en el proceso de fabricación. Los valores normales varían entre 2 y 200 V con capacidades de disipación de potencia de hasta 100 W.

En la mayoría de las aplicaciones, los diodos Zener trabajan en la región de polarización inversa. Una aplicación típica es el sencillo regulador de tensión de la Figura 1.10-2. Cuando este circuito está correctamente diseñado, la tensión en la carga V_L permanece

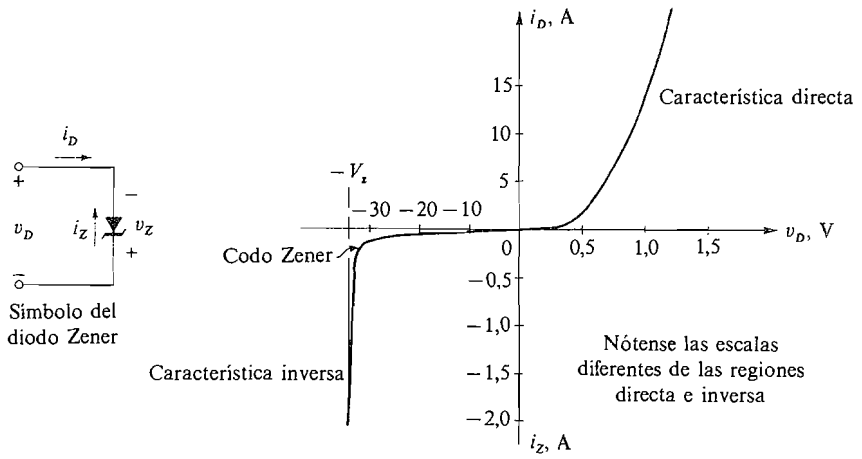


Figura 1.10-1. Símbolo de circuito de diodo Zener y característica *vi*.

constante e iguala a la tensión nominal Zener, incluso aunque varíen la tensión de entrada V_{cc} y la resistencia de carga R_L dentro de un amplio margen de valores. El funcionamiento del circuito se puede explicar cualitativamente en términos de la característica *vi* de la Figura 1.10-1. Si la tensión de entrada aumenta, el diodo tiende a mantener una tensión constante entre los terminales de la carga, de modo que la caída de tensión en r_i aumenta. El incremento resultante de I_i circula a través del diodo, mientras que la corriente a través de la carga se mantiene constante.

Ahora supongamos que la tensión de entrada permanece constante, pero que la resistencia de carga disminuye. Esto requiere un incremento de la corriente por la carga. Esta corriente extra no puede proceder de la fuente de alimentación ya que la caída en r_i y, por tanto, la corriente suministrada, no cambiará mientras que el diodo trabaje dentro de su zona de regulación. La corriente de carga adicional será debida a una disminución de la corriente a través del diodo Zener.

Ambas acciones de regulación dependen del funcionamiento del diodo más allá del codo de la curva, donde su tensión permanece prácticamente constante, y el margen de regulación dependerá del valor de r_i en este circuito en particular. Las características de temperatura se explicarán en la Sección 1.12.

EJEMPLO 1.10-1

En el circuito de la Figura 1.10-2 se utiliza un diodo Zener de 7,2 V y la corriente por la carga puede variar entre 12 y 100 mA. Hallar el valor necesario de r_i para mantener esta corriente a través de la carga, siendo la tensión de la fuente de alimentación $V_{cc} = 12$ V.

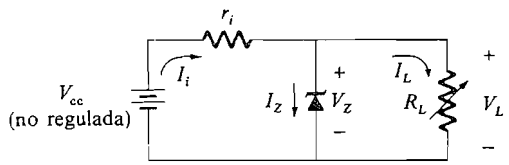


Figura 1.10-2. Regulador de tensión con diodo Zener.

Solución

Para un regulador shunt como este, se utiliza como valor mínimo de la corriente en el diodo Zener un factor empírico del 10 por 100 de la máxima corriente en la carga. Así la mínima corriente en el diodo Zener para las condiciones especificadas deberá ser por lo menos de 10 mA. Aplicando la ley de Ohm al circuito, obtenemos

$$r_i = \frac{V_{cc} - V_L}{I_Z + I_L}$$

La tensión en los terminales de r_i debe permanecer en el valor $12 - 7{,}2 = 4{,}8$ V dentro de todo el margen de regulación. La corriente mínima en el diodo Zener se obtendrá cuando la corriente de carga sea máxima, de modo que

$$r_i = \frac{V_{cc} - V_L}{I_{Z,\,min} + I_{L,\,máx}} = \frac{V_{cc} - V_L}{(1 + 0{,}1)I_{L,\,máx}} = \frac{4{,}8}{0{,}11} = 43{,}5\ \Omega$$

Cuando disminuya la corriente de carga teniendo r_i el valor fijo calculado antes, la corriente en el diodo Zener aumentará, permaneciendo la suma de las dos corrientes constantes e igual a 110 mA.

Obsérvese que si la resistencia de carga queda accidentalmente en circuito abierto, de modo que $I_L = 0$ e $I_z = 110$ mA, el diodo Zener debe ser capaz de disipar

$$P_Z = (7{,}2)(110 \times 10^{-3}) \approx 0{,}8\ \text{W}$$

para evitar su destrucción debida a la excesiva disipación de potencia.

Elegimos un diodo Zener de 1 W que tiene en bornes una tensión de 7,2 V cuando circula por él una corriente de 10 mA y una resistencia dinámica r_d de 2 Ω. Calcularemos las variaciones de la tensión de salida entre los terminales de la carga utilizando métodos gráficos.

La característica *vi* de este diodo se muestra en la Figura 1.10-3. También se presenta la curva de máxima potencia.

$$P_{Z,\,máx} = \frac{1}{T}\int_{-T/2}^{T/2} v_z i_z\, dt = V_{ZQ} I_{ZQ} = 1\ \text{W}$$

Esta es la ecuación de la hipérbola representada sobre la característica *vi*. Más allá de esta hipérbola, el funcionamiento dará como resultado una disipación de potencia en el diodo por encima de su máximo valor nominal de 1 W.

Las ecuaciones de la recta de carga en continua se pueden hallar dibujando de nuevo la Figura 1.10-2 como se muestra en la Figura 1.10-4. A partir de este circuito podemos hallar la ecuación de la recta de carga

$$v_Z = 12 - 43{,}5(I_L + i_Z) \tag{1.10-1}$$

Así,

$$v_Z + i_Z(43{,}5) \approx \begin{cases} 11{,}5 & I_L = 12\ \text{mA} \\ 7{,}65 & I_L = 100\ \text{mA} \end{cases} \tag{1.10-2}$$

Las dos rectas de carga (1.10-2) están representadas en la Figura 1.10-3. Según el gráfico, es evidente que la tensión inversa del diodo, v_L, y por tanto la tensión en la carga v_L, varía desde 7,2 V cuando $I_L = 100$ mA, hasta 7,37 V, cuando $I_L = 12$ mA. Obsérvese que si el diodo Zener no estuviera presente, la tensión en la carga variaría (manteniendo $r_i = 43{,}5\ \Omega$) desde 7,65 V cuando $I_L = 100$ mA hasta 11,5 V cuando $I_L = 12$ mA. Se ve, pues, que el diodo Zener proporciona la regulación de la tensión de salida respecto a las variaciones de la corriente en la carga. Esto ocurre debido a que impedancia vista desde la carga es pequeña (2 Ω) comparada con la resistencia de carga $R_L > (7{,}2\ \text{V})/(100\ \text{mA}) = 72\ \Omega$.

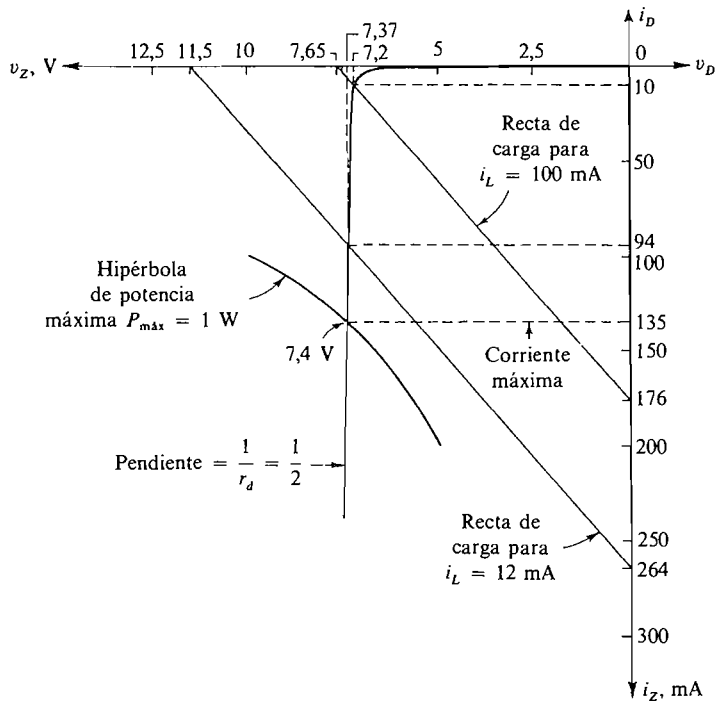


Figura 1.10-3. Característica de diodo Zener y rectas de carga para el Ejemplo 1.10-1.

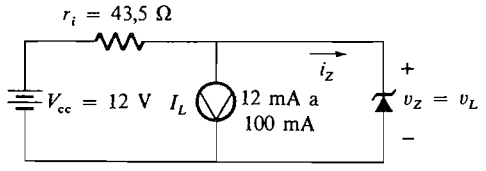


Figura 1.10-4. El circuito de la Figura 1.10-2 dibujado de nuevo para mayor claridad.

Los fabricantes especifican los diodos Zener por su tensión Zener y la máxima disipación de potencia. La corriente que circula por el diodo con su tensión nominal Zener es lo que se llama *corriente de prueba* I_{ZT}. Normalmente la máxima potencia nominal del diodo es cuatro veces mayor que la disipación de potencia a la tensión Zener, es decir,

$$P_{Z,\,máx} = 4I_{ZT}V_Z \tag{1.10-3}$$

Otro parámetro de interés para nosotros es la corriente en el codo de la característica Zener. Esta *corriente de codo* I_{Zk} resulta aproximadamente constante para una disipación máxima especificada y es independiente del valor de la tensión Zener asimismo especificada. En el Apéndice C y en la Sección 1.13 se presenta una lista de especificaciones de diodos Zener.

Para el diodo Zener necesario en el Ejemplo 1.10-1, que hemos caracterizado como dispositivo de 7,2 V, 1 W, la Figura 1.13-4 indica que $I_{ZX} = 5$ mA y a partir de (1.10-3) $I_{ZT} = 35$ mA. Obsérvese que la mínima corriente prevista en el diodo es de 10 mA, que es mucho mayor que I_{ZK}, y que también I_{ZT} está comprendida entre los valores máximo y mínimo de la corriente previsible. Así pues, nuestra elección del diodo es razonable.

EJEMPLO 1.10-2. REDUCCION DEL RIZADO CON EL REGULADOR ZENER

El diodo Zener de 7,2 V se utiliza en un circuito similar al de la Figura 1.10-2. Una tensión v_r de rizado en alterna es añadida a la tensión continua sin regular. Tal como se ha establecido anteriormente, estas tensiones son las normales en la salida de una fuente de alimentación de continua. La carga conduce una corriente de 100 mA. La salida de la fuente de alimentación sin regular puede representarse por la ecuación.

$$v_T = 12 + 1 \cos \omega t \tag{1.10-4}$$

Hallar la resistencia r_i de la fuente de alimentación para un funcionamiento adecuado y el valor cresta a cresta de la tensión de rizado presente en los terminales de la carga.

Solución

La ecuación de la recta de carga de este problema se obtiene fácilmente dibujando en primer término la Figura 1.10-2 tal como se indica en la Figura 1.10-5. Así

$$v_Z = 12 + 1 \cos \omega t - r_i(0{,}1 + i_Z)$$

que se reordena para obtener

$$v_Z + r_i i_Z = 12 - 0{,}1 r_i + 1 \cos \omega t \tag{1.10-5}$$

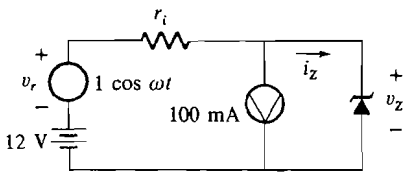


Figura 1.10-5. Regulador Zener para el Ejemplo 1.10-2.

El problema puede resolverse analítica o gráficamente utilizando la característica lineal del diodo de la Figura 1.10-3. Utilizamos el método gráfico porque proporciona una visión más clara del problema. La característica de la Figura 1.10-3 está dibujada de nuevo en la Figura 1.10-6.

El rango de posibles valores de la resistencia de la fuente de alimentación r_i será elevado debido a las corrientes máxima y mínima admitidas en el diodo Zener. Luego, si $i_{Z,\,\text{mín}} = 10$ mA (que es el 10 por 100 de la corriente máxima) entonces $v_{Z,\,\text{mín}} = 7{,}2$ V y por (1.10-5).

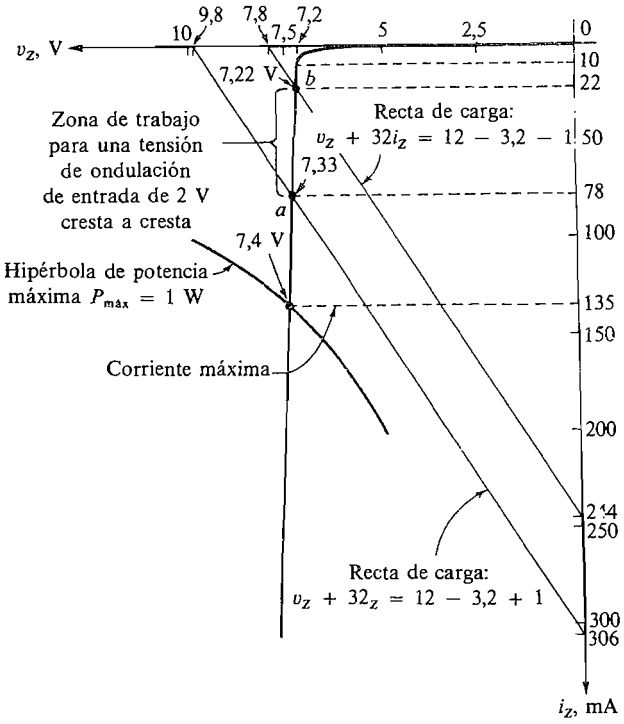


Figura 1.10-6. Característica Zener y rectas de carga para el Ejemplo 1.10-2.

$$r_i < \left(\frac{12 - 7{,}2 + \cos \omega t}{0{,}1 + 0{,}01}\right)_{\text{mín}} = \frac{3{,}8}{0{,}11} = 34{,}5\ \Omega \qquad (1.10\text{-}6)$$

Se obtendrá un límite inferior de r_i empleando la tensión máxima en el diodo y valores de corrientes. Así, utilizando (1.10-5) y

$$i_{Z,\,\text{máx}} = 135\ \text{mA} \qquad v_{Z,\,\text{máx}} \approx 7{,}4\ \text{V}$$

encontramos que la resistencia de la fuente r_i debe superar

$$r_i > \left(\frac{12 - 7{,}4 + \cos \omega t}{0{,}1 + 0{,}135}\right)_{\text{máx}} = \frac{5{,}6}{0{,}235} \approx 24\ \Omega \qquad (1.10\text{-}7)$$

Ahora escogemos arbitrariamente $r_i = 32\ \Omega$. La ecuación de la recta de carga (1.10-5) se puede representar en la Figura 1.10-6 y determinar el rizado de la tensión

de salida. En la figura se ve que la tensión de rizado cresta a cresta en la carga es 7,33 − 7,22 = 0,11 V, comparada con una tensión de cresta a cresta en la entrada de 2 V.

El rizado de la salida se puede calcular más fácilmente suponiendo que el circuito es lineal para un rizado en la tensión de entrada de 2 V. (La validez de este supuesto está limitada por el rizado en el camino de funcionamiento indicado en la Figura 1.10-6.) Esto permite utilizar el principio de superposición y considerar la componente de alterna de la respuesta separadamente. El circuito en alterna está indicado en la Figura 1.10-7. En el circuito, $r_d = 2\ \Omega$ representa la resistencia dinámica del diodo mientras que la carga está representada por una resistencia de 720 Ω[(7,2 V)/(100 mA)]. Es obvio que se puede despreciar la resistencia de carga, por lo que utilizando la fórmula del divisor de tensión podemos hallar el rizado de salida

$$v_{\text{rizado}} \approx \frac{2}{2 + 32}(2) = 0{,}118 \text{ V cresta a cresta}$$

Esto concuerda con el valor hallado anteriormente.

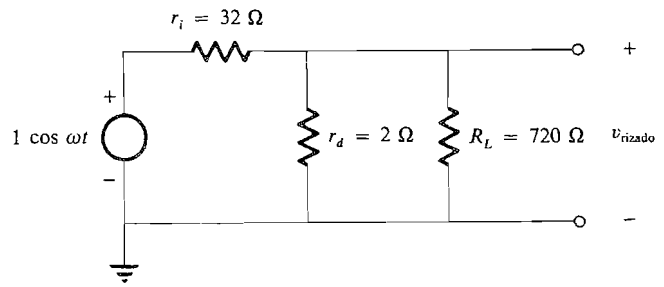


Figura 1.10-7. Circuito de c.a. para el cálculo del rizado.

1.11. DIODOS PIN

El diodo PIN es un diodo que presenta una región p^+ fuertemente dopada y otra región n^+ también fuertemente dopada, separadas por una región de material que es casi intrínseco. Este tipo de diodos se utiliza en frecuencias de microondas, es decir, frecuencias que exceden de 1 GHz, puesto que incluso en estas frecuencias el diodo tiene una impedancia muy alta cuando está inversamente polarizado y muy baja cuando está polarizado en sentido directo. Además las tensiones de ruptura están comprendidas en el margen de 100 a 1000 V.

En virtud de las características del diodo PIN se le puede utilizar como interruptor o como modulador de amplitud en frecuencias de microondas ya que para todos los propósitos se le puede representar como un cortocircuito en sentido directo y como un circuito abierto en sentido inverso. También se le puede utilizar para conmutar corrientes muy intensas y/o tensiones muy grandes.

La Figura 1.11*a* muestra el diodo PIN. (El diodo también puede formarse intercambiando las regiones n^+ y p^+.) El diodo se forma partiendo de silicio tipo p de alta resistividad. La capa p^+ de baja resistividad representada está formada por difusión de átomos de boro en un bloque de silicio del tipo p y la capa n^+ muy delgada está formada difundiendo grandes cantidades de fósforo. La región intrínseca (i) es realmente una región p de alta resistividad y se le suele denominar región π. La Figura 1.11-1*b* es un diagrama del diodo PIN o PIIN. Aquí se ve que, cuando está en circuito abierto, los electrones

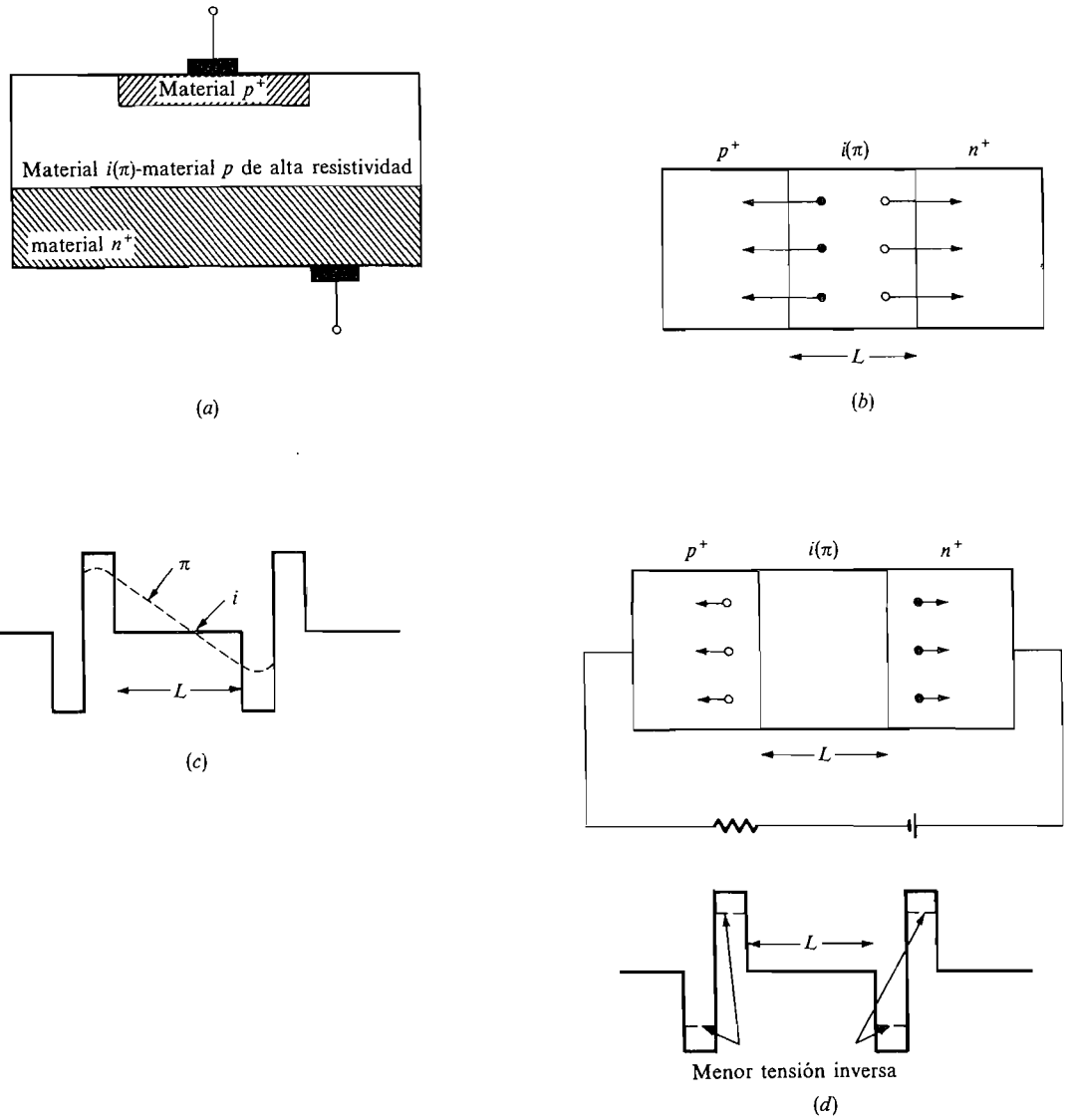


Figura 1.11-1. (*a*) Oblea PIN; (*b*) representación pictórica, • = electrones, o = huecos; (*c*) distribución de tensiones; (*d*) representación pictórica y distribución de tensiones bajo polarización.

fluyen desde la región $i(\pi)$ hasta la región p para recombinarse con los huecos en exceso, y los huecos fluyen desde la región i para recombinarse con los electrones de la región n. En la Figura 1.11-1*c* se representa una distribución típica del potencial después de la difusión inicial. Obsérvese que si el material $i(\pi)$ fuese verdaderamente intrínseco, la caída de tensión en la región i sería nula, puesto que la emigración de huecos sería igual a la emigración de electrones. Sin embargo, como el material es realmente π (p de alta resistividad), hay más huecos disponibles que electrones y la caída de tensión es la representada en la figura.

Cuando se aplica una polarización inversa al diodo como muestra la Figura 1.11-1*d*, los electrones y huecos del material π son barridos (*swept free*). Un posterior aumento de la tensión inversa simplemente incrementa las distribuciones de tensiones p-i e i-n como muestra la Figura 1.11-1*d*. Obsérvese que en el diodo PIN la longitud de la región de transición L es aproximadamente igual a la longitud de la región i y aproximadamente independiente de la tensión inversa. Por lo tanto, a diferencia de los diodos PN o Schottky, el diodo PIN tiene una capacidad inversa que es aproximadamente constante, independiente de la polarización. Una variación típica de la capacidad podría ser desde 0,15 hasta 0,14 pF en una variación de la polarización inversa de, por ejemplo, 100 V. La variación normal de la capacidad en función de la tensión de polarización está representada en la Figura 1.11-2. Esto debe ser contrastado con el resultado representado en la Figura 1.8-1 y (1.8-1) donde $C_R \approx C_c + C_0/(2V_R)^{1/2}$. Por otra parte, en virtud de que es igual a la longitud de la región i, la longitud de la región de transición es aproximadamente constante y considerablemente mayor que las de otros diodos y, por tanto, la capacidad C_R, que es proporcional a $1/L$ es significativamente menor que la de otros diodos, por lo que el diodo PIN es apropiado para aplicaciones de microondas. Los valores normales de C_R varían desde 0,1 hasta 4 pF en los diodos PIN, comercialmente asequibles.

Cuando el diodo está polarizado en sentido directo, los huecos del material p se difunden en la región π, creando una capa p de baja resistividad. La corriente es debida al flujo de los electrones y de los huecos cuyas concentraciones son aproximadamente iguales

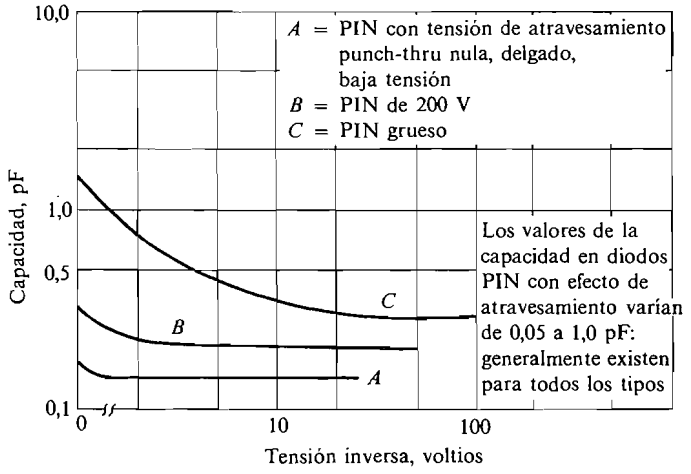


Figura 1.11-2. Variación de la capacidad con la tensión inversa.

en la región *i*. En la condición de polarización directa la caída de tensión en la región *i* es muy pequeña. Además, al igual que el diodo PN, cuando aumenta la corriente, también disminuye la resistencia. En consecuencia el diodo PIN es un dispositivo con su resistencia o conductancia modulada. En una primera aproximación, la resistencia r_d en pequeña señal es inversamente proporcional a la corriente I_{DQ} con polarización directa, lo mismo que en el diodo PN [véase (1.4-15)].

En la Figura 1.11-3 está representado el circuito equivalente para pequeña señal del diodo PIN válido en frecuencias de microndas. Se representa de manera más sencilla por una capacidad C_R en serie con la resistencia directa r_d. Con tensiones directas, C_R es aproximadamente infinita, mientras que en el modo de polarización inversa, r_d es aproximadamente nula. La capacidad C_s es la capacidad parásita paralelo que se produce soldando el diodo a la cápsula y L_s es la inductancia serie debida a los hilos de conexión desde el diodo hasta la cápsula.

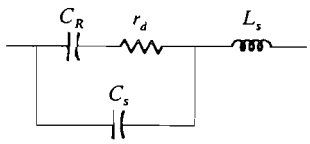


Figura 1.11-3. Circuito equivalente de un diodo PIN a frecuencias de microondas.

Un diodo típico PIN, tal como el DSA6925, tiene las siguientes características:

Tensión de ruptura: 500 a 1000 V
Frecuencia: 2 GHz
Disipación de potencia: 10 W
Resistencia térmica: 14 °C/W (véase Secs. 1.12, 1.12-4)
Tiempo de conmutación: 10 ns
L_s: 0,1 nH
r_d (20 mA): 1 Ω
$C_R + C_s(-100\ \text{V}) = 0{,}2$ pF

1.12. EFECTOS DE LA TEMPERATURA

Cuando se diseñan circuitos con diodos, especialmente si son para niveles altos de potencia, se debe tener en cuenta la dependencia de las características del diodo con respecto a la temperatura. Esto da lugar a una variación de la tensión directa V_F, la tensión Zener V_Z y la corriente inversa de saturación I_0. Por otra parte, un aumento importante de la temperatura suele ser causa de un aumento de la disipación de potencia, lo que hace que la temperatura del diodo aumente aún más. Esto es lo que se llama *realimentación térmica* y, a no ser que pueda ser disipado el calor desarrollado dentro de la cápsula del diodo, éste resultará deteriorado físicamente o destruido. En esta sección se describen algunos de los efectos más importantes de la temperatura.

Tensión del diodo. Cuando un diodo funciona en polarización directa, un aumento de la temperatura origina una disminución de la tensión. La siguiente relación es válida cuando se mantiene constante la corriente

$$v_D(T_1) - v_D(T_0) = -k(T_1 - T_0) \qquad i_D = \text{constante} \tag{1.12-1}$$

donde T_0 = temperatura ambiente, 25 °C
T_1 = nueva temperatura del diodo, °C
$v_D(T_0)$ = tensión del diodo a temperatura ambiente, V
$v_D(T_1)$ = tensión del diodo a T_1, V
k = coeficiente de temperatura, V/°C

En la Figura 1.12-1 se da un gráfico de k en función de la tensión directa del diodo a temperatura ambiente, el cual indica que el coeficiente de temperatura varía considerablemente con la tensión del diodo. Sin embargo, es una práctica normal de ingeniería suponer que k es una constante. Los valores asumidos normalmente son las aproximaciones halladas por medio de la Figura 1.12-1, con las tensiones típicas del diodo, $v_D(T_0) = 0{,}7$ V para el silicio, 0,3 V para Schottky y 0,2 V para germanio. Son

$$k \approx \begin{cases} 2{,}5 \text{ mV/°C} & \text{germanio} \\ 2 \text{ mV/°C} & \text{silicio} \\ 1{,}5 \text{ mV/°C} & \text{Schottky} \end{cases} \tag{1.12-2}$$

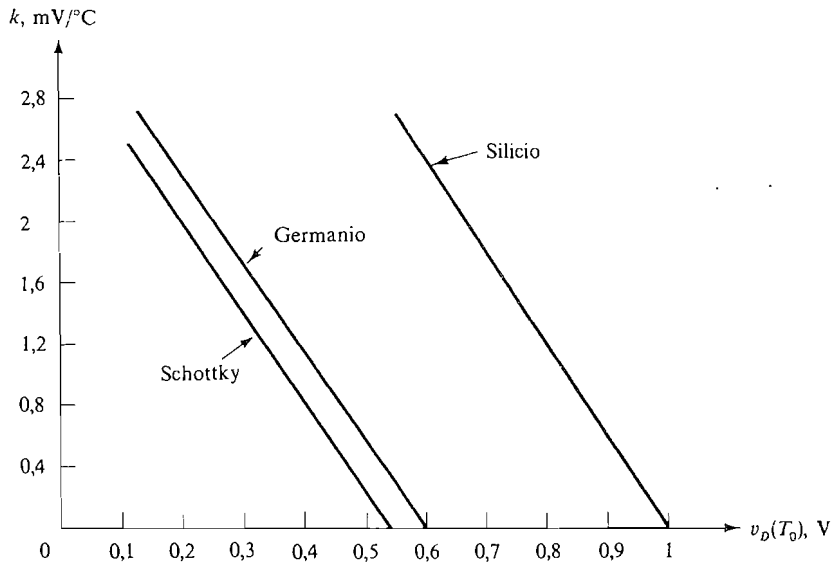


Figura 1.12-1. Coeficientes de temperatura de los diodos en función de la tensión del diodo a la temperatura ambiente.

Por ejemplo, si un diodo de silicio tiene una caída de tensión de 0,7 V a 25 °C con una corriente por el diodo de 1 mA y se aumenta la temperatura en el diodo hasta 125 °C, entonces, si se mantiene la corriente del diodo en 1 mA (1.12-1) indica que la tensión del diodo disminuirá hasta 0,5 V. Si la temperatura hubiese descendido hasta −75 °C, la tensión del diodo habría aumentado hasta 0,9 V a 1 mA.

Corriente inversa de saturación. La corriente inversa de saturación I_0 también es función de la temperatura. En la práctica se ha comprobado que, a una temperatura próxima a la

ambiente, I_0 es aproximadamente igual al doble cuando aumenta la temperatura 10 °C (asimismo, I_0 se reducirá a la mitad cuando la temperatura disminuya 10 °C).

Tensión Zener. La variación de la tensión Zener V_Z como consecuencia de variación de la temperatura resulta ser proporcional al valor de la tensión Zener así como a la variación de la temperatura. Esta variación se suele expresar como un *coeficiente de temperatura* (TC), donde:

$$\text{TC} = \frac{\Delta V_Z / V_Z}{\Delta T} \times 100\%/°\text{C} \tag{1.12-3}$$

Se ha observado que cuando V_Z es aproximadamente 6 V, el TC es nulo y V_Z independiente de la temperatura. Si V_Z es mayor de 6 V, TC es positivo y si V_Z es menor de 6 V, TC es negativo. Un valor de TC típico es 0,1 por 100, es decir la tensión Zener aumenta 0,001 V_Z por cada aumento de 1 °C en la temperatura.

Efecto de la disipación del calor sobre el funcionamiento del diodo. En esta sección consideraremos el problema práctico de la máxima disipación de calor permisible del diodo de unión *pn*. La disipación de la potencia eléctrica como calor en el diodo hace que la temperatura de la unión aumente. Este aumento se debe mantener dentro de límites aceptables, porque de lo contrario se deteriorará físicamente el diodo. El problema térmico es tratado de una manera fácil por una simple analogía térmica de la ley de Ohm en la que se sustituye la corriente por la potencia, la tensión por la temperatura y la resistencia eléctrica por la resistencia térmica θ.

La Figura 1.12-2 muestra un diodo montado sobre un disipador de calor. El diodo está aislado eléctricamente (no térmicamente) del disipador de calor. El funcionamiento del sistema es como sigue. Cuando no hay conexión eléctrica en el diodo, la temperatura de la unión T_j será la misma que la temperatura ambiente T_a. Cuando se aplica una señal, se disipará potencia en el diodo, haciendo que aumente la temperatura de la unión. El calor producido fluye hacia fuera hasta la cápsula y luego es trasvasado por conducción desde la cápsula del diodo hasta el disipador de calor. Este tiene un área superficial grande desde la cual radia el calor hacia el ambiente circundante (o exterior).

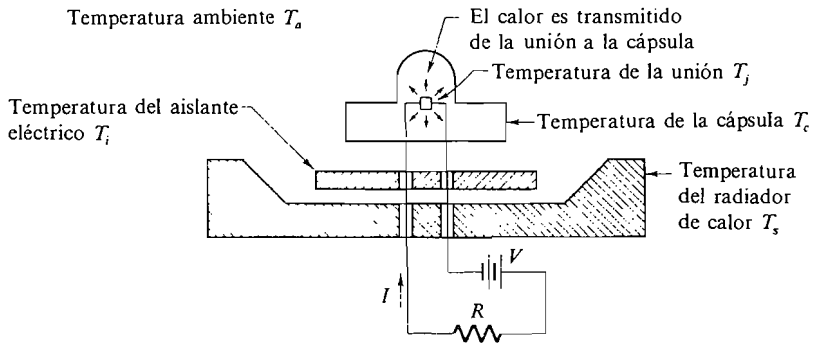

Temperatura ambiente T_a
El calor es transmitido de la unión a la cápsula
Temperatura de la unión T_j
Temperatura del aislante eléctrico T_i
Temperatura de la cápsula T_c
Temperatura del radiador de calor T_s
V
I
R

Figura 1.12-2. Diodo montado sobre radiador de calor.

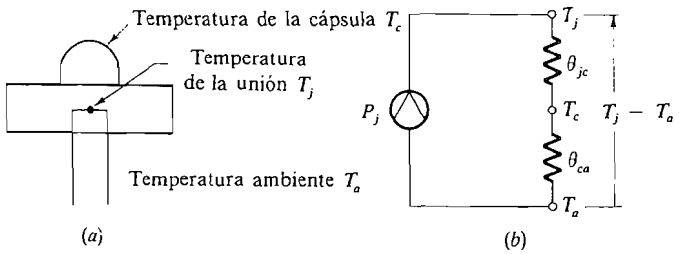


Figura 1.12-3. Diodo y analogía eléctrica del sistema térmico: (*a*) diodo sin radiador; (*b*) analogía eléctrica.

Si la potencia disipada en la unión es constante y no excede la capacidad de manejar potencia del diodo, después de transcurrido un tiempo suficientemente largo el sistema alcanzará un estado de equilibrio térmico. En general, cada uno de los elementos estará a una temperatura diferente. Una buena aproximación consiste en considerar que el aumento de la temperatura en la unión será proporcional a la potencia disipada en la misma. La constante de proporcionalidad es lo que se denomina *resistencia térmica* θ.

El aumento de la temperatura en la unión, T_j por encima de la temperatura de la cápsula, T_c está relacionado con la potencia disipada por medio de la ecuación

$$T_j - T_c = \theta_{jc} P_j \tag{1.12-4}$$

donde $T_j - T_c$ = aumento de la temperatura de la unión por encima de la temperatura de la cápsula, °C
P_j = potencia eléctrica disipada en la unión, W
θ_{jc} = resistencia térmica entre la unión y la cápsula, °C/W

La resistencia térmica depende de la construcción del diodo y de la cápsula y generalmente la especifica el fabricante.

Consideremos un diodo alojado en una cápsula sin soporte alguno, como muestra la Figura 1.12-3. La temperatura de la cápsula difiere de la temperatura ambiente en una cantidad igual al producto de P_j por la resistencia térmica entre el encapsulado y el ambiente, θ_{ca}. Así, el aumento de la temperatura en la cápsula por encima de la temperatura ambiente viene dado por

$$T_c - T_a = \theta_{ca} P_j \tag{1.12-5}$$

El circuito que se muestra en la Figura 1.12-3*b* representa una analogía eléctrica del sistema térmico de la Figura 1.12-3*a* con las siguientes analogías deducidas de (1.12-4) y (1.12-5):

Disminución de temperatura $T_j - T_a$	Caída de tensión
Disipación de potencia P_j	Fuente de corriente constante
Resistencia térmica $\theta_{jc} + \theta_{ca}$	Resistencia eléctrica

En la Figura 1.12-3 y en (1.12-4) y (1.12-5) se ve que

$$T_j = P_j\theta_{jc} + P_j\theta_{ca} + T_a \tag{1.12-6}$$

Este resultado se puede aplicar también al sistema de conducción del calor de la Figura 1.12-2:

$$T_j = P_j(\theta_{jc} + \theta_{cs} + \theta_{sa}) + T_a \tag{1.12-7}$$

Aquí las resistencias térmicas no definidas previamente son

θ_{cs} = resistencia térmica entre la cápsula y el radiador de calor (incluido el aislador)
θ_{sa} = resistencia térmica entre el radiador de calor y el ambiente

En un problema práctico de diseño el uso de esta ecuación se basa en las siguientes condiciones:

1. La máxima temperatura admisible en la unión la indica el fabricante. Los valores típicos son de aproximadamente 100 °C para los diodos de germanio y 150 a 200 °C para los diodos de silicio.
2. La temperatura ambiente es una variable no controlada que depende del ambiente en que deba funcionar el equipo.
3. La potencia disipada en la unión depende del sistema eléctrico y para corrientes y tensiones variables con el tiempo viene dada por

$$P_j = \frac{1}{T}\int_0^T v_D(t)i_D(t)\,dt$$

Para el funcionamiento en continua es simplemente

$$P_j = V_D I_D$$

4. Una vez que se ha elegido un diodo en particular que satisfaga las especificaciones eléctricas su resistencia térmica θ_{jc} estará fijada. Este valor lo suministra normalmente el fabricante.

Observando estas condiciones y (1.12-6), vemos que la resistencia térmica entre el encapsulado y el ambiente es la única variable disponible para el ajuste con el fin de mantener la temperatura de la unión en un valor seguro.

Resolviendo (1.12-6) se obtiene,

$$\theta_{ca} = \frac{T_{j,\,\text{máx}} - T_a}{P_j} - \theta_{jc} \tag{1.12-8}$$

Esta expresión se utiliza para determinar la máxima θ_{ca} cuando se conocen todos los factores del segundo miembro. Naturalmente, la Ecuación (1.12-7) se puede utilizar para determinar cualquiera de las variables implicadas.

EJEMPLO 1.12-1

En un determinado circuito se debe utilizar un diodo Zener de silicio de 50 W para disipar 10 W. La máxima temperatura admisible en la unión es 175 °C; la temperatura ambiente es 50 °C y $\theta_{jc} = 2{,}4$ °C/W. Hallar la máxima resistencia térmica que se puede admitir entre la cápsula y el ambiente para que la temperatura de la unión no exceda de 175 °C.

Solución

A partir de (1.12-8)

$$\theta_{ca} = \frac{175\text{-}50}{10} - 2{,}4 = 10{,}1 \text{ °C/W}$$

Un radiador normal de calor con aislador de mica para este tipo de diodo tiene $\theta_{ca} = 3{,}2$ °C/W, que será adecuada para esta aplicación. Si se utiliza este disipador de calor, la temperatura real de la unión se puede calcular por (1.12-6):

$$T_j = (10)(2{,}4 + 3{,}2) + 50 = 106 \text{ °C}$$

Curvas de degradación. Normalmente se especifica la potencia nominal de un diodo para una temperatura ambiente de 25 °C. La máxima potencia que puede disipar el diodo está determinada por la temperatura de la unión. Así la potencia nominal debe disminuir cuando aumenta la temperatura ambiente, con el fin de mantener la temperatura de la unión en un límite de seguridad. Generalmente el fabricante suministra las curvas de degradación que se pueden utilizar para determinar la máxima disipación de potencia admisible con una temperatura de cápsula dada.

En la Figura 1.12-4 está representada una curva típica de degradación. Se ve que con temperaturas de la cápsula menores que T_{co}, el diodo puede disipar su máxima potencia permisible. Con temperaturas de cápsula que excedan de T_{co}, la máxima disipación permisible disminuye hasta que $T_c = T_{j,\,máx}$. Con esta máxima temperatura, el diodo no puede disipar potencia sin que la temperatura de la unión exceda la máxima permisible.

Utilizando (1.12-4) vemos que el ritmo de disminución de la potencia con el aumento de la temperatura de la cápsula es θ_{jc}. En la Figura 1.12-4 se puede ver que, cuando $P_j = 0$, $T_c = T_{j,\,máx}$. Haciendo referencia a (1.12-4) y sustituyendo T_j por $T_{j,\,máx}$, tenemos

$$T_c = T_{j,\,máx} - \theta_{jc} P_j \tag{1.12-9}$$

La ecuación (1.12-9) representa la pendiente del tramo de la curva de degradación. Nuevamente en la Figura 1.12-4 vemos que, cuando $T_c = T_{co}$, $P_j = P_{j,\,máx}$. Sustituyendo en (1.12-9) y despejando θ_{jc}, tenemos

$$\theta_{jc} = \frac{T_{j,\,máx} - T_{co}}{P_{j,\,máx}} \tag{1.12-10}$$

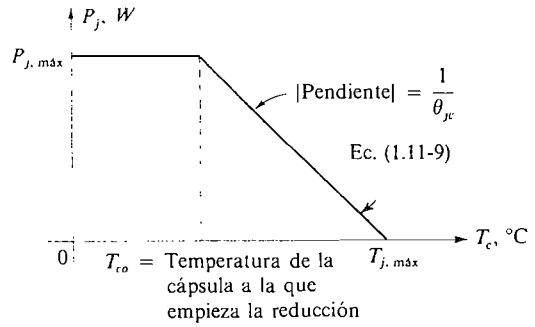


Figura 1.12-4. Curva de degradación del diodo.

La resistencia térmica θ_{ca} entre la cápsula y el ambiente se puede determinar gráficamente utilizando (1.12-5) y la curva de degradación de la Figura 1.12-4, como se explica en el siguiente ejemplo.

EJEMPLO 1.12-2

Un diodo Zener de 8 W (curva de degradación de la Figura 1.12-5) debe disipar 3,5 W en un determinado circuito. La temperatura ambiente es de 100 °C. (*a*) Hallar θ_{ca} para que el diodo no se caliente en exceso. (*b*) Hallar T_c para estas condiciones. (*c*) Si dispusiéramos de un radiador de calor infinito, ¿cuánta potencia podría disipar este diodo?

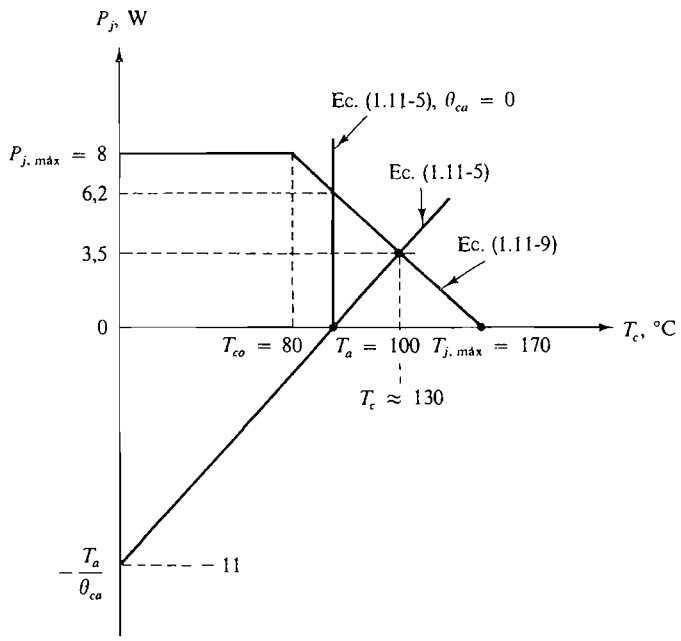


Figura 1.12-5. Técnica gráfica para hallar θ_{ca}. Están representados dos valores de θ_{ca}.

Solución

(*a*) Comenzamos dibujando (1.12-5) sobre la curva de degradación. Los dos puntos conocidos en (1.12-5) son $T_c = T_a = 100$ °C cuando $P_j = 0$ y el punto formado por $P_j = 3{,}5$ W perteneciente a la curva de degradación. Por (1.12-5) vemos que cuando $T_c = 0$.

$$P_j = \frac{-T_a}{\theta_{ca}}$$

Así, a partir de la Figura 1.12-5 tenemos $-T_a/\theta_{ca} \approx -11$ y, por tanto

$$\theta_{ca} \approx \frac{100}{11} \approx 9 \text{ °C/W}$$

(*b*) La intersección de (1.12-5) y la curva de degradación a la potencia de funcionamiento de 3,5 W nos proporciona la máxima temperatura permisible de la cápsula para evitar el sobrecalentamiento. Por la Figura 1.12-5, $T_c \approx 130$ °C.

(*c*) Si $T_a = 100$ °C y $\theta_{ca} = 0$ (un radiador de calor infinito), se puede dibujar (1.12-5) como recta vertical, tal como muestra la Figura 1.12-5. La intersección de esta recta con la curva de degradación da la máxima disipación de potencia permisible. A partir de la figura, ésta es $P_j \approx 6{,}2$ W.

1.13. CARACTERISTICAS DE LOS FABRICANTES

1.13-1. El diodo rectificador

Las características del diodo que normalmente suministran los fabricantes (Figs. 1.13-1 a 1.13-3) son las siguientes :

Tipo: diodo de silicio 1N5395 (los valores están dados a 25 °C)

1. Tensión inversa de cresta (PIV) = −400 V
2. Máxima corriente inversa I_0 (con PIV) = 300 μA
3. Máxima tensión directa en continua = 1,4 V con 5 A
4. Corriente media directa rectificada en media onda I_{FR} = 1,5 A
5. Máxima temperatura de la unión $T_{j,\,máx}$ = 170 °C
6. Curva de degradación de la corriente como la dada en la Figura 1.13-1

Las características 1 a 3 se explican más fácilmente considerando la Figura 1.13-2.

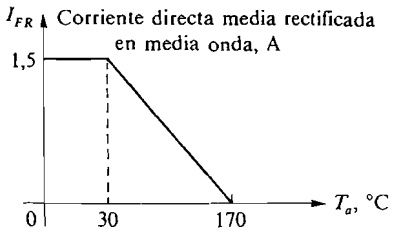


Figura 1.13-1. Curva de degradación o reducción de la corriente nominal para un diodo de silicio 1N5395.

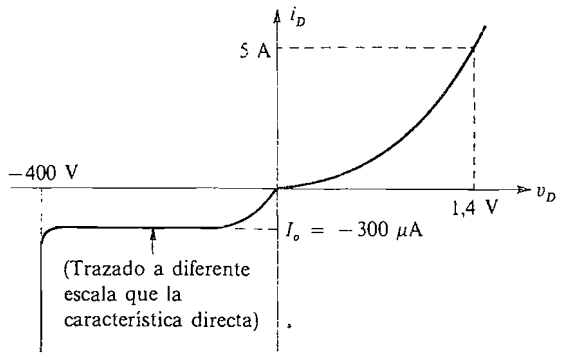


Figura 1.13-2. Características directa e inversa del diodo.

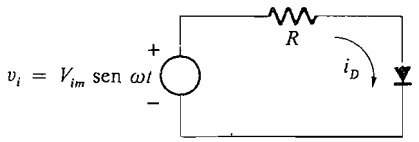


Figura 1.13-3. Rectificador con diodo de media onda.

Característica 1. La tensión inversa de cresta PIV es la tensión negativa máxima admisible que se puede aplicar al diodo antes de su ruptura. Esta tensión es, pues, algo menor que la tensión Zener, pero en la práctica no hacemos referencia a la tensión Zener de un diodo que está destinado a ser utilizado como rectificador.

Característica 2. La corriente inversa máxima de saturación I_0 es 300 μA. Así, cuando se utilice el diodo en un circuito rectificador, la corriente negativa máxima a través de él será de 300 μA.

Característica 3. Si el diodo es recorrido por una corriente continua de 5 A, la máxima caída de tensión en él no superará 1,4 V.

Las características 4 a 6 se pueden explicar por medio de las Figuras 1.13-3 y 1.13-1.

Característica 4. Cuando la tensión de entrada v, en la Figura 1.13-3 es senoidal, como se indica en la figura, la corriente media en sentido directo rectificada en media onda es

$$I_{FR} = \frac{V_{im}}{\pi R}$$

Características 5 y 6. La Figura 1.13-1 muestra que, si la temperatura ambiente es menor que 30 °C.

$$I_{FR} = \frac{V_{im}}{\pi R} \leqslant 1{,}5 \text{ A}$$

A temperaturas mayores de 30 °C, esta corriente máxima se degrada linealmente hasta que la temperatura ambiente sea la misma que la máxima temperatura de unión de 170 °C, en cuyo punto $I_{FR} = 0$.

Cuando se diseñan circuitos de diodos, una buena práctica de ingeniería consiste en adoptar un factor de seguridad del 10 al 20 por 100 sobre todos los valores nominales máximos suministrados en catálogo para prevenir las variaciones que puede haber entre diversas unidades.

1.13-2. El diodo Zener

Tipo: diodo Zener 1N2816 de 18 V

1. Tensión nominal de referencia $V_{ZT} = 18$ V
2. Tolerancia = 5%
3. Máxima disipación (a 25 °C) = 50 W
4. Corriente de prueba $I_{ZT} = 700$ mA
5. Impedancia dinámica para I_{ZT}, $R_{ZT} = 2\ \Omega$
6. Corriente de codo $I_{Zk} = 5$ mA
7. Impedancia dinámica para I_{Zk}, $R_{Zk} = 80\ \Omega$
8. Máxima temperatura de la unión = 150 °C
9. Coeficiente de temperatura TC = 0,075%/°C

Las características se explican fácilmente haciendo uso de las Figuras 1.13-4 a 1.13-6. La 1.13-4 ilustra los valores 1, 2 y 4. Obsérvese que un diodo Zener de 18 V puede presentar una tensión «nominal» comprendida entre 17,1 y 18,9 V debido al 5 por 100 de tolerancia. La corriente de prueba muestra la zona de funcionamiento nominal. El valor 3, la máxima disipación, da la máxima potencia que puede disipar el diodo a temperatura

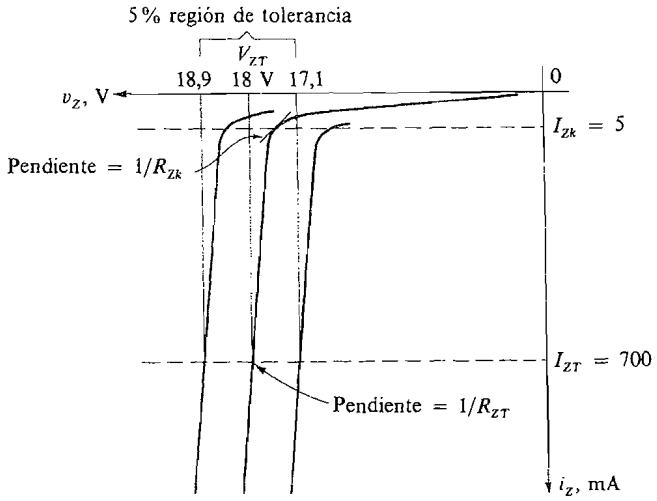


Figura 1.13-4. Característica inversa para el diodo Zener 1N2816.

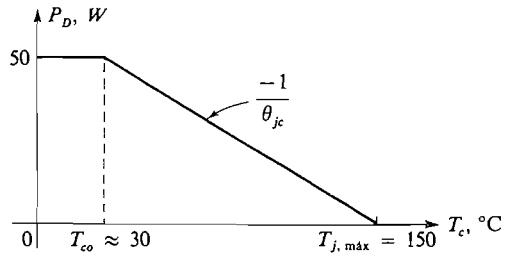


Figura 1.13-5. Curva de degradación para el diodo Zener 1N2816.

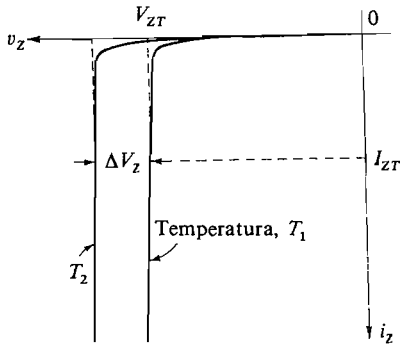


Figura 1.13-6. Característica de diodo Zener ilustrando el coeficiente de temperatura.

ambiente. La impedancia dinámica, valor 5, es la pendiente de la característica del diodo inversamente polarizado medida con la corriente de prueba I_{ZT}. La máxima temperatura de la unión y la máxima disipación están relacionadas por medio de la curva de degradación de potencia representada en la Figura 1.13-5. θ_{jc} es la resistencia térmica (=2,4 °C/W para este diodo), usualmente especificada por el fabricante. La temperatura T_{co} es la máxima temperatura de la cápsula a la que puede ser disipada toda la potencia nominal.

El coeficiente de temperatura, valor 9, está definido en 1.12-3 por

$$\text{TC}(\%) = \frac{\Delta V_Z / V_{ZT}}{\Delta T} \qquad \%/°\text{C}$$

En la Sección 1.12 hemos apuntado que el CT es positivo cuando V_{ZT} excede aproximadamente los 6 V y negativa si V_{ZT} es menor que 6 V. En este diodo de 18 V, 50 W, un aumento de temperatura de 50 °C dará lugar a una variación de la tensión Zener de

$$\frac{\Delta V_Z}{V_{ZT}} = (0{,}075\%/°\text{C})(50\ °\text{C}) = 3{,}75\%$$

Así

$$\Delta V_Z = (0{,}0375)(18) = 0{,}67\ \text{V} \qquad \text{y} \qquad V_{ZT} \approx 18{,}7\ \text{V}$$

cuando la temperatura aumenta 50 °C.

REFERENCIAS

1. «Silicon Rectifier Handbook» y «Silicon Zener Diode and Rectifier Handbook», Motorola Inc. Semiconductor Products Division, Phoenix, Ariz.
2. «Rectifiers and Zener Diodes Data», Motorola Inc., Semiconductor Products Division, Phoenix, Ariz.
3. A. S. Grove «Semiconductor Physics», Wiley, New York, 1967.
4. Motorola Inc., Engineering Staff, «Integrated Circuits», McGraw-Hill, New York, 1965.
5. D. Hamilton and W. Howard, «Basic Integrated Circuit Engineering», págs. 24, 269, 488, McGraw-Hill, New York, 1975.

PROBLEMAS*

1.1-1. Para el circuito de la Figura P1.1-1*a* sea $r_i = 100\ \Omega$ y $R_L = 600\ \Omega$.

(*a*) Dibujar v_L en función del tiempo t en milisegundos para v_i tal como se muestra en la Figura P1.1-1*b*. Repetir la parte (*a*) si $v_i(t)$ es

(*b*) senoidal (1 V amplitud)

(*c*) triangular (1 V de cresta)

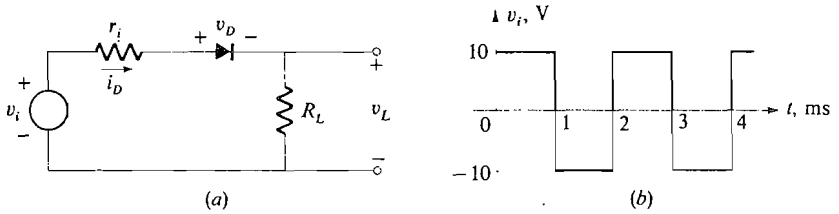


Figura P1.1-1.

1.1-2. Para el circuito de la Figura P1.1-2*a*.

(*a*) Dibujar v_L en función del tiempo en milisegundos para v_i, como se muestra en la Figura P1.1-2*b*.

(*b*) Repetir la parte (*a*) si $v_i(t)$ es senoidal, triangular (1 V de cresta).

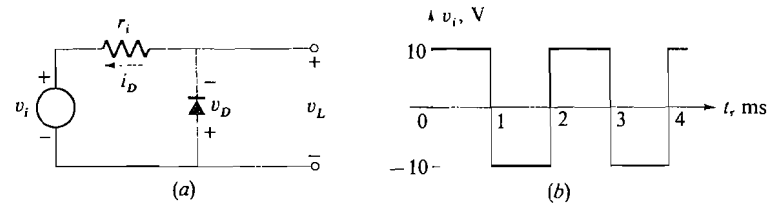


Figura P1.1-2.

1.1-3. Para el circuito de la Figura P1.1-3*a*.

(*a*) Dibujar $v_L(t)$ si $R_b = 100\ \text{k}\Omega$, $r_i = R_L = 1\ \text{k}\Omega$ y v_i es como la representada en la Figura P1.1-3*b*.

(*b*) Repetir la parte (*a*) si v_i es senoidal, triangular (1 V de cresta).

---

* Los dos primeros dígitos del número del problema indican la sección del texto que se aplica en él.

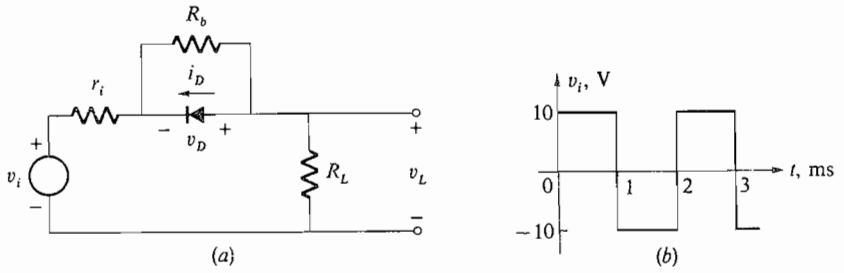


Figura P1.1-3.

1.1-4. La tensión de salida dada por (1.1-3) pasa a través del filtro LC representado en la Figura P1.1-4. Sean $LC = 10^4/\omega_0^2$ y $RC = 100\sqrt{2}/\omega_0$.
(*a*) Hallar $v_0(t)$. Comparar con el resultado obtenido utilizando el filtro RC.

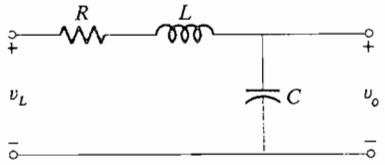


Figura P1.1-4.

(*b*) Calcular la tensión eficaz de rizado.
(*c*) Calcular la relación entre la tensión eficaz de rizado y la tensión continua.

1.1-5. Repetir el Problema 1.1-4 utilizando el filtro en pi representado en la Figura P1.1-5.

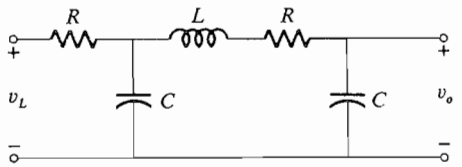


Figura P1.1-5.

1.1.6. El circuito representado en la Figura P1.1-6 es un circuito fijador. Hallar $v_L(t)$ cuando $v_i(t) = A \cos \omega_0 t$.

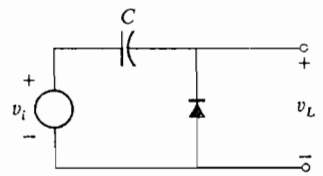


Figura P1.1-6.

1.1.7. El circuito representado en la Figura P1.1-7 es una versión más práctica del circuito fijador de la Figura P1.1-6 ya que incluye la resistencia del diodo. Representar $v_L(t)$ cuando v_i es la onda cuadrada representada. Suponer que $R_b = 1$ kΩ, $r_d = 50$ Ω, y $r_d C \ll T$, mientras que $R_b C \gg T$.

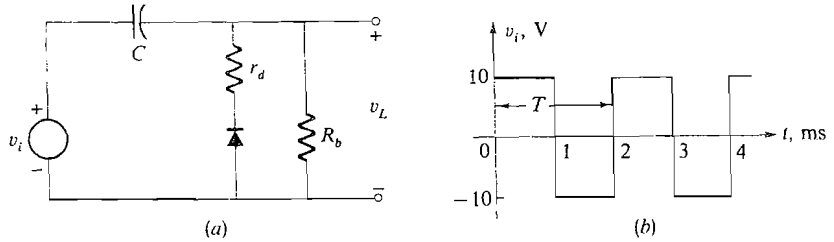


Figura P1.1-7.

1.1-8. El circuito representado en la Figura P1.1-8 es un puente rectificador de onda completa con diodos. Representar $v_L(t)$ cuando $v_i(t)$ es senoidal.

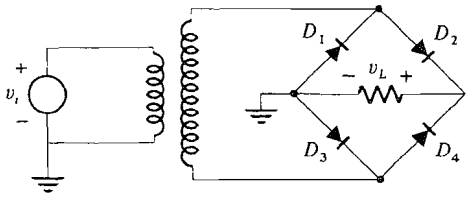


Figura P1.1-8.

1.1-9. El circuito rectificador de onda completa de la Figura P1.1-8 es complicado por la presencia de las resistencias en serie con D_1 y D_2, como muestra la Figura P1.1-9. Representar $v_L(t)$ cuando v_i es senoidal con frecuencia ω_0. Se supone que $R = 0{,}2\ R_L$.

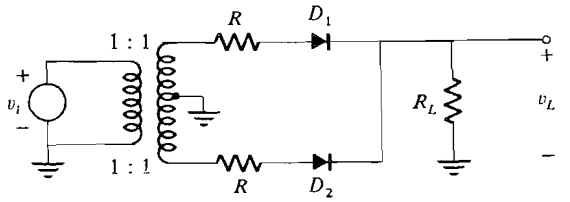


Figura P1.1-9.

1.1-10. La entrada del detector de cresta de media onda representado en la Figura 1.1-9*a* es una onda cuadrada con niveles de tensión +5 y −5 V y un período de 1 μs. Calcular la constante de tiempo $R_L C$ necesaria para que la caída de v_L desde el valor máximo de +5 V sea menor de 5 mV. Esta disminución es lo que se llama inclinación.

1.1-11. La tensión de entrada en el circuito representado en la Figura 1.1-9*a* es

$$v_i(t) = 5[1 + m(t)] \cos \omega_0 t$$

donde $m(t)$ es una onda cuadrada con niveles de tensión de +1 y −1 V y un período de 1 ms. La frecuencia $f_0 = 1$ MHz. Dibujar la tensión v_L cuando $R_L C = 0{,}1$, 1 y 10 μs respectivamente. ¿Cuál será el valor de v_L que más aproximadamente reproduzca la onda cuadrada?

1.1-12. En la Figura 1.1-9, si $v_i = 10 \cos 200\ \pi t$, $R_L = 1$ kΩ y $C = 100\ \mu$F. Calcular v_L (en continua y valor eficaz del rizado).

1.1-13. El circuito de la Figura P1.1-13 es una fuente de alimentación con rectificador de onda completa donde D_1 y D_2 son diodos ideales.
(*a*) Representar v_L.
(*b*) Calcular la tensión continua y de rizado de v_L.

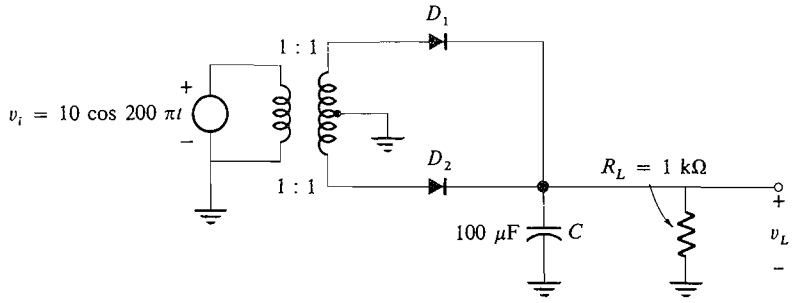


Figura P1.1-13.

1.1-14. Especificar n, C y el rizado en la fuente de alimentación del detector de crestas de la Figura P1.1-14 para que entregue 30 V en continua a la carga de 100 Ω con un rizado igual o menor del 10 por 100 de la tensión continua.

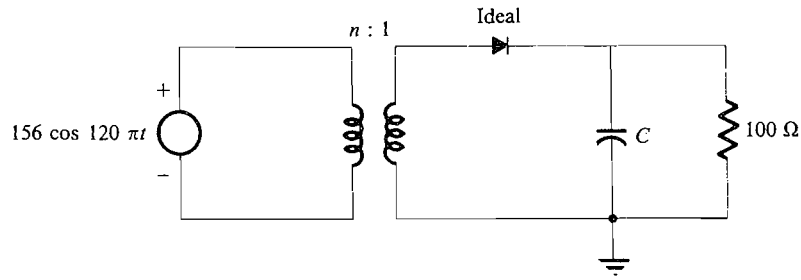


Figura P1.1-14.

1.1-15. La entrada al circuito fijador de diodos de la Figura 1.1-11*a* tiene la forma de onda representada en la Figura P1.1-15. Suponer que V_R = 10 V.
(*a*) ¿Cuál es el nivel de continua de la forma de onda?
(*b*) ¿Cuál es la tensión continua entre los terminales del condensador?
(*c*) Representar v_L.

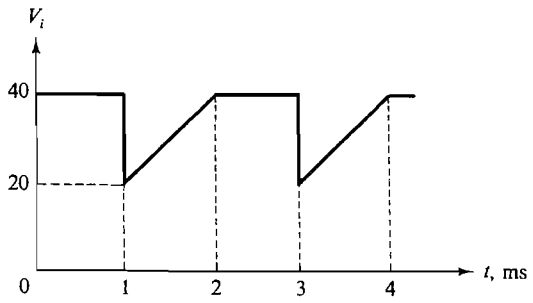


Figura P1.1-15.

1.1-16. El detector de cresta de la Figura 1.1-9 se puede analizar de manera que permita la inclusión de filtros adicionales.

(*a*) Referirse a la Figura 1.1-9*c* y suponer que hay una pequeña oscilación $V_{Lr} \ll V_{im}$. Utilizar la ecuación v_i para el condensador

$$v_L = \frac{1}{C}\int_{t_1}^{t_2} i\,dt + V_{im}$$

y el hecho de que $i \approx I_{DC} = -V_{im}/R_L$ para calcular V_{Lr} y obtener (1.1-6).

(*b*) Considerar el circuito de la Figura P1.1-16*a*. Trazar v_x suponiendo que el diodo es ideal y que el rizado es pequeño.

(*c*) Utilizar la técnica del apartado (*a*) para calcular el rizado cresta a cresta en v_x.

(*d*) El rizado en v_x puede aproximarse por la forma de onda de la Figura P1.1-16*b*. Utilizar una serie de Fourier.

$$v_x = V_1 \text{ sen } (\omega t + \varphi_1) + V_2 \text{ sen } (2\omega t + \varphi_2) + \cdots$$

donde $V_1 = V_{Lr}/\pi$ y $V_2 = V_1/2$. Enunciar las condiciones que son necesarias para que $v_L = V_L \text{ sen } (\omega t + \varphi_{1L})$.

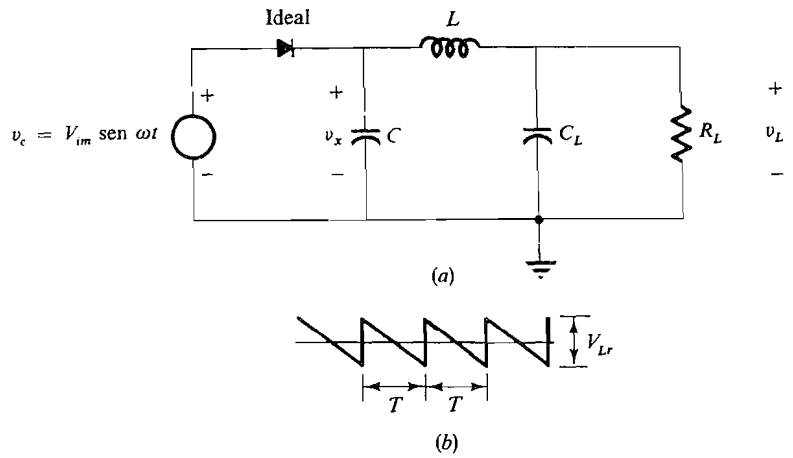


Figura P1.1-16.

(*e*) Utilizar los resultados del aparato (*d*) para demostrar que

$$V_L \approx \frac{V_{Lr}}{\pi}\frac{1}{\omega^2 L C_L}$$

1.1-17. En la Figura P1.1-16 supongamos que $v_i = 10 \text{ sen } 200\,\pi t$, $R_L = 1\ \text{k}\Omega$, $C = C_L = 100\ \mu\text{F}$ y $L = 10$ H.

(*a*) Representar v_x y calcular el rizado cresta a cresta. Comprobar el supuesto de pequeño rizado.

(*b*) Dibujar la forma de onda esperada en v_L. ¿Cuál es el rizado cresta a cresta?

1.1-18. En el circuito de la Figura P1.1-18

(*a*) Representar v_x y calcular el rizado cresta a cresta utilizando las suposiciones del Problema 1.1-16.

(*b*) Escribir la serie de Fourier del rizado v_x como en la parte (*d*) del Problema 1.1-16 y enunciar las condiciones para que v_L sea senoidal.

(*c*) Indicar la ventaja de la rectificación de onda completa mediante el cálculo del rizado cresta a cresta en v_L y compararlo con el resultado de la parte (*e*) del Problema 1.1-16.

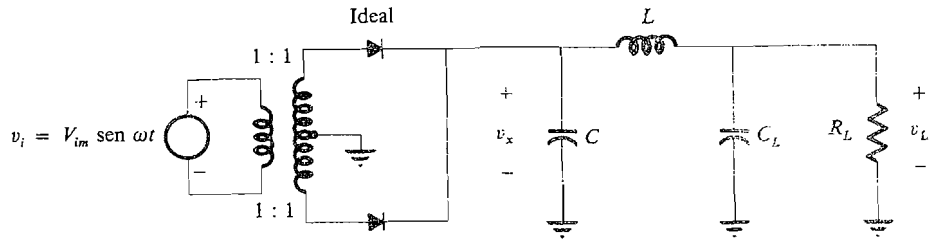


Figura P1.1-18.

1.1-19. Diseñar una fuente de alimentación con el detector de cresta de onda completa utilizando el filtro CLC_L de la Figura P1.1-18 que suministre 30 V en continua desde una fuente de 120 V eficaces, 60 Hz, a una carga de 100 Ω con un rizado menor del 0,1 por 100. Determinar la relación de espiras n del transformador y L y C_L. Suponer que las pérdidas en las bobinas son nulas, que $C = 500$ μF y que el rizado del 20 por 100 en v_x es suficientemente pequeño como para poder hacer uso de las aproximaciones mencionadas en el Problema 1.1-16.

1.1-20. Verificar (1.1-2).

1.1-21. Verificar (1.1-3).

1.2-1. Representar i_D/I_0 dado por (1.2-1) en función de la tensión del diodo v_D utilizando papel semilogarítmico. Suponer $T = 300$ K (temperatura ambiente).

1.2-2. Repetir el Problema 1.2-1 para $T = 500$ y 200 K. Comentar estos resultados.

1.2-3. Un diodo de silicio tiene una corriente inversa de saturación $I_0 = 1$ nA. Representar i_D en función de v_D. No utilizar papel semilogarítmico. Un diodo de germanio tiene la misma capacidad de disipación de potencia que un diodo de silicio con una $I_0 = 100$ μA. Representar en los mismos ejes i_D en función de v_D para el diodo de germanio.
(*a*) Determinar las tensiones de puesta en conducción.
(*b*) Determinar la aproximación lineal (funcionamiento lineal por tramos) para los dos diodos. Utilizar dos rectas en la región de polarización directa para obtener resultados similares a los representados en la Figura 1.2-6*b*.

1.2-4. Calcular la i_{D1}/i_{D2} que resulta de cambiar la tensión del diodo por 50, 100 y 200 mV. Se supone que $T = 300$ K.

1.2-5. Calcular la variación de la tensión del diodo para una relación de corrientes de 100 y 1000.

1.2-6. Repetir el Problema 1.1-1 utilizando el modelo de funcionamiento lineal por tramos de la Figura 1.2-8.

1.3-1. Para el circuito de la Figura P1.3-1 representar i_D cuando v_T es una onda cuadrada que tiene un valor medio nulo y una tensión cresta a cresta de 2 V. Obtener analítica y gráficamente la solución.

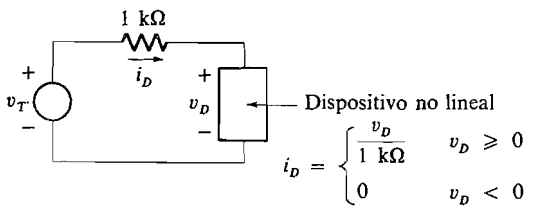


Figura P1.3-1.

1.3-2. Para el circuito de la Figura P1.3-2*a* representar i_D cuando v_T sea senoidal con un valor de cresta de 4 V (utilizar el método gráfico). La característica del dispositivo no lineal está representada en la Figura P1.3-2*b*. Utilizar $R = r_i = 1000\ \Omega$, $R_L = 500\ \Omega$ y $V_{dc} = 4$ V.

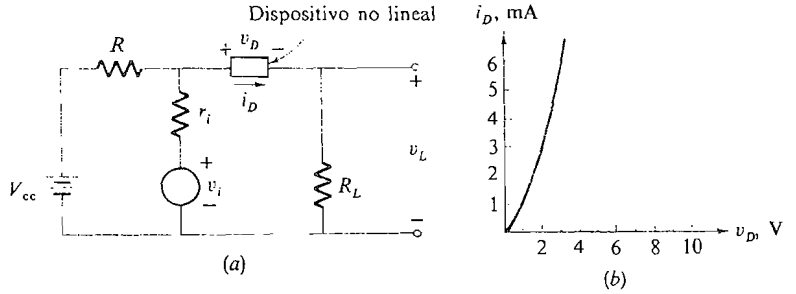


Figura P1.3-2.

1.3-3. (*a*) Volver a dibujar la Figura P1.3-2*a* y obtener el circuito de Thévenin (v_T y R_T).
(*b*) Suponer $R = 1$ kΩ, $r_i = 1{,}5$ kΩ, $R_L = 1{,}4$ kΩ, $V_{dc} = 5$ V y $v_i(t) = 10$ sen $\omega_0 t$ V. Dibujar la recta de carga en continua cuando $\omega_0 t = 0$, $\pm\pi/3$ y $\pm\pi/2$.
(*c*) Representar $v_L(t)$. *Sugerencia*: $v_L = R_L i_D$.

1.3-4. En el circuito de la Figura P1.3-4 calcular $v_L(t)$ utilizando las características de la Figura 1.2-8 con $V_F = 0{,}7$ V.

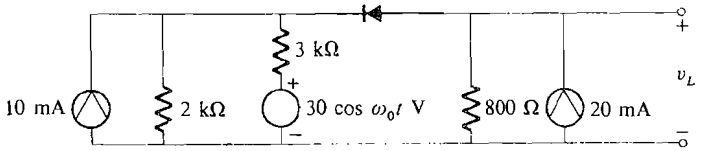


Figura P1.3-4.

1.3-5. Suponiendo que los diodos D_1 y D_2 son idénticos en el circuito de la Figura P1.3-5, hallar v_L.

$$i_{D1} = \begin{cases} 2 \times 10^{-3}\, v_{D1}^2,\ \text{A} & v_{D1} \geq 0 \\ -I_o & v_{D1} < 0 \end{cases}$$

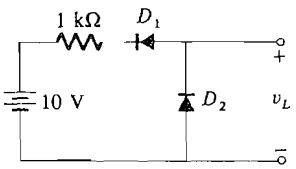


Figura P1.3-5.

1.3-6. Para el circuito limitador representado en la Figura P1.3-6*a* en el que los diodos D_1 y D_2 son los descritos en la Figura 1.2-8, con $V_F = 0{,}7$ V, hallar (*a*), $v_L(t)$ con v_i como se muestra en la Figura P1.3-6*b*, y (*b*), $v_L(t)$ con $v_i(t) = 10 \cos \omega_0 t$.

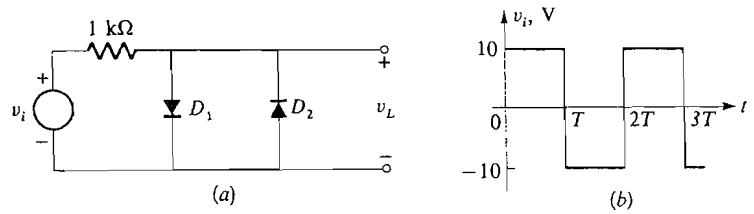


Figura P1.3-6.

1.4-1. En la Figura P1.4-1 la característica *vi* del diodo viene dada por

$$i_D = 10^{-6}(\epsilon^{qv_D/kT} - 1) \qquad \text{donde } T = 300 \text{ K}$$

(*a*) Obtener el circuito Thévenin, R_T y v_T.
(*b*) Determinar la corriente en reposo del diodo.
(*c*) Calcular r_d.
(*d*) Calcular $v_L(t)$.

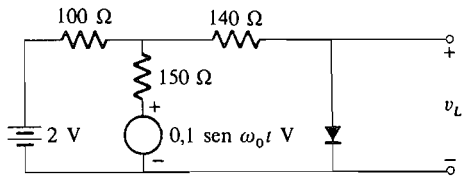


Figura P1.4-1.

1.4-2. El diodo de la Figura P1.4-2 está caracterizado por (1.2-1) donde $I_0 = 10^{-9}$ A y $T = 300$ K. Hallar i_D.

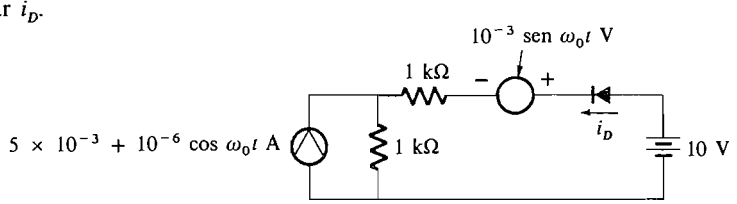


Figura P1.4-2.

1.4-3. (*a*) Hallar el circuito Thévenin equivalente, R_T y v_T para el circuito de la Figura P1.4-3.
(*b*) Representar $i_D(t)$.
(*c*) Hallar la corriente media a través del diodo.

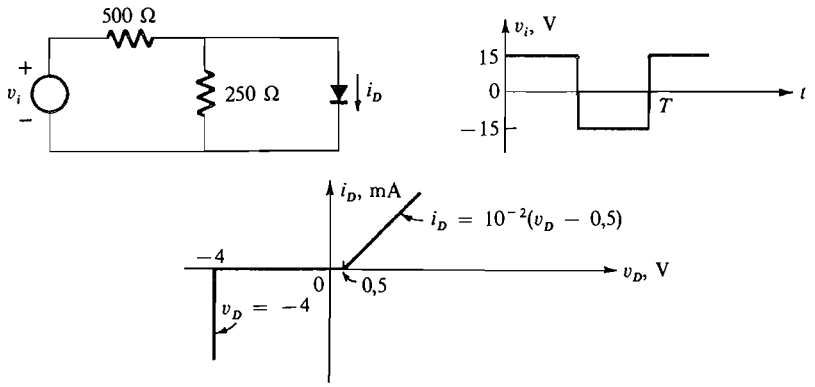


Figura P1.4-3.

1.4-4. La característica *vi* del diodo viene dada por

$$i_D = I_o(\epsilon^{qv_D/kT} - 1)$$

(*a*) Desarrollar esta ecuación en una serie de Taylor en el entorno del punto I_D, V_D.
(*b*) Demostrar que si $v_d \ll k\,T/q$, todos los térmicos que hay después de los dos primeros en el desarrollo se pueden despreciar; es decir, $i_D \approx I_D + v_d/r_d$.

1.4-5 (*a*) Determinar la corriente en reposo del diodo en la Figura P1.4-5. La característica *vi* del diodo viene dada en el Problema 1.4-1.
(*b*) Calcular r_d.
(*c*) Hallar $v_L(t)$ cuando $\omega_0 = 10^6, 10^8, 10^{10}$ radián/es.

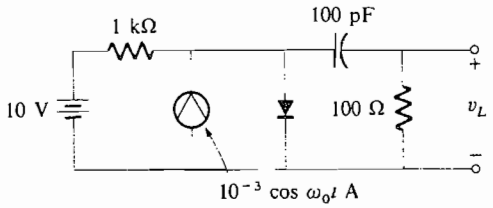


Figura P1.4-5.

1.5-1. (*a*) En el circuito de la Figura P1.5-1 obtener la ecuación de la recta de carga y representarla sobre la característica *vi*. Obtener la corriente en reposo.
(*b*) Obtener la ecuación de la recta de carga en alterna y representarla sobre la característica *vi*.

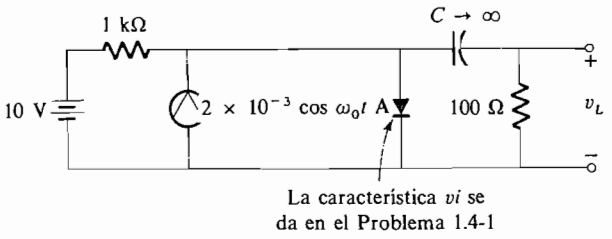


Figura P1.5-1.

1.5-2. El circuito con diodo de la Figura P1.5-2 tiene una señal de tensión $v_i = 0{,}1 \cos \omega_0 t$ V.
(*a*) Hallar la tensión del diodo en reposo y la corriente del diodo.
(*b*) Trazar la recta de carga en alterna.
(*c*) Determinar la resistencia dinámica del diodo.
(*d*) Calcular v_L.

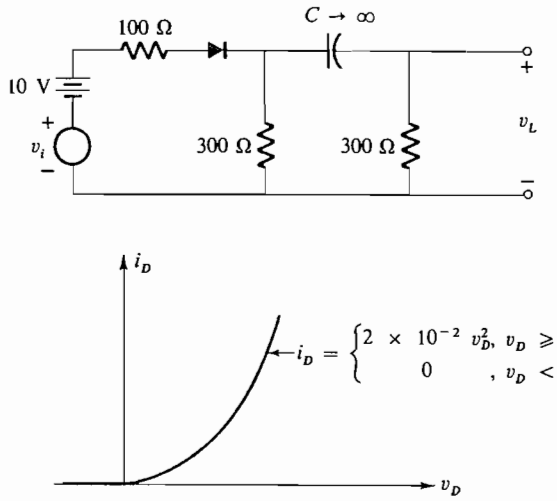


Figura P1.5-2.

1.6-1. En la Figura 1.6-2 sean $r_i = 10\ \Omega$, $R_c = 10\ \text{k}\Omega$, $R_L = 5{,}1\ \text{k}\Omega$ y $v_i = 5 \text{ sen } \omega_0 t$. La señal de control está representada en la Figura P1-6.1 y los diodos son ideales.
(*a*) Determinar los valores aceptables de V_1 y V_2 para la señal de control.
(*b*) Para los valores del apartado (*a*) representar v_L si $\omega = 4\ \omega_0$.

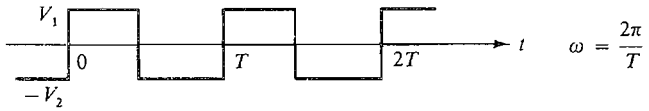


Figura P1.6-1.

1.6-2. En la Figura 1.6-2 sean $r_i = 10\ \Omega$, $R_L = 1\ \text{k}\Omega$, $v_i = V_{im} \text{ sen } \omega_0 t$, $V_{\text{on}} = 15$ V y $V_{\text{off}} = 0$.
(*a*) Calcular V_{im}.
(*b*) Hallar un valor adecuado para R_c.

1.6-3. Utilizar el modelo por tramos de la Figura 1.2-8 en la Figura 1.6-2 y demostrar que la máxima tensión de entrada permisible es

$$V_{im} = (V_{\text{on}} - V_F)\frac{R_L}{R_c + R_L}$$

1.6-4. El conmutador analógico de seis diodos de la Figura 1.6-5 tiene una señal de control $v_C(t)$ como la representada en la Figura P1.6-1, donde $V_1 = V_2$. Sea $v_i = \text{sen } \omega_0 t$.
(*a*) Determinar un margen de la amplitud de la onda cuadrada ($V_1 = V_2$) de modo que el conmutador funcione correctamente.
(*b*) Representar $v_L(t)$ si $\omega = \omega_0/5$ y demostrar que v_L es el producto de v_i y una onda cuadrada $S_1(t)$.

1.6-5. En el Problema 1.6-4 se puede escribir $S_1(t)$ como una serie de Fourier observando que en (1.6-7) $f_c = f = 1/T$ y que t está sustituido por $t - T/4$. Expresar $v_L(t)$ como una suma de armónicos.

1.6-6. (*a*) En el circuito de la Figura 1.6-5 se supone que $v_i = V_{im} \text{ sen } \omega_0 t$. Demostrar que la conducción para que la señal de control sea una onda cuadrada simétrica de amplitud V_1 y el conmutador funcione correctamente se debe cumplir.

$$V_{im} \leqslant \frac{5{,}3\ R_L}{R_c + R_L} = 2{,}65 \text{ V} \qquad \text{donde } V_F = 0{,}7 \text{ V}$$

(*b*) Hallar la amplitud de la onda cuadrada V_1 correspondiente al resultado del apartado (*a*).

1.6-7. La matriz de seis diodos de la Figura 1.6-1 se utiliza como puerta paralelo en la Figura P1.6-7. Los diodos D_5 y D_6 suministran la señal de control con una carga simétrica. Suponer que todos los diodos son ideales y que la señal de control es una onda cuadrada simétrica (véase P1.6-1 y suponer $V_1 = V_2$).
(*a*) Dibujar el circuito equivalente visto por $v_i - v_L$ cuando los diodos D_1 y D_4 conducen.
(*b*) Si $v_i = V_{im} \text{ sen } \omega_0 t$ y $\omega = 2\ \omega_0$ (véase Fig. P1.6-1), dibujar v_L suponiendo que el circuito funciona correctamente.
(*c*) Demostrar que la corriente en D_3 viene dada por

$$i_{D3} = \frac{V_1}{R_c} - \frac{v_i}{2R_a}$$

Sugerencia: Suponer un puente equilibrado y utilizar superposición.
(*d*) ¿Cuál es el máximo valor de V_{im} permitido si $V_1 = 5$ V, $R_c = 10\ \text{k}\Omega$, $R_L = 1\ \text{k}\Omega$ y $R_a = 1\ \text{k}\Omega$?

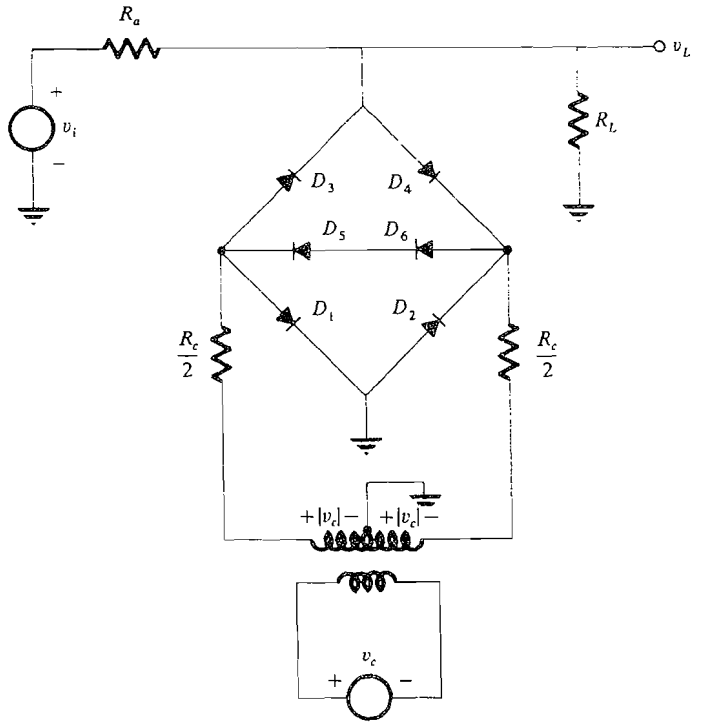


Figura P1.6-7.

1.7-1. Obtener una aproximación lineal en dos segmentos para la ecuación

$$y = t^2 \qquad 0 \leqslant t \leqslant 3$$

tal que el valor absoluto de la máxima diferencia entre la función v y su aproximación y, en cualquier instante t es siempre menor que 0,5.

1.7-2. Utilizando una resistencia (1 kΩ), una batería (1 V) y un diodo ideal, sintetizar los circuitos para realizar cada una de las características v_i básicas representadas en la Figura P1.7-2.

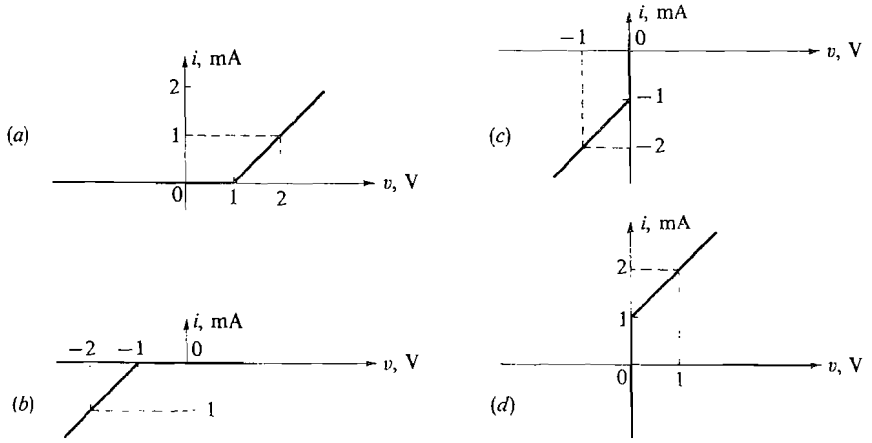


Figura P1.7-2.

1.7-3. Obtener una aproximación lineal por tramos en tres segmentos $\hat{y}$ para la función $y = \ln x$ en el margen $0 < y < 3$ que dan un error máximo $|\hat{y} - y|_{máx}$ que sea menor que 0,5. Utilizar un procedimiento de tanteo (prueba y error). ¿Cómo de pequeña se puede hacer $|\hat{y} - y|_{máx}$?

1.7-4. Elegir la escala conveniente para el circuito del Ejemplo 1.7-1 para que las corrientes estén expresadas en microamperios y las tensiones estén en voltios.

1.7-5. Calcular un circuito utilizando resistencias y diodos ideales para sintetizar la característica *vi* representada en la Figura P1.7-5.

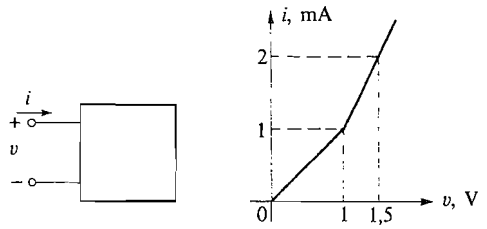


Figura P1.7-5.

1.7-6. Diseñar un circuito utilizando resistencias y diodos ideales para sintetizar la característica *vi* de la Figura P1.7-6.

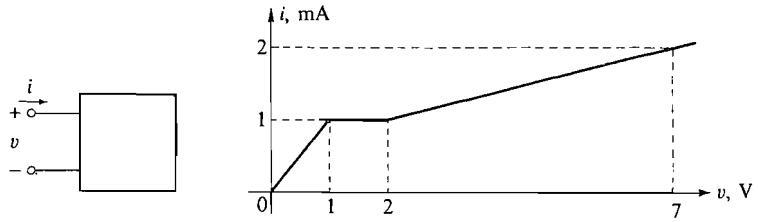


Figura P1.7-6.

1.7-7. Calcular un circuito que resuelva la ecuación diferencial no lineal

$$\frac{dy}{dt} + \text{sen } y = 0{,}8 \qquad y(0) = 0 \qquad t \geqslant 0 \qquad -\frac{\pi}{2} \leqslant y \leqslant \frac{\pi}{2}$$

Todas las corrientes se deben expresar en miliamperios y las tensiones en voltios.

1.10-1. El diodo Zener de la Figura P1.10-1 tiene una caída fija de tensión de 18 V entre sus terminales siempre que i_z se mantenga entre 200 mA y 2 A.

(*a*) Hallar r_i de modo que V_L se mantenga en 18 V mientras V_{cc} pueda variar libremente desde 22 hasta 28 V.

(*b*) Hallar la máxima potencia disipada por el diodo.

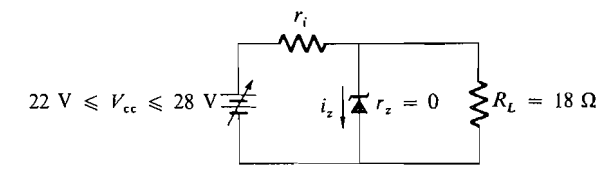


Figura P1.10-1.

1.10-2. Se emplea un diodo Zener de 10 V para regular la tensión en bornes de una carga resistiva variable como la representada en la Figura 1.10-2. La tensión de entrada v_i varía entre 13 y 16 V. La corriente en la carga i_L varía entre 10 y 85 mA. La mínima corriente Zener es de 15 mA.

(*a*) Calcular el máximo valor de r_i.
(*b*) Calcular la máxima potencia disipada por el diodo Zener utilizando este valor de r_i.

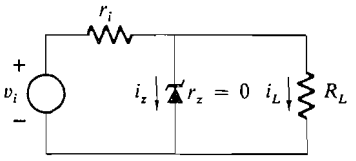


Figura P1.10-2.

1.10-3. Una fuente de alimentación no regulada varía entre 20 y 25 V y tiene una impedancia interna de 10 Ω. Un diodo Zener de 10 V se emplea para regular esta tensión para utilizarla en un magnetófono o registrador de cinta magnética. El registrador consume 30 mA mientras graba y 50 mA cuando reproduce. El diodo Zener tiene una resistencia de 10 Ω cuando la corriente Zener es de 30 mA. El codo de la característica Zener se presenta a 10 mA. Además el diodo Zener puede disipar una potencia máxima de 800 mW.
(*a*) Hallar r_i de modo que el diodo regule continuamente la tensión (se supone $r_i \gg 10\ \Omega$).
(*b*) Hallar el máximo rizado cresta a cresta de salida.

1.10-4. La característica Zener se debe normalmente a una ruptura por avalancha la cual está descrita aproximadamente por la ecuación

$$i_Z = \frac{I_o}{(1 - v_Z/V_o)^n} \qquad v_Z \leqslant V_o \qquad \frac{i_Z}{I_o} \leqslant 100$$

(*a*) Representar la característica $v_Z i_Z$ para $n = 4$ y $n = 10$. *Sugerencia:* Representar i_Z/I_o en función de v_Z/V_o para obtener una característica normalizada.
(*b*) Obtener el codo de la curva.
(*c*) Representar una aproximación lineal por tramos de la curva utilizando dos tramos rectos.
(*d*) La pendiente de la curva por debajo del codo es lo que se llama resistencia Zener r_z. Calcular r_z. Observar que r_z cambia continuamente.

1.11-1. Cuando funciona en las condiciones de polarización directa, el diodo PIN tiene el circuito equivalente representado en la Figura 1.11-3. Si $C_R = 0{,}1$ pF, $C_S = 0{,}1$ pF, $r_d = 1\ \Omega$ y $L_s = 0{,}1$ nH, representar el valor de la impedancia del diodo en función de la frecuencia.

1.11-2. En el circuito representado en la Figura P1.11-2 se utiliza un diodo PIN.

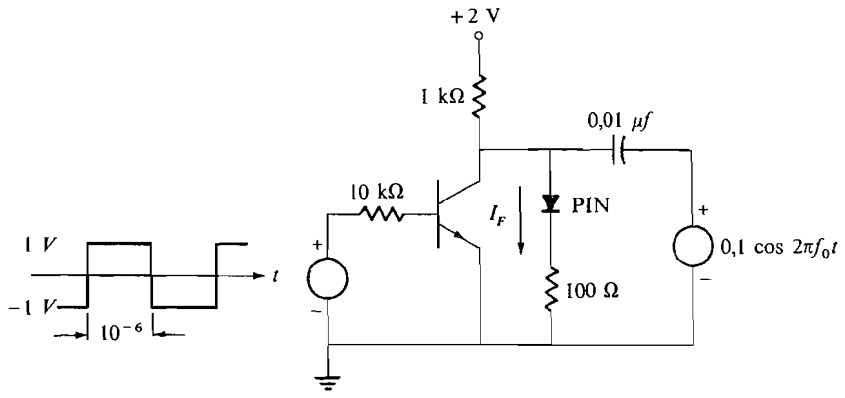


Figura P1.11-2.

(*a*) Calcular la corriente directa I_F cuando está conduciendo el diodo.
(*b*) Demostrar que si $f_0 = 1$ GHz, la corriente de pequeña señal en la resistencia de 100 Ω tiene una componente de frecuencia de 1,001 GHz. ¿Qué otras componentes de frecuencia están presentes?

1.12-1. Obtener una analogía eléctrica del sistema térmico de la Figura 1.12-3*a* en el que la temperatura sea análoga a la corriente. ¿A qué son análogas P_j y θ_{jc}?

1.12-2. La potencia nominal de un diodo Zener de silicio es 15 W. La máxima temperatura permisible de la unión es 200 °C, la temperatura ambiente es 25 °C y $\theta_{jc} = 2{,}4$ °C/W.
(*a*) Si se coloca un radiador infinito de calor, hallar la máxima potencia nominal permisible del diodo.
(*b*) ¿Cuál es la temperatura de unión del diodo?
(*c*) ¿Cuál es la temperatura de la cápsula del diodo?

1.12-3. Repetir el Problema 1.12-2 si el radiador de calor tiene una resistencia térmica θ_{ca} de 2 °C/W.

1.12-4. Un diodo puede disipar 20 W a temperaturas menores de 50 °C. La máxima temperatura de la unión es 200 °C. Hallar θ_{jc}.

1.12-5. Repetir el Problema 1.12-2 si $T_{j,\text{máx}} = 100$ °C y $\theta_{ca} = 3$ °C/W.

1.12-6. Un diodo Zener de 50 W (curva de degradación representada en la Figura P1.12-6) debe disipar 6 W en un circuito determinado. La temperatura ambiente es 85 °C.
(*a*) Hallar θ_{ca} para que el transistor no se sobrecaliente.
(*b*) Hallar T_c para estas condiciones.
(*c*) Si se dispusiera de un radiador de calor infinito ¿cuánta potencia podría disipar este transistor?

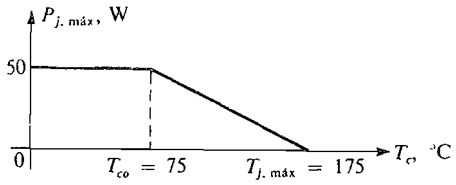


Figura P1.12-6.

1.13-1. La corriente inversa de saturación del diodo de la Figura P1.13-1 es 1 μA. Su tensión inversa de pico es de 500 V. Hallar r_i para que no se exceda la PIV.

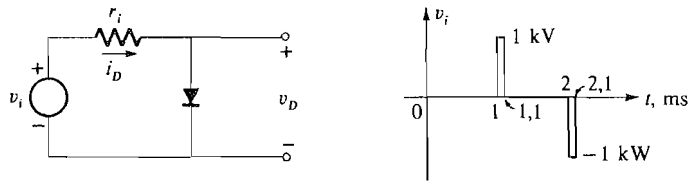


Figura P1.13-1.

1.13-2. En la Figura P1.13-2 la máxima corriente directa media rectificada en media onda a través del diodo es 1 A.
(*a*) Hallar R_L de modo que no se exceda este valor.
(*b*) Si $I_0 = 1$ μA, hallar la mínima PIV necesaria para impedir la ruptura del diodo.

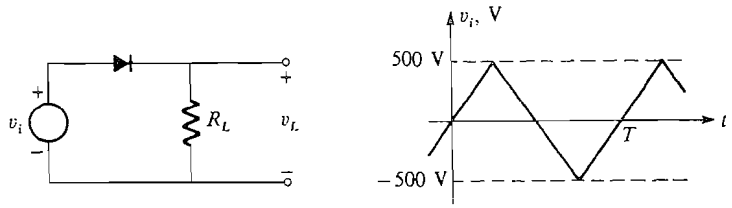


Figura P1.13-2.

1.13-3. Con una corriente de prueba de 100 mA, un diodo Zener tiene una tensión nominal de 20 V. El diodo presenta una tolerancia del 2 por 100. Calcular el margen de las tensiones de prueba en funcionamiento.

1.13-4. El diodo Zener 1N2816 de la Figura P1.13-4 se utiliza para mantener una tensión continua suficientemente constante entre los terminales de una carga que varía desde 10 hasta 100 Ω. La tensión de entrada varía desde 80 hasta 100 V.

(*a*) Calcular r_i suponiendo $V_{zT} = 18$ V y $R_{ZT} \approx 2$ Ω.

(*b*) Calcular v_L teniendo en cuenta la tolerancia del 5 por 100 y el hecho de que el circuito funciona en un margen de temperaturas de 0 a 25 °C.

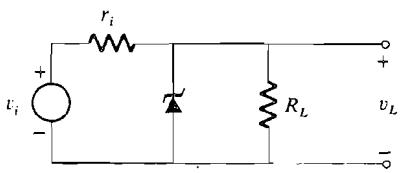


Figura P1.13-4.

1.13-5. Demostrar que la PIV nominal de los diodos en el circuito rectificador de onda completa de la Figura 1.1-8 debe ser mayor que $2V_{im}$. Suponer diodos ideales.

1.13-6. Demostrar que la PIV nominal de los diodos en el circuito del puente rectificador de onda completa de la Figura P1.1-8 debe ser mayor que V_{im}. Suponer diodos ideales.

CAPITULO

2

Introducción a los circuitos con transistores

INTRODUCCION

En el tema anterior se ha analizado la unión *pn* en un diodo y algunas de sus propiedades físicas y eléctricas. Este capítulo se centra en un componente que ha causado una auténtica revolución en el campo de la electrónica desde su aparición en los años cincuenta: el transistor. Como se verá, el transistor de unión básico consta esencialmente de dos uniones *pn* contiguas; por tanto, se aplica la teoría expuesta en el capítulo anterior con pequeñas modificaciones.

Conceptualmente, el transistor es un dispositivo que actúa como amplificador de corriente. En este tema y los siguientes se estudiarán las propiedades, aplicaciones y limitaciones de este componente.

2.1. MECANISMO DE CONDUCCION DE CORRIENTE EN EL TRANSISTOR DE UNION

En este apartado se estudia el flujo de corriente visto desde los terminales del componente. El transistor de unión consiste en dos uniones *pn* contiguas, como se observa en la Figura 2.1-1*a*. El símbolo utilizado para representar al transistor *npn* se muestra en la Figura 2.1-1*b*. La Figura 2.1-1*c* muestra el transistor *npn* conectado en la configuración de base común. Nótese que el transistor de la figura tiene los materiales semiconductores dispuestos de la forma *npn*; de ahí el nombre que recibe este transistor. La otra disposición posible, *pnp*, se estudiará en la Sección 2.1-3.

Físicamente, el transistor se compone de tres partes, emisor, base y colector, siendo la región de base muy estrecha; este aspecto se explica cualitativamente a continuación.

La fuente de tensión V_{EE} polariza directamente la unión *pn* base-emisor, lo que da lugar a que el emisor inyecte electrones en el material tipo *P* de la base. La mayoría de los electrones atraviesan la estrecha región de base, cruzan la segunda unión y llegan a la

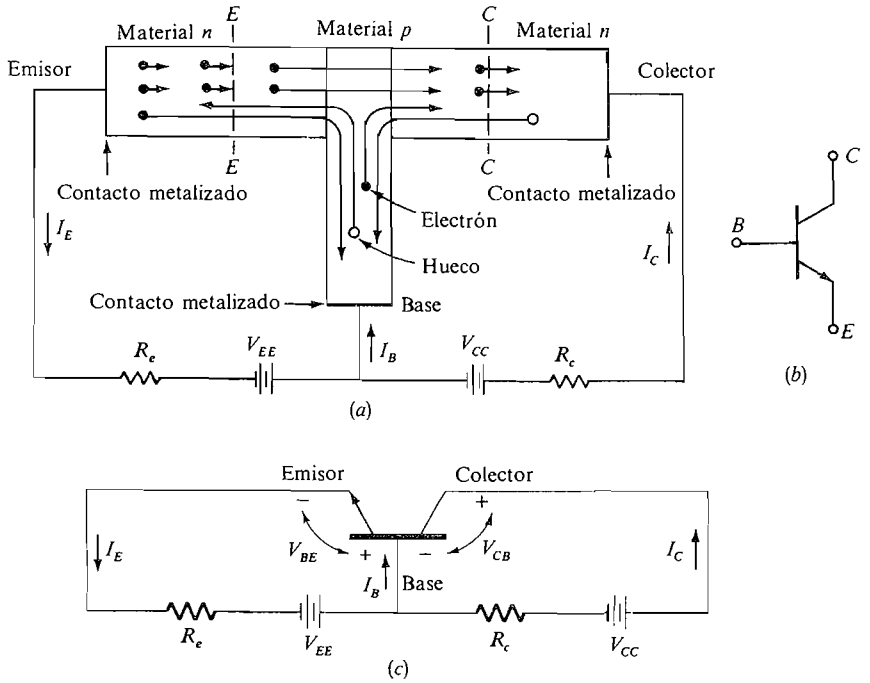


Figura 2.1-1. El transistor *npn* de unión: (*a*) representación pictórica; (*b*) símbolo; (*c*) direcciones de referencia para la conexión en base común.

región *n* polarizada positivamente (zona de la derecha) que constituye el colector. Un reducido porcentaje de estos electrones (alrededor de un 1 por 100) son capturados por la base. Los huecos de la base van hacia el emisor.

Mientras que la unión base-emisor representa un diodo directamente polarizado, con sus propiedades características de baja impedancia y baja caída de tensión, la unión de colector-base está inversamente polarizada debido al signo de la tensión V_{CC}. Esta unión constituye en esencia un diodo inversamente polarizado y la impedancia entre colector y base es muy elevada.

La corriente media en el circuito de emisor (el flujo de carga positiva equivalente a través de la frontera *EE* por unidad de tiempo), denominada *corriente de emisor* I_E, se toma como positiva en sentido saliente del material*. Nótese que en el símbolo del transistor *npn* (Fig. 2.1-1*b*) la flecha del emisor indica el sentido de la corriente positiva de emisor. La corriente que se mide en el circuito de colector (el flujo de carga positiva equivalente a través de la frontera *CC* por unidad de tiempo) se denomina *corriente de colector* I_C. Esta corriente consta de dos componentes, siendo la más importante la debida al porcentaje de electrones emitidos por el emisor y que alcanzan la zona de colector. Este

* Normalmente los sentidos de referencia que se toman como positivos para las corrientes del transistor serán los entrantes en el emisor, la base y el colector. En este texto el convenio adoptado es que la corriente es positiva en el sentido en que un amperímetro indicaría corriente positiva, estando el transistor polarizado para trabajar en zona lineal.

porcentaje depende solamente de aspectos constructivos del transistor (tamaño y forma del material y dopado del emisor) y puede considerarse constante en un transistor específico. La constante de proporcionalidad se define como α*, así que la parte más importante de la corriente de colector I_C es αI_E. Este parámetro tiene como valores típicos los comprendidos en el rango de 0,90 a 0,99.

La segunda parte representa el flujo de corriente a través de la unión colector-base inversamente polarizada cuando $I_E = 0$. Esta corriente se denomina I_{CBO} (en el diodo la denominación es I_0) y, como era de esperar, es bastante pequeña. Como las dos corrientes se introducen en el colector, se considera a este sentido como el positivo para la corriente de colector, y se cumple

$$I_C = \alpha I_E + I_{CBO} \tag{2.1-1}$$

Si se aplica la ley de Kirchhoff para corrientes al transistor de la Figura 2.1-1 y observando el sentido indicado de las mismas, se obtiene:

$$I_E = I_B + I_C \tag{2.1-2}$$

Sustituyendo (2.1-1) en (2.1-2) se calcula la corriente de base, que resulta ser:

$$I_B = (1 - \alpha)I_E - I_{CBO} = \frac{1 - \alpha}{\alpha} I_C - \frac{I_{CBO}}{\alpha} \tag{2.1-3}$$

La letra griega β se utiliza para representar la relación $\alpha/(1 - \alpha)$, expresión habitual en el estudio del transistor. Las Ecuaciones (2.1-1) a (2.1-3) describen el transistor en función de las corrientes de sus terminales**. En el resto de este tema veremos que el transistor, en su modo normal de funcionamiento, puede ser considerado como dos uniones *pn* aisladas, una de ellas polarizada en directa y la otra inversamente.

El análisis de circuitos con transistor puede realizarse utilizando las técnicas desarrolladas para los diodos de unión *pn* en el Capítulo 1.

2.1-1. La unión base-emisor

Al aplicar la ley de Kirchhoff para tensiones (KVL) a la malla base-emisor en la Figura 2.1-1*c*, la corriente de emisor es

$$I_E = \frac{V_{EE} - V_{BE}}{R_e} \tag{2.1-4}$$

donde V_{BE} es la tensión en la unión base-emisor directamente polarizada. La característica *vi* de la unión se muestra en las Figuras 2.1-2*a* y *b*. El lector observará que esta característica debería depender del estado de la unión del colector y de la temperatura de trabajo.

---

* Se utiliza a menudo la notación h_{FB} en vez de α.

** Se utiliza a menudo la notación h_{FE} en vez de β.

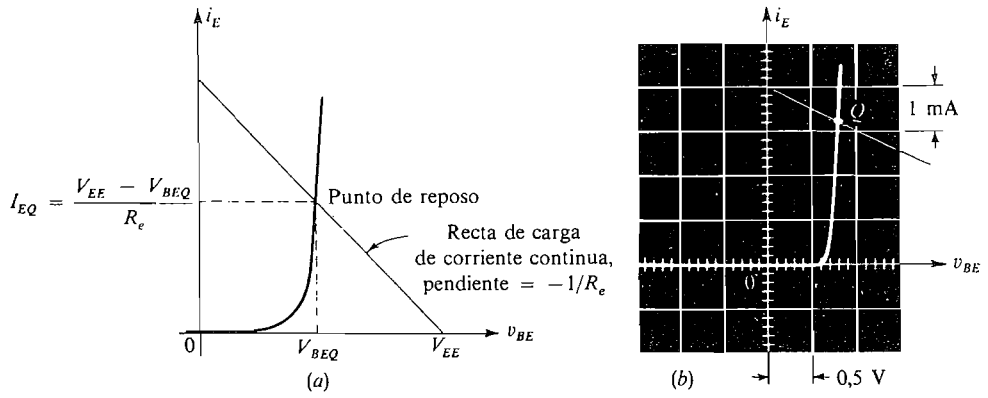


Figura 2.1-2. (*a*) Característica *vi*; (*b*) oscilograma de la característica *vi* emisor-base del transistor de silicio.

Sin embargo, en condiciones normales, la dependencia con la tensión de colector es muy pequeña y a menudo se desprecia. Los efectos de la tensión colector-base y de la temperatura en la corriente de emisor se analizarán posteriormente en la Sección 2.2 y en el Capítulo 4, respectivamente. Considerando que el efecto de la tensión colector-base es despreciable, el análisis del circuito base-emisor es exactamente el mismo que el realizado en las Secciones 1.3 y 1.4. En particular, la recta de carga en continua se puede trazar como se muestra en la Figura 2.1-2. De forma análoga a como ocurre en el diodo, existe una tensión umbral o de codo, V_{BEQ}, que en los transistores de silicio es de unos 0,7 V. El transistor con la característica *vi* mostrada en la Figura 2.1-2*b* está trabajando con $V_{BEQ} = 0{,}8$ V, con $V_{EE} = 4$ V y $R_e = 1$ kΩ. Nótese que la tensión v_{BE} varía entre 0,7 y 0,9 dependiendo de la corriente de reposo del emisor (o de base).

La experiencia con diodos demuestra que es posible linealizar el circuito de base-emisor sustituyendo el diodo base-emisor por uno equivalente linealizado. El modelo correspondiente y su curva *vi* característica se muestran en la Figura 2.1-3. Es necesario recordar que cuando se trabaja cerca del codo se debe utilizar la curva exacta de la Figura 2.1-2.

La resistencia r_d representa la pendiente de la característica en el punto Q; así aplicando la ecuación del diodo (1.4-15) se obtiene

$$r_d = \frac{V_T}{I_{EQ}} \approx \frac{25 \times 10^{-3}}{I_{EQ}} \ \Omega \text{ (a temperatura ambiente)} \qquad (2.1\text{-}5)$$

donde $V_T = kT/q$. Esta resistencia suele ser relativamente pequeña y, por tanto, la impedancia vista en el circuito base-emisor es reducida.

En los Capítulos 2 a 5, en los que se estudia el comportamiento en gran señal, esta pequeña impedancia de «entrada» es despreciable, así que efectuaremos la aproximación $r_d \approx 0$. El estudio está también restringido a los transistores de silicio, así que para todos los casos $V_{BEQ} \approx 0{,}7$ V. Estas simplificaciones nos permitirán enfocar el estudio de forma más profunda en los problemas que se consideren centrales en estos temas. Una vez conocido y asimilado el modelo simplificado se examinarán los efectos adicionales.

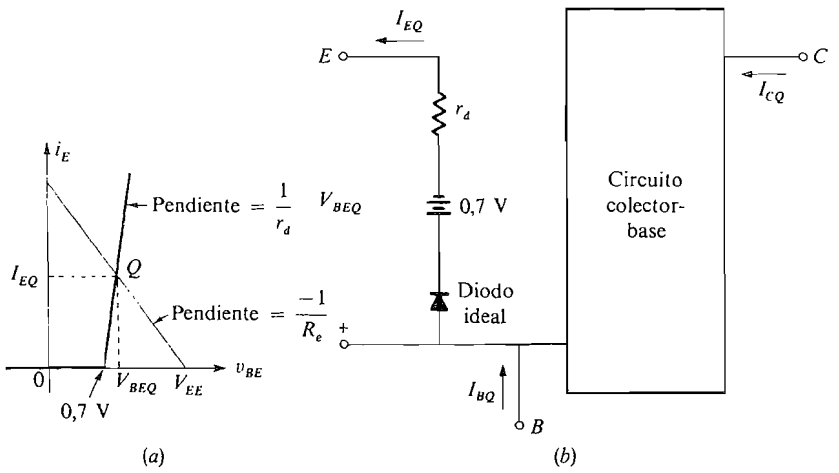


Figura 2.1-3. Circuito de entrada lineal por tramos del transistor: (*a*) característica *vi*: (*b*) circuito equivalente lineal por tramos.

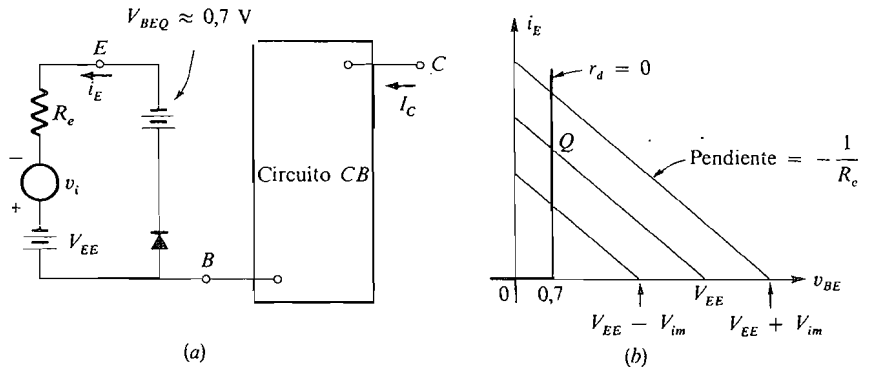


Figura 2.1-4. Circuito en base común con señal aplicada: (*a*) circuito equivalente; (*b*) representación gráfica.

Para ilustrar el uso del modelo supongamos que se coloca una fuente de tensión alterna en serie con V_{EE}, como se muestra en la Figura 2.1-4*a*. La señal de alterna es

$$v_i = V_{im} \cos \omega t \tag{2.1-6}$$

y de la Figura 2.1-4*b* tenemos que:

$$V_{EE} - V_{im} > V_{BEQ} = 0{,}7 \text{ V} \tag{2.1-7}$$

por lo tanto, la unión está siempre polarizada directamente y los puntos de trabajo se encontrarán por encima del codo; éste nos sitúa un límite máximo para la tensión de cresta V_{im} que permite trabajar en zona lineal para cualquier tensión V_{EE} dada. Así,

$$i_E = \frac{V_{EE} + V_{im} \cos \omega t - V_{BEQ}}{R_e} \tag{2.1-8}$$

y advirtiendo que $i_E = I_{EQ} + i_e$ tenemos la corriente de emisor en reposo,

$$I_{EQ} = \frac{V_{EE} - V_{BEQ}}{R_e} \tag{2.1-9}$$

y la componente de alterna, $$i_e = \frac{V_{im}}{R_e} \cos \omega t \tag{2.1-10}$$

Los supuestos realizados para llegar a (2.1-8) son que la característica *vi* de la unión, mostrada en Figura 2.1-4*b*, puede ser considerada como una línea recta vertical ($r_d \ll R_e$) y que la inecuación (2.1-7) se cumple.

2.1-2. La unión colector-base

Para completar el modelo de la Figura 2.1-4*a* se necesita un modelo de circuito equivalente para la unión colector-base. Probablemente la forma más fácil de encontrar dicho modelo es considerar las características de salida del transistor en base común, como se muestra en la Figura 2.1-5.

Trabajando de forma normal, el diodo colector-base está inversamente polarizado así que $v_{CB} > -0{,}5$ V. Cuando se cumple esta condición las curvas características *vi* pueden ser consideradas como una familia de líneas rectas que obedecen a la relación obtenida previamente.

$$I_C = \alpha I_E + I_{CBO} \tag{2.1-1}$$

Este hecho conduce al circuito equivalente de la Figura 2.1-6*a*. La fuente de corriente αI_E es una fuente dependiente (o controlada) ya que su valor depende de la corriente I_E. Así, la fuente de corriente αI_E es el mecanismo por el cual los cambios en la corriente de emisor se transmiten al circuito de colector. Este tipo de fuente está siempre presente en los modelos de elementos activos.

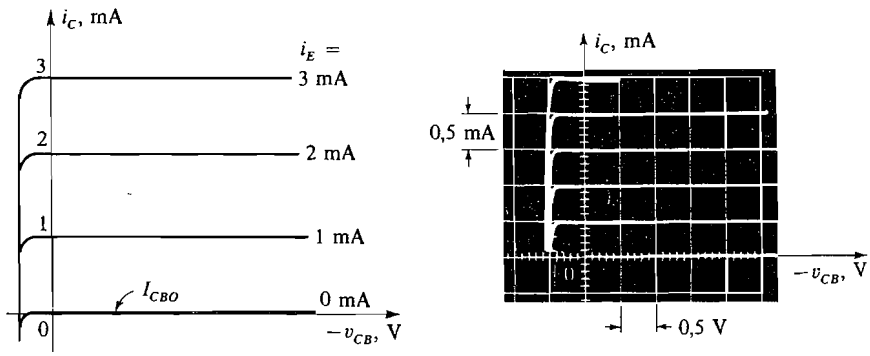


Figura 2.1-5. Características de salida en configuración en base común.

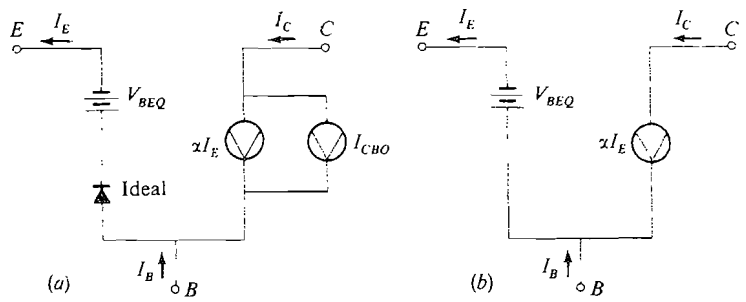


Figura 2.1-6. Circuitos equivalentes en base común: (*a*) modelo básico; (*b*) modelo simplificado.

Si nos limitamos al estudio de transistores de silicio, para los cuales $I_{CBO} \ll \alpha I_E$ a temperaturas de trabajo normales, el modelo se reduce al de la Figura 2.1-6*b*, donde el diodo ideal en el circuito de emisor también se ha omitido. Esto es factible en funcionamiento lineal si se piensa que estamos trabajando siempre por encima del codo y, por tanto, el modelo permanece válido. Además, con objeto de evitar la región no lineal que se encuentra a la izquierda del eje i_C de la característica de salida de la Figura 2.1-5, se hace necesario que $v_{CB} > -0{,}5$ V siempre.

El modelo completo de gran señal de la Figura 2.1-6*b* puede utilizarse para la mayoría de los cálculos de gran señal en baja frecuencia, como se muestra en el ejemplo siguiente.

EJEMPLO 2.1-1

En el circuito de la Figura 2.1-1c, $\alpha \approx 1$, $I_{CBO} \approx 0$, $V_{EE} = 2$ V, $R_e = 1$ kΩ, $V_{CC} = 50$ V, $R_C = 20$ kΩ y se conecta en serie con V_{EE} una fuente de tensión senoidal de 1 V de cresta. Hallar i_E y v_{CB}.

Solución

El circuito equivalente completo tiene la forma indicada en la Figura 2.1-7. En el circuito emisor-base, la unión está polarizada directamente mientras $V_{im} < V_{EE} - 0{,}7 = 1{,}3$ V, e

$$i_E = \frac{V_{EE} - 0{,}7 + V_{im} \cos \omega t}{R_e} = 1{,}3 + 1{,}0 \cos \omega t \quad \text{mA} \qquad (2.1\text{-}11)$$

Para el circuito colector-base, aplicando la segunda ley de Kirchhoff tendremos

$$v_{CB} = V_{CC} - i_C R_c \approx V_{CC} - i_E R_c \qquad (2.1\text{-}12)$$

Sustituyendo (2.1-11) en (2.1-12) obtenemos

$$v_{CB} = V_{CC} - \frac{V_{EE} - 0{,}7 + V_{im} \cos \omega t}{R_e} R_c$$

$$= V_{CC} - I_{EQ} R_c - \frac{R_c}{R_e} V_{im} \cos \omega t \qquad (2.1\text{-}13)$$

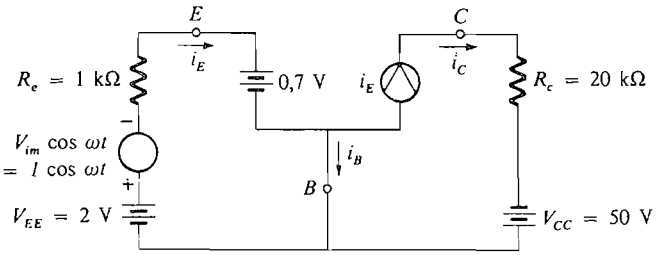


Figura 2.1-7. Circuito equivalente de la configuración en base común para el Ejemplo 2.1-1.

y sustituyendo los valores numéricos dados

$$v_{CB} = 50 - (1{,}3)(20) - \frac{20}{1}\cos \omega t$$
$$= 24 - 20 \cos \omega t \quad \text{V}$$

Dado que la unión colector-base está siempre polarizada en sentido inverso ($v_{CB} > -0{,}5$ V), el modelo lineal de la Figura 2.1-7 es válido. Nótese que el transistor amplifica la entrada de tensión alterna y que la ganancia de tensión resultante A_v es

$$A_v = \frac{V_{cbm}}{V_{im}} = \frac{20}{1} = 20$$

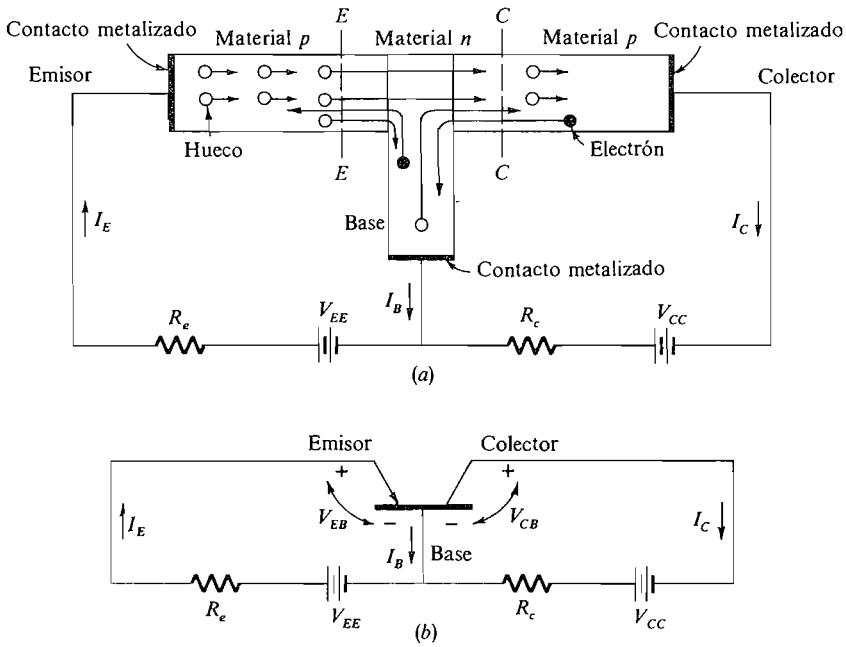


Figura 2.1-8. El transistor de unión *pnp*: (*a*) representación gráfica; (*b*) símbolo de circuito y sentidos de referencia para la conexión o configuración en base común.

2.1-3. El transistor *pnp*

En las secciones anteriores se ha considerado el flujo de corriente en el transistor *npn*. Analizaremos ahora qué ocurre en el caso del transistor *pnp*, mostrado en la Figura 2.1-8.

El transistor *pnp* tiene sus tensiones de polarización V_{EE} y V_{CC} contrarias a las del *npn*; esto es necesario para polarizar directamente la unión emisor-base e inversamente la unión colector-base. Debido a que la corriente de emisor se debe fundamentalmente a huecos que van del emisor al colector, el sentido positivo de la corriente de emisor es hacia el emisor, como se muestra en la Figura 2.1-8*b*. Nótese que la flecha del emisor señala el sentido positivo de esta corriente. Las corrientes de base y de colector son salientes del transistor y, como antes, se cumple

$$I_C = \alpha I_E + I_{CBO} \tag{2.1-14}$$

$$I_B = (1 - \alpha) I_E - I_{CBO} \tag{2.1-15}$$

2.2. AMPLIFICACION DE CORRIENTES EN EL TRANSISTOR

En la sección anterior se ha visto una descripción muy abreviada del mecanismo de flujo de corrientes en el transistor de unión. Este breve análisis permitió deducir las relaciones existentes entre los terminales del dispositivo en zona lineal. En esta sección el estudio se amplía para mostrar cómo se consigue la amplificación de corriente. De forma abreviada el proceso puede explicarse de esta forma: de acuerdo con 2.1-1 y 2.1-3 se advierte que si $\alpha \approx 1$ e I_{CBO} es pequeña, un cambio en la corriente de emisor i_E provocaría un cambio de aproximadamente la misma cantidad en la corriente de colector i_C y un cambio mucho más pequeño en la de base (con un factor $1 - \alpha$). Para conseguir amplificación de corriente el cambio se inicia en la corriente de base antes que en la corriente de emisor. Este hecho provoca que las corrientes de colector y emisor varíen con un factor de aproximadamente $\alpha/(1 - \alpha) = \beta$. Se considera que $\alpha/(1 - \alpha)$ no se modifica de forma significativa con la corriente de base.

En general, despreciando I_{CBO}, tenemos:

$$i_C = \beta i_B \tag{2.2-1a}$$

Un cambio en i_B provoca un cambio en i_C tal que:

$$\frac{\Delta i_C}{\Delta i_B} = \beta + \frac{\Delta \beta}{\Delta i_B} i_B \tag{2.2-1b}$$

Esta relación se denomina *factor de amplificación de corriente en pequeña señal* h_{fe}. Por tanto,

$$h_{fe} = \beta + \frac{\Delta \beta}{\Delta i_B} i_B \tag{2.2-2}$$

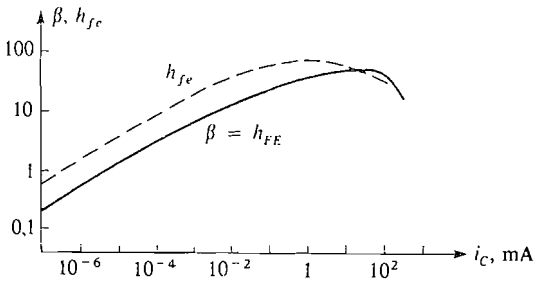


Figura 2.2-1. Ganancias de corriente en pequeña y gran señal en la configuración en emisor común.

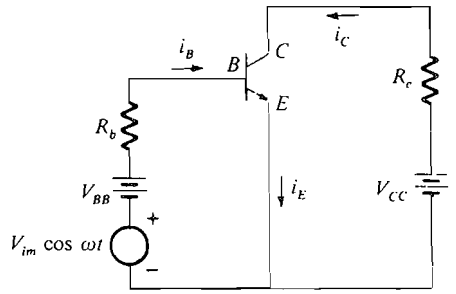


Figura 2.2-2. Amplificador básico con transistor.

Si $(\Delta\beta/\Delta i_B)i_B$ es pequeño comparado con β, se tiene:

$$h_{fe} \approx \beta \equiv h_{FE} \tag{2.2-3}$$

La Figura 2.2-1 muestra la variación típica de β y h_{fe} con la corriente de colector. Hay que notar que en el rango de trabajo típico de 1 a 100 mA, h_{fe} vale aproximadamente β y es relativamente independiente de los cambios en la corriente de colector. A menudo se realiza la suposición $\beta = h_{fe}$ = contante para simplificar el análisis; así se considerará a lo largo de este texto.

La explicación que sigue es más completa. Con el objeto de obtener un gráfico cuantitativo considérese el circuito de la Figura 2.2-2, que muestra un transistor *npn* en lo que se conoce como *configuración en emisor común* (CE).

En este circuito V_{BB}, V_{CC} y R_C se ajustan de forma que, en ausencia de señal, la unión base-emisor esté polarizada directamente y la unión colector-base inversamente, al igual que en base común. Aplicando las leyes de Kirchhoff en la malla base-emisor obtenemos la corriente de base

$$i_B = \frac{V_{BB} + V_{im} \cos \omega t - V_{BEQ}}{R_b} \tag{2.2-4}$$

donde se ha considerado que la unión base-emisor está trabajando en zona lineal con $V_{BB} - V_{im} \gg V_{BEQ}$; es decir, $r_d \approx 0$.

Admitiendo funcionamiento lineal sin distorsión, i_B tendrá una componente de continua y otra de alterna:

$$i_B = I_{BQ} + i_b \tag{2.2-5}$$

donde la componente de continua es

$$I_{BQ} \approx \frac{V_{BB} - V_{BEQ}}{R_b} \tag{2.2-6}$$

y la componente de alterna

$$i_b = \frac{V_{im}}{R_b} \cos \omega t \tag{2.2-7}$$

y la corriente de colector, de 2.2-1*a* es:

$$i_C = I_{CQ} + i_c = \beta(I_{BQ} + i_b) \tag{2.2-8}$$

con una interpretación similar para las componentes de alterna y de continua.

La amplificación de corriente en pequeña señal es entonces:

$$A_i = \frac{i_c}{i_b} \equiv h_{fe} = \beta \tag{2.2-9}$$

Esto es independiente del circuito externo y es una propiedad intrínseca del transistor, sometida a las aproximaciones realizadas durante su obtención.

Es importante que el lector tenga muy claro el concepto de amplificación, que en la Ecuación (2.2-9) se explica de forma resumida. Por ejemplo, supongamos que se tiene $\beta = 20$ y el circuito conectado de modo que el valor de alterna de la corriente de base (corriente de entrada) es $i_B = 5 \cos \omega t \quad \mu A$. Entonces, de acuerdo con (2.2-9), la corriente de colector (corriente de salida) es

$$\begin{aligned} i_c &= \beta i_b \\ &= (20)\ (5) \cos \omega t \quad \mu A \\ &= 100 \cos \omega t \quad \mu A \end{aligned}$$

Como se advierte, la corriente de salida es 20 veces la de entrada; se dice entonces que la corriente de salida es una réplica de la corriente de entrada, siendo 20 el factor de amplificación.

El parámetro β es aproximadamente constante para un transistor específico, aunque varíe con la temperatura y ligeramente con la corriente de colector; por tanto, se utilizan los valores medios de α y β. Otro transistor del mismo tipo puede tener una β que difiera de la del primero en un factor de 3 (o más) a 1. Esta variación tan fuerte se debe a pequeñas variaciones existentes en el parámetro α, como puede verse en la Tabla 2.2-1.

Tabla 2.2-1. Relación entre α y β

α	$\beta = \alpha/(1 - \alpha)$
0,95	19
0,98	49
0,99	99
0,995	199

2.2-1. Característica en emisor común

Las relaciones entre los terminales para los dos tipos de transistor, *npn* y *pnp*, son no lineales, ya que tienen la forma exponencial de la ecuación del diodo. Como son tres los terminales a tratar las características se pueden mostrar de varias formas. Probablemente las curvas más útiles son las curvas estáticas en configuración de emisor común. En la Figura 2.2-3 se muestran estas curvas para un transistor de baja potencia de silicio.

Dicha figura muestra la característica *vi* de salida (o de colector) en emisor común. La zona sombreada, a la izquierda, es la llamada región de saturación. La tensión colector-emisor de saturación que define dicha zona es típicamente de 0,1 V a 0,2 V para transistores de baja potencia (menos de 1 W) y puede ser del orden de 1 a 2 V en transistores de potencia. En el Ejemplo 2.2-1 se ofrece una descripción más detallada del transistor en saturación.

Con relación a la Figura 2.2-3 se advierte que, en zona de saturación, un incremento en la corriente de base no origina un incremento proporcional en la corriente de colector.

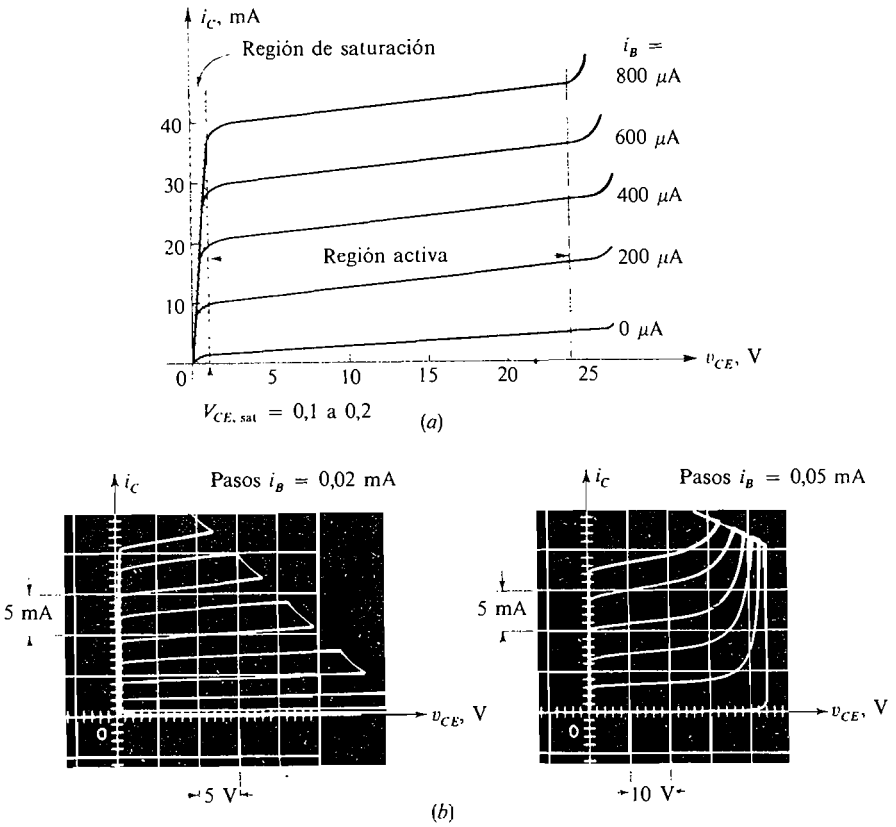


Figura 2.2-3. Características de salida de la configuración en emisor común del transistor *npn*: (*a*) características típicas; (*b*) oscilogramas de las características de salida en configuración en emisor común. Obsérvense las diferentes escalas y la ruptura por avalancha para $V_{CE} > \cong 30$ V.

Por tanto, en el diseño de amplificadores lineales se evita la región de saturación. Sin embargo, cuando se utiliza el transistor como puerta lógica o interruptor, se utiliza en corte (sin corriente por emisor) y saturación (tensión colector-emisor pequeña) para aprovechar que el transistor en saturación disipa poca potencia.

Para valores elevados de v_{CE} (unos 30 V para el transistor de la Figura 2.2-3*b*) tiene lugar una rotura por avalancha similar a la descrita en la Sección 1.2 para el diodo. La tensión de ruptura colector-base está relacionada con la de ruptura colector-emisor por la ecuación $BV_{CEO} \approx BV_{CBO}/\sqrt[n]{\beta}$, donde n varía entre 2 y 4 para el silicio.

En la zona situada entre avalancha y saturación, denominada zona activa, la relación entre las corrientes de base y colector es la dada en (2.1-3) y es en esta región donde se tiene amplificación lineal.

La zona activa tiene también límites superior e inferior para la corriente de colector. El límite superior es la máxima corriente que puede circular a través del transistor sin dañarlo físicamente; este límite siempre es especificado por el fabricante. El límite inferior se llama de corte de colector y por debajo de él prácticamente no hay corriente de emisor. Normalmente se toma como cero.

EJEMPLO 2.2-1

El comportamiento del transistor en la región de saturación es importante en el diseño de circuitos en conmutación. Como ejemplo de ello, consideremos el circuito de la Figura 2.2-4, con $V_{CC} = 10$ V, $R_b = 10$ kΩ y $R_c = 1$ kΩ. El transistor tiene $\beta = 100$, $V_{BE} = +0{,}7$ V y una tensión de saturación $V_{CE,\text{sat}} \approx 0{,}1$ V. Hallar las condiciones de funcionamiento cuando (*a*) $V_{BB} = 1{,}5$ V y (*b*) 10,7 V.

Solución

(*a*) Para $V_{BB} = 1{,}5$ V, aplicando la segunda ley de Kirchhoff al circuito base-emisor, se tiene

$$-V_{BB} + I_B R_b + V_{BE} = 0$$

$$I_B = \frac{V_{BB} - V_{BE}}{R_b} = \frac{1{,}5 - 0{,}7}{10^4} = 0{,}08 \text{ mA}$$

$$I_C = \beta I_B = (100)(0{,}08) = 8 \text{ mA}$$

$$I_E \approx I_C = 8 \text{ mA}$$

$$V_{CE} = V_{CC} - I_C R_C = 10 - (8)(1) = 2 \text{ V}$$

Por tanto, el transistor trabaja en la región activa ($V_{CE} > V_{CE,\text{sat}}$) como muestra la recta de carga de la Figura 2.2-4*b*.

(*b*) Para $V_{BB} = 10{,}7$ V,

$$I_B = \frac{10{,}7 - 0{,}7}{10^4} = 1 \text{ mA}$$

Si tuviera que cumplirse la relación $I_C = \beta I_B$, debería ser $I_C = 100$ mA y $V_{CE} = 10 - 100 = -90$ V, lo que es imposible. Por tanto, el transistor está en la región de saturación y

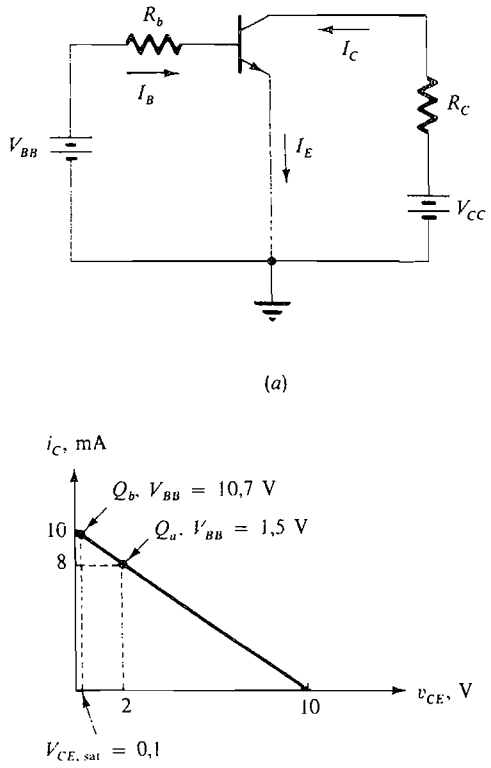


Figura 2.2-4. Ejemplo 2.2-1: (*a*) circuito; (*b*) recta de carga.

$$V_{CE} = V_{CE,\,sat} \approx 0{,}1 \text{ V}$$

La corriente de colector es

$$I_C = \frac{V_{CC} - V_{CE,\,sat}}{R_c} = \frac{10 - 0{,}1}{1 \text{ k}\Omega} = 9{,}9 \text{ mA}$$

e

$$I_E = I_C + I_B = 10{,}9 \text{ mA}$$

Nótese que el valor efectivo de β en esta condición especial de saturación es $I_C/I_B = 9{,}9$.

2.2-2. Modelo del transistor de Ebers-Moll

El modelo mostrado en la Figura 2.1-6 está linealizado y no tiene en cuenta la característica exponencial *vi* natural de una unión *pn*. Se considera que la unión *pn* actúa como una fuente de 0,7 V que puede estar o en conducción (ON) o en corte (OFF), dependiendo del valor de la señal de entrada. En el modelo de Ebers-Moll, que se analiza seguidamente, se utilizan los diodos de unión *pn* con su característica exponencial en combinación con las

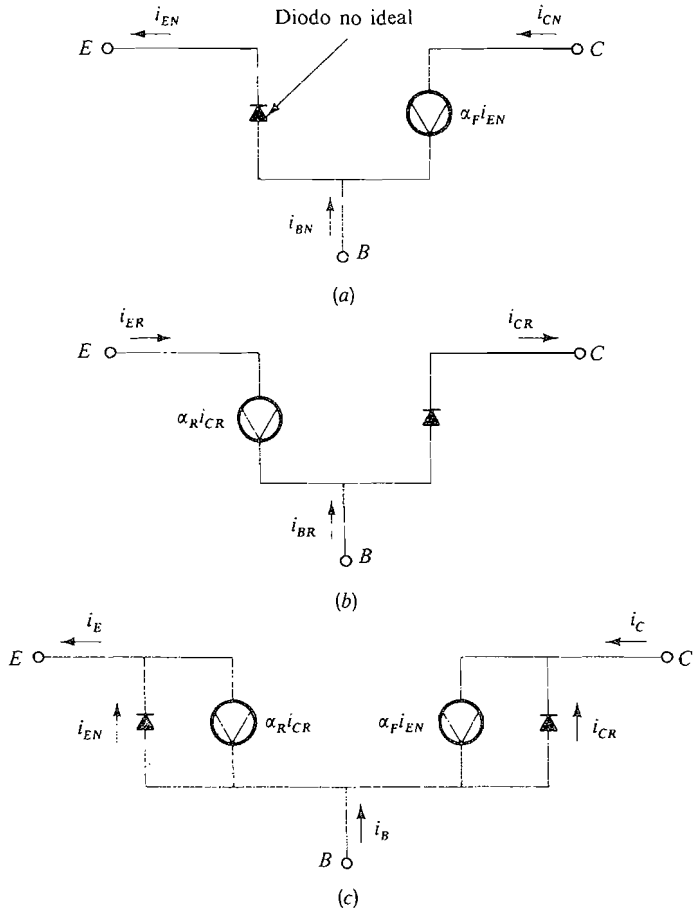


Figura 2.2-5. Modelo de Ebers-Moll: (*a*) circuito equivalente de un transistor *npn* que funcione en el modo normal; (*b*) circuito equivalente en el modo inverso; (*c*) circuito equivalente de Ebers-Moll completo.

fuentes dependientes necesarias para representar al transistor. El comportamiento de este modelo se acerca mucho al comportamiento real. El modelo de Ebers-Moll representa el comportamiento en zona de saturación y en zona inversa; esta última no se tiene en cuenta en el modelo linealizado.

El circuito para el modelo de Ebers-Moll puede construirse considerando el circuito equivalente linealizado de base común, representado en la Figura 2.1-6, para un transistor *npn* trabajando en sentido directo. El circuito se ha representado de nuevo en la Figura 2.2-5*a*. El diodo ideal se sustituye en el modelo linealizado por uno no ideal que representa la unión *pn*; se añade el subíndice *N* a las corrientes para indicar el modo normal de trabajo, en el que la unión base-emisor está polarizada directamente y la unión colector-base inversamente. El factor de proporcionalidad (ganancia de corriente) entre las corrientes de colector y emisor es α_F, en el modo normal.

Cuando el transistor está trabajando en zona *inversa*, con la unión base-colector polarizada directamente y la unión base-emisor de forma inversa, el modelo aparece representado en la Figura 2.2-5*b*, en el cual se añade el subíndice R para indicar zona inversa. Se advierte que este circuito es idéntico al de modo normal con la excepción de que colector y emisor están intercambiados. Al igual que en el modelo lineal, la fuente dependiente es el elemento que facilita el efecto transistor.

El modelo completo, combinando los dos circuitos, se representa en la Figura 2.2-5*c* y las corrientes son

$$i_E = i_{EN} - i_{ER} = i_{EN} - \alpha_R i_{CR} \tag{2.2-10}$$

$$i_C = i_{CN} - i_{CR} = \alpha_F i_{EN} - i_{CR} \tag{2.2-11}$$

$$i_B = i_{BN} + i_{BR} \tag{2.2-12}$$

Para expresar estas corrientes en términos de tensión en los terminales, procederemos como sigue: en la Figura 2.2-5*a* i_{EN} es la corriente que circula en el diodo base-emisor, por tanto:

$$i_{EN} = I_{EO}(\epsilon^{v_{BE}/V_T} - 1) \tag{2.2-13a}$$

En la Figura 2.2-5*b*, i_{CR} es la corriente en el diodo base-colector:

$$i_{CR} = I_{CO}(\epsilon^{v_{BC}/V_T} - 1) \tag{2.2-13b}$$

donde I_{EO} e I_{CO} son las corrientes de saturación del diodo. Sustituyendo (2.2-13) en (2.2-11) obtenemos:

$$\begin{aligned} i_C &= i_{CN} - i_{CR} \\ &= \alpha_F I_{EO}(\epsilon^{v_{BE}/V_T} - 1) - I_{CO}(\epsilon^{v_{BC}/V_T} - 1) \end{aligned} \tag{2.2-14a}$$

Utilizando (2.2-10), se tiene que

$$\begin{aligned} i_E &= i_{EN} - i_{ER} \\ &= I_{EO}(\epsilon^{v_{BE}/V_T} - 1) - \alpha_R I_{CO}(\epsilon^{v_{BC}/V_T} - 1) \end{aligned} \tag{2.2-14b}$$

Como $i_B = i_E - i_C$, tenemos que

$$i_B = (1 - \alpha_F) I_{EO}(\epsilon^{v_{BE}/V_T} - 1) + (1 - \alpha_R) I_{CO}(\epsilon^{v_{BC}/V_T} - 1) \tag{2.2-14c}$$

En la práctica, los transistores no se construyen simétricos, como se indica en la Figura 2.1-1*a* y no se tiene que $\alpha_F \approx \alpha_R$. De hecho, se diseñan de forma que $\alpha_F \approx 1$ y $\alpha_R \approx 0{,}01$. Además, las corrientes de saturación y las ganancias están relacionadas por la ecuación

$$\alpha_F I_{EO} = \alpha_R I_{CO} \tag{2.2-15}$$

Para los valores típicos de α_F y α_R dados anteriormente tenemos que I_{CO} será mucho más significativo que I_{EO}.

Zona de saturación

El modelo Ebers-Moll es útil para determinar las condiciones del circuito cuando el transistor está trabajando en zona de saturación. En él ambas uniones, base-emisor y base-colector, están directamente polarizadas, así que las corrientes i_{EN} e i_{CR} circulan simultáneamente. Se supone que v_{BE} y v_{BC} superan V_T ($\approx$25 mV) en cantidad suficiente como para despreciar el término -1 de (2.2-14). Entonces, dividiendo i_C entre i_B se obtiene

$$\frac{i_C}{i_B} = \frac{\alpha_F I_{EO}\epsilon^{v_{BE}/V_T} - I_{CO}\epsilon^{v_{BC}/V_T}}{(1 - \alpha_F)I_{EO}\epsilon^{v_{BE}/V_T} + (1 - \alpha_R)I_{CO}\epsilon^{v_{BC}/V_T}} \tag{2.2-16}$$

Utilizando (2.2-15) y admitiendo que $v_{CE} = v_{BE} - v_{BC}$, se puede operar

$$\frac{i_c}{i_B} = h_{FE}\frac{\epsilon^{v_{CE}/V_T} - 1/\alpha_R}{\epsilon^{v_{CE}/V_T} + h_{FE}/h_{FC}} \tag{2.2-17a}$$

donde $h_{FE} = \alpha_F/(1 - \alpha_F)$, $h_{FC} = \alpha_R/(1 - \alpha_R)$ y $h_{FE} \gg h_{FC}$. Si queremos expresar la tensión colector-emisor en términos de i_C/i_B (2.2-17*a*) puede reagruparse de la forma

$$v_{CE} = V_T \ln \frac{1/\alpha_R + (i_C/i_B)/h_{FC}}{1 - (i_C/i_B)h_{FE}} \tag{2.2-17b}$$

La Figura 2.2-6 representa la ecuación (2.2-17*a*) para un transistor típico. En este dibujo se han normalizado las magnitudes, representando en abscisas v_{CE}/V_T y en ordenadas i_C/i_B.

Si definimos el flanco de saturación como el punto en el que $i_C/i_B = 0{,}9h_{FE}$, se halla v_{CE} en este punto a partir de (2.2-1*b*) como sigue:

$$\begin{aligned} v_{CE} = V_{CE,\,sat} &= V_T \ln \frac{(1 + h_{FC})/h_{FC} + 0{,}9h_{FE}/h_{FC}}{1 - 0{,}9} \\ &= V_T \ln 10\,\frac{1 + h_{FC} + 0{,}9h_{FE}}{h_{FC}} \end{aligned}$$

Típicamente $0{,}9h_{FE} \gg 1 + h_{FC}$, así que se simplifica:

$$V_{CE,\,sat} \approx V_T \ln \frac{9h_{FE}}{h_{FC}} = V_T\left(2{,}2 + \ln \frac{h_{FE}}{h_{FC}}\right) \tag{2.2-17c}$$

por ejemplo, si $h_{FE} = 100$ y $h_{FC} = 0{,}01$, entonces $V_{CE,\,sat} \approx 285$ mV.

Si reconsideramos la parte (*b*) del Ejemplo 2.2-1 con $h_{FE} = 100$, $h_{FC} = 0{,}01$ e $I_C/I_B = 9{,}9$, utilizando (2.2-17*c*) encontramos que $v_{CE} \approx 0{,}18$ V en vez de 0,1 V como habíamos considerado en el Ejemplo 2.2-1. Recalculando, vemos que $I_C \approx 9{,}8$ mA. Sin embargo, si $h_{FE} = 100$ y $h_{FC} = 0{,}1$ en vez de 0,01, entonces basándonos en (2.2-17*c*) hallamos que $v_{CE} = 0{,}12$ V, valor más cercano al que habíamos supuesto, 0,1 V. Hay que advertir que el valor de la corriente de colector no se altera considerablemente, ya que la tensión colector-emisor en saturación es baja comparada con la fuente V_{CC}. Se advierte así en la

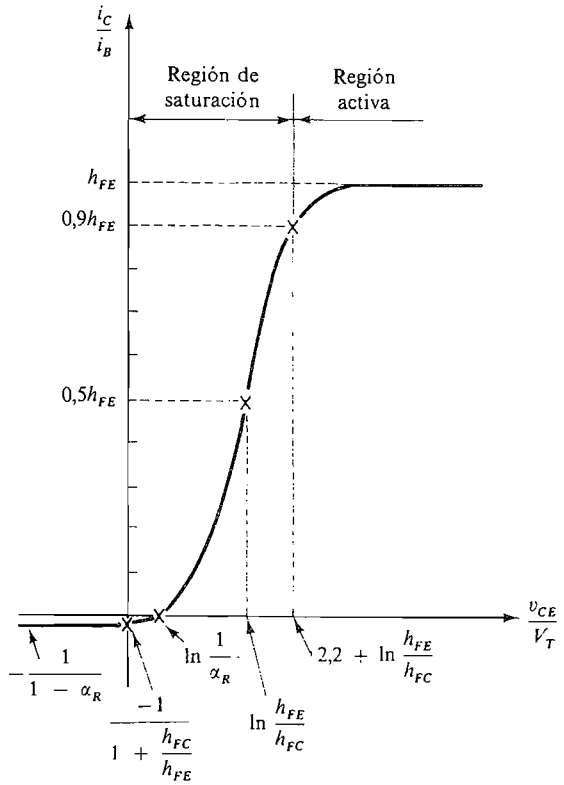


Figura 2.2-6. Característica *vi* normalizada de un transistor ($h_{FE} \gg h_{FC}$).

Figura 2.2-6 que incluso si V_{BB} [parte (*b*) del Ejemplo 2.2-1] se incrementa tendiendo a infinito de forma que I_B sea muy elevada, como i_C/i_B es mayor o igual que cero, la tensión colector-emisor permanecerá positiva y su límite será

$$v_{CE} \to V_T \ln \frac{1}{\alpha_R} \text{ cuando } \frac{i_C}{i_B} \to 0 \qquad (2.2\text{-}17d)$$

Así, con $\alpha_R = 0{,}01$, v_{CE} se aproxima a 0,115 V y con $\alpha_R = 0{,}1$, v_{CE} se aproxima a 0,057 V. En algunos circuitos, como por ejemplo el seguidor de emisor (Sec. 2.7) y las puertas lógicas TTL (Sec. 12.2), la corriente de colector puede hacerse negativa. En estos casos, la Figura 2.2-6 muestra que la tensión colector-emisor puede llegar a ser cero o negativa. Más aún, refiriéndonos a la Figura 2.2-3, el lector se queda con la impresión de que cuando $i_C = 0$, v_{CE} debe ser nula también. La Figura 2.2-6 muestra claramente que éste no es el caso y que cuando $i_C = 0$, $v_{CE} = V_T \ln (1/\alpha_R)$, valor positivo de tensión.

En muchos de los circuitos estudiados en este texto se considera que el transistor está trabajando en zona activa. En tal caso y cuando no se presente ambigüedad, representaremos α_F como α. Consideraremos también que $V_{CE,\,sat} \approx 0{,}2$ V para la mayoría de las aplicaciones.

En este punto recalcamos que el modelo de Ebers-Moll suministra relaciones matemáticas muy útiles aplicables al transistor en cualquier modo de funcionamiento. Sin embargo, las ecuaciones son obviamente poco apropiadas para el análisis o diseños rutinarios. Se utilizan, a pesar de todo, en muchos programas de análisis de circuitos por ordenador. Afortunadamente hay aproximaciones que podemos hacer para simplificar el modelo de manera que los cálculos se realizan de forma más simple y con una exactitud suficiente para la mayoría de las aplicaciones. El modelo linealizado que se analizó en la Sección 2.1 es un ejemplo de las simplificaciones que se realizan. En las siguientes secciones se exponen otros modelos, que son útiles en otras zonas de trabajo.

Modelo válido para el circuito de colector

La distancia en vertical entre las curvas adyacentes de la Figura 2.2-3 obedece a la relación $\Delta i_C = h_{fe}\Delta i_B$, que se dio en (2.2-1*b*). Sin embargo, h_{fe} no es absolutamente constante en todo el rango de i_C, como se muestra en la Figura 2.2-1. Para muchas aplicaciones, es suficiente considerar que las características de salida son un conjunto de líneas paralelas horizontales equidistantes, como se muestra en la Figura 2.2-7; esto significa que $h_{fe} = h_{FE}$ = constante. Es de suma importancia advertir que mientras la característica *vi* del transistor puede ser utilizada para obtener una idea del funcionamiento del dispositivo, no debe ser utilizada para obtener información cuantitativa con respecto a la variación de i_C con i_B porque el parámetro h_{fe} en transistores del mismo tipo puede ser bastante diferente.

La suposición de líneas equidistantes en la característica de salida permite que el circuito de colector sea reemplazado por una fuente de corriente dependiente, como se muestra en la Figura 2.2-8. Este modelo no tiene en cuenta las regiones de saturación y corte y sólo es válido en zona activa; es idéntico al circuito de salida mostrado en la Figura 2.2-5*a*, excepto en que la fuente depende de la corriente de base en lugar de depender de la corriente de emisor.

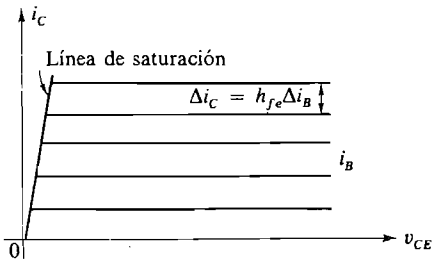


Figura 2.2-7. Característica de salida idealizada del transistor *npn*.

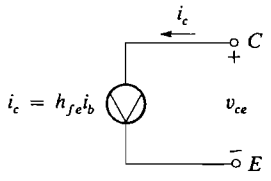


Figura 2.2-8. Modelo de fuente de corriente controlada y pequeña señal del transistor *npn* idealizado válido para la región activa.

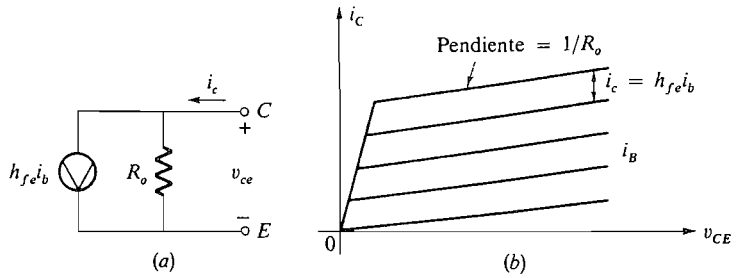


Figura 2.2-9. Característica *vi* lineal por tramos y circuito equivalente en pequeña señal de transistor *npn*, incluyendo R_o: (*a*) circuito equivalente; (*b*) característica *vi* lineal por tramos.

Se puede avanzar un paso más y tener en cuenta la pendiente no nula de las curvas incluyendo una resistencia R_o en paralelo con la fuente de corriente como se muestra en la Figura 2.2-9*a*. Para un transistor de silicio esta resistencia es típicamente de 100 kΩ. Como es de elevado valor, normalmente se desprecia (se considera de valor infinito). Las curvas características de salida *vi* son en este caso las de la Figura 2.2-9*b*. Hay que advertir que el circuito de la Figura 2.2-9*a* es un modelo de pequeña señal para el circuito de salida y es válido únicamente en zona activa (se estudiará en detalle en el Capítulo 6).

En el resto de este capítulo se supone que el transistor es un dispositivo lineal (algunas de las características no lineales del transistor se analizarán en los capítulos siguientes). Si no se especifica, se supone que el transistor es de silicio, con $|V_{BE}| = 0{,}7$ V y que I_{CBO} es suficientemente pequeña y puede despreciarse.

2.2-3. El transistor Schottky

Cuando un transistor se satura, el exceso de carga se almacena en las uniones base-emisor y base-colector. Refiriéndonos a la Sección 1.8, se puede advertir que si tratamos de polarizar de forma inversa un diodo, llevándolo al estado de no conducción, deberemos descargar la capacidad C_s del diodo. Como las uniones base-emisor y base-colector de un transistor pueden ser consideradas como diodos polarizados directamente, es de esperar que para cortar un transistor saturado sea necesario desalojar la carga almacenada en las capacidades de los diodos base-emisor y base-colector. Un diodo Schottky conectado entre base y colector serviría para acelerar la transición de directamente polarizado a corte, ya que el Schottky tiene una capacidad $C_s \approx 0$. Se puede utilizar también para evitar la saturación del transistor. Esta configuración, compuesta por un Schottky y un transistor, se muestra en la Figura 2.2-10*a* y se conoce como *transistor Schottky*. El símbolo aparece reflejado en la Figura 2.2-10*b*. Cuando se coloca un Schottky en paralelo con el transistor la tensión base-colector no puede hacerse mayor de 0,3 V, la caída directa en un Schottky. Como $v_{CE} = v_{BE} - v_{BC} \approx 0{,}7 - 0{,}3 = 0{,}4$, advertimos que la tensión colector-emisor siempre será mayor o igual que 0,4 V. Cuando $v_{CE} = 0{,}4$ V, $v_{CE}/V_T \approx 16$ y, como se muestra en la Figura 2.2-6, el transistor no está en saturación; así, para valores razonables de h_{FE} y h_{FC}, $i_C/i_B \approx h_{FE}$ cuando $v_{CE} \geqslant 0{,}4$ V. Por ejemplo, considérese que se utiliza un transistor Schottky en el apartado (*b*) del Ejemplo 2.2-1 (Fig. 2.2-4); el

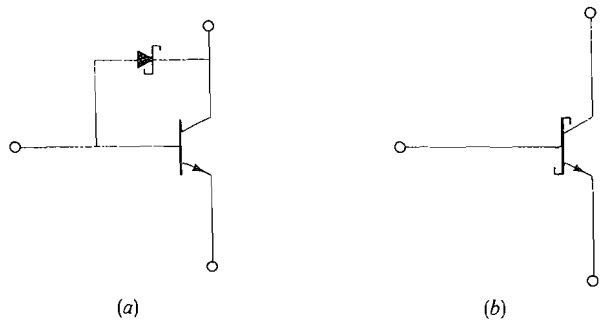


Figura 2.2-10. El transistor Schottky: (*a*) transistor normal con unión base-colector en paralelo con un diodo Schottky; (*b*) símbolo de circuito.

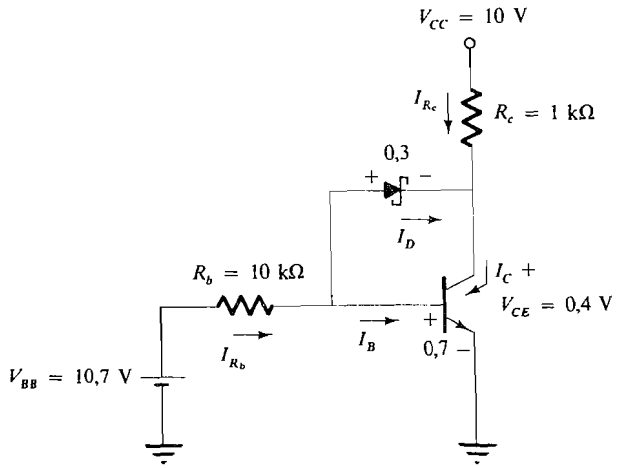


Figura 2.2-11. Efecto del diodo Schottky sobre el funcionamiento en reposo o sin señal de un amplificador con transistor.

circuito resultante se muestra en la Figura 2.2-11. Hay que advertir que V_{BB} = 10,7 V y V_{BE} = 0,7 V, I_{Rb} = 1 mA. Sin embargo, la corriente de colector I_C viene ahora dada por:

$$I_C = I_{R_c} + I_D \tag{2.2-18a}$$

Como la tensión en el diodo es de 0,3 V, la tensión colector-emisor V_{CE} = 0,4 V e I_{R_c} = 9,6 mA. La corriente del diodo I_D es

$$I_D = I_{R_b} - I_B = 1 \text{ mA} - \frac{I_C}{h_{FE}} \tag{2.2-18b}$$

Sustituyendo (2.2-18*b*) en (2.2-18*a*) queda:

$$I_C = 9{,}6 \text{ mA} + \text{mA} - \frac{I_C}{h_{FE}} \qquad (2.2\text{-}18c)$$

y, por tanto $I_C \approx 10{,}5$ mA

Por tanto, la corriente de base $I_B \approx 105$ μA, y la del diodo $I_D \approx 0{,}9$ mA. La corriente suministrada por la tensión de alimentación de 10 V es $I_R = 9{,}6$ mA.

2.3. ANALISIS GRAFICO DE CIRCUITOS CON TRANSISTORES

En el Capítulo 1, el análisis de circuitos con diodos se realizó según tres métodos generales: el método gráfico, la aproximación lineal por tramos y el análisis lineal de pequeña señal utilizando parámetros *incrementales* o *dinámicos*. Todos estos métodos se usan en el análisis de circuitos con transistores. En esta sección y las siguientes se empleará una combinación de los métodos gráficos y de la aproximación lineal para diseñar un amplificador en emisor común para obtener la máxima variación simétrica de la corriente de colector. Determinaremos asimismo la máxima potencia disipada en el transistor y en la resistencia de carga y la potencia suministrada por la fuente V_{CC}.

2.3-1. El amplificador básico

El amplificador básico con un transistor en la configuración de emisor común se muestra en la Figura 2.3-1. Las resistencias R_1, R_2, R_L y R_e, así como la fuente de tensión V_{CC} se eligen de forma que el transistor opere linealmente y se obtenga la máxima variación cresta a cresta posible en I_C. Las resistencias R_1 y R_2 forman un divisor de tensión de la tensión V_{CC}. La función de esta red es facilitar la polarización necesaria para que la unión base-emisor esté en la región apropiada. La Figura 2.3-1 puede simplificarse mediante la obtención del equivalente Thévenin para R_1, R_2 y V_{CC}, como se muestra en la Figura 2.3-2*a*. La conversión Thévenin puede ser realizada en cualquier dirección, utilizando:

$$V_{BB} = \frac{R_1}{R_1 + R_2} V_{CC} \qquad (2.3\text{-}1a)$$

y

$$R_b = \frac{R_1 R_2}{R_1 + R_2} \qquad (2.3\text{-}1b)$$

o

$$R_1 = \frac{R_b}{1 + V_{BB}/V_{CC}} \qquad (2.3\text{-}1c)$$

y

$$R_2 = R_b \frac{V_{CC}}{V_{BB}} \qquad (2.3\text{-}1d)$$

El circuito simplificado resultante del amplificador en emisor común se observa en la Figura 2.3-2*b*. Hay que hacer notar que debido a las fuentes de tensión continua V_{CC} y V_{BB}, circulan por el transistor las corrientes continuas I_{BQ}, I_{CQ} e I_{EQ}, y que debido a la

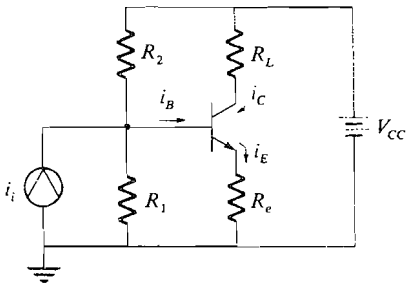


Figura 2.3-1. Amplificador básico en configuración en emisor común.

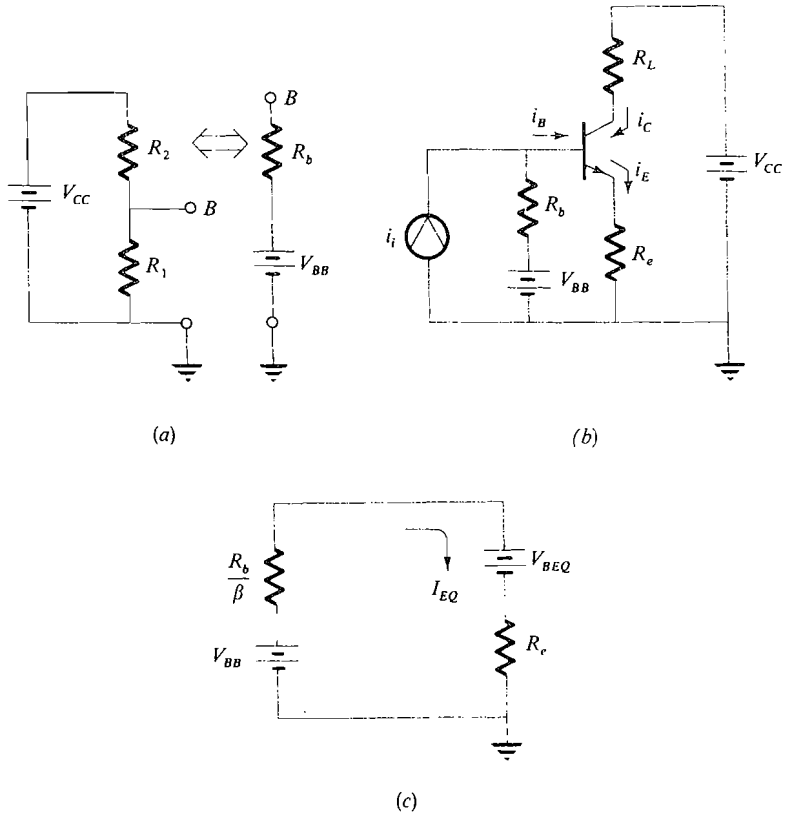


Figura 2.3-2. Una simplificación útil del amplificador en emisor común: (*a*) equivalente Thévenin del circuito de polarización; (*b*) amplificador simplificado; (*c*) circuito de polarización.

corriente de entrada i_i, circulan las corrientes de pequeña señal i_b, i_c e i_e. Por tanto las corrientes totales en el transistor son:

$$i_B = I_{BQ} + i_b \tag{2.3-2a}$$

$$i_C = I_{CQ} + i_c \tag{2.3-2b}$$

y

$$i_E = I_{EQ} + i_e \tag{2.3-2c}$$

Como i_i provoca cambios en la corriente de colector, la tensión colector-emisor también cambia y

$$v_{CE} = V_{CEQ} + v_{ce} \tag{2.3-2d}$$

La forma de trabajo del amplificador se determina haciendo inicialmente $i_i = 0$, con lo que las condiciones de continua predominan. Se calcula así el punto de funcionamiento en reposo. Seguidamente, con i_i presente se determina la línea de carga que nos indica cómo varían la corriente y la tensión en el circuito.

Consideramos inicialmente $i_i = 0$. Entonces

$$V_{CC} = v_{CE} + i_C R_L + i_E R_e \tag{2.3-3a}$$

Como $i_C = \alpha_{iE} \approx i_E$, la expresión anterior puede escribirse de la siguiente forma:

$$V_{CC} = v_{CE} + i_C(R_L + R_e) \tag{2.3-3b}$$

Se obtiene una segunda ecuación utilizando la ley de Kirchhoff para tensiones en el circuito base-emisor. Considerando de nuevo $i_i = 0$ en el instante inicial,

$$V_{BB} - i_B R_b = v_{BE} + i_E R_e \tag{2.3-3c}$$

Como

$$i_B = i_E(1 - \alpha)$$

la expresión (2.3-3c) pasa a ser

$$V_{BB} - v_{BE} = i_E[R_e + (1 - \alpha)R_b]$$

y

$$i_E = \frac{V_{BB} - v_{BE}}{R_e + (1 - \alpha)R_b} \tag{2.3-4a}$$

Teniendo en cuenta que $1 - \alpha = 1/(\beta + 1) \approx 1/\beta$ para $\beta \gg 1$, que es lo habitual, y como no hay señal, con lo que $v_{BE} = V_{BEQ}$ (2.3-4a) pasa a ser

$$I_{EQ} = \frac{V_{BB} - V_{BEQ}}{R_e + R_b/\beta} \tag{2.3-4b}$$

o

$$I_{EQ}R_e + I_{EQ}\frac{R_b}{\beta} = V_{BB} - V_{BEQ} \tag{2.3-4c}$$

Esta ecuación describe exactamente el circuito de la Figura 2.3-2c, que se denomina *circuito de polarización en continua.* Este circuito es útil como ayuda conceptual en los cálculos de polarización porque es fácil de recordar. Su uso se mostrará en los ejemplos.

Las diferencias entre transistores individuales pueden hacer que el parámetro $1/(\beta + 1)$ varíe en una proporción de 3 o más, a 1, lo que cambia, así, la corriente de emisor en continua. Por este motivo los circuitos se diseñan de forma que

$$R_e \gg \frac{R_b}{\beta + 1} \approx \frac{R_b}{\beta} \qquad (2.3\text{-}5a)$$

para eliminar las variaciones de i_E debidas a variaciones de β. Habitualmente se toma

$$R_e = \frac{10R_b}{\beta} \qquad \text{o} \qquad R_b = \frac{\beta R_e}{10} \qquad (2.3\text{-}5b)$$

Esto asegura que el transistor estará bien polarizado, con una corriente de emisor constante y que el punto Q no cambiará de forma significativa si se sustituye el transistor original por otro con una β diferente. Utilizando la regla dada en (2.3-5*b*) observamos que (2.3-4*a*) puede expresarse como

$$I_{CQ} \approx I_{EQ} \approx \frac{V_{BB} - V_{BEQ}}{1{,}1R_e} \qquad (2.3\text{-}6)$$

donde $V_{BEQ} \approx 0{,}7$ V.

Las ecuaciones (2.3-3*b*) y (2.3-6) pueden resolverse algebraicamente para $v_{CE} = V_{CEQ}$:

$$V_{CEQ} = V_{CC} - (V_{BB} - 0{,}7)(0{,}9)\left(1 + \frac{R_L}{R_e}\right) \qquad (2.3\text{-}7)$$

Las Ecuaciones (2.3-6) y (2.3-7) nos dan la corriente continua (en reposo) en las condiciones de trabajo del circuito de la Figura 2.3-2. Pasamos ahora a analizarlo de forma gráfica para determinar el valor de I_{CQ} (corriente de colector en reposo) que permita la máxima variación de la corriente de colector. Antes conviene aclarar la interpretación de algunas de las ecuaciones anteriores, en función del análisis de diodos del Capítulo 1 y de la teoría de transistores de la Sección 2.2. Considérese la ecuación (2.3-3*b*) que describe la forma de trabajo del lazo colector-emisor. Tiene la misma forma que la obtenida en el circuito de diodos de la Sección 1.3, con la importante diferencia de que la unión está inversamente polarizada. Las variables v_{CE} e i_C están relacionadas por la característica *vi* dada en la Figura 2.2-4. Así (2.3-3*b*) representa una recta de carga en continua, por lo que procederemos a resolver de forma gráfica, de la misma manera que para el diodo. Esta recta de carga se dibuja en la Figura 2.3-3*a*.

La recta de carga define la trayectoria de funcionamiento de este circuito. Cuando v_{CE} es menor que 0,1 ó 0,2 V (Fig. 2.2.-4) se dice que el transistor está saturado, como se indicó anteriormente; cuando la corriente de colector se anula ($v_{CE} = V_{CC}$ en este ejemplo) se dice que el transistor está cortado.

Hay que advertir que

$$i_C = I_{CQ} + i_c \qquad \text{y} \qquad v_{CE} = V_{CEQ} + v_{ce}$$

Por tanto, como en el Capítulo 1, es posible dibujar unos ejes $i_c - v_{ce}$ con origen en el punto Q, como en la figura.

Si se conoce la variación de i_b, los valores de v_{ce} e i_c se pueden hallar utilizando la construcción gráfica de la Figura 2.3-3*b*. No es necesario realizarlo, a no ser que se tenga en cuenta la no linealidad de las características del colector.

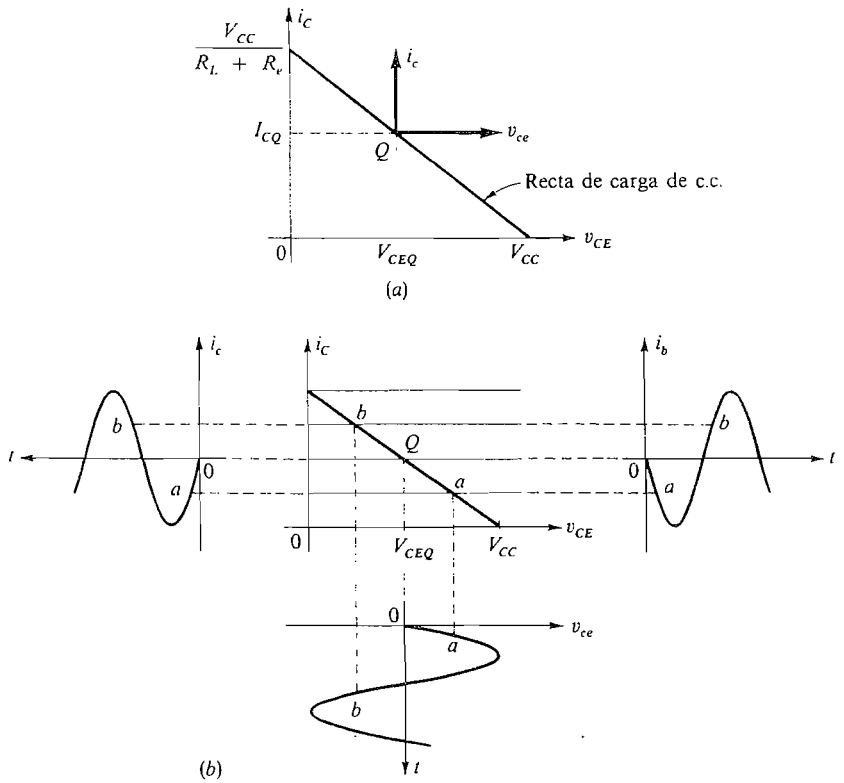


Figura 2.3-3. Análisis gráfico: (*a*) recta de carga; (*b*) formas de onda.

Debido a la dispersión de β, considerar las curvas i_B constantes en la característica *vi* es significativo cuantitativamente sólo en el caso de que se hayan medido para el transistor que se considere. Los resultados obtenidos así a partir de la Figura 2.3-3*b* probablemente no sean válidos si se reemplaza el transistor medido por otro del mismo tipo pero con un valor diferente de β. Por esta razón, las curvas de la corriente de base i_B habitualmente se omiten cuando se realiza un análisis gráfico. La Figura 2.3-3*b* es importante ya que muestra las relaciones entre las fases de i_b, i_c y v_{ce}. Así, cuando i_b se incrementa, i_c se incrementa también y v_{ce} disminuye. Esta circunstancia queda claramente reflejada en los puntos *a* y *b* de las formas de onda de la Figura 2.3-3*b*.

2.3-2. Máxima variación simétrica

Una de las primeras decisiones que implica el diseño de un amplificador en emisor común es la elección del punto *Q*. En la Figura 2.3-3*a* el punto *Q* se elige como el punto medio de la recta de carga. Esto permite que la corriente de colector experimente la máxima excursión de forma simétrica, condición conocida como *máxima variación simétrica* (margen dinámico). Si las excursiones de la señal de entrada son suficientemente grandes como para

mover el punto de funcionamiento de forma apreciable sobre la recta de carga, tenemos claramente una condición de diseño que asegurará un funcionamiento lineal para el rango máximo de la señal de entrada. En esta sección mostraremos cómo diseñar la red de polarización para que el punto Q quede colocado en el centro de la recta de carga obteniendo así la máxima variación simétrica.

Hay muchas condiciones bajo las cuales la máxima variación simétrica no es ni necesaria ni deseable. Por ejemplo, si la excursión de señal cubre solamente una porción pequeña de la recta de carga podemos elegir la localización del punto Q en base a otras especificaciones. Un problema habitual es minimizar la corriente suministrada por la fuente de alimentación; para conseguirlo situaremos el punto Q tan próximo al corte como sea posible. Esta colocación de Q se analizará en la próxima sección.

Como la corriente de colector puede variar de cero a $V_{CC}/(R_L + R_e)$ (despreciando la pequeña tensión de saturación), una corriente de reposo

$$I_{CQ} = \frac{V_{CC}/2}{R_L + R_e} \tag{2.3-8}$$

producirá la máxima variación simétrica en la corriente de colector. Si se aplica una corriente de base senoidal para producir esta variación, la corriente de colector total será:

$$i_C = I_{CQ} + i_c \tag{2.3-9}$$

donde

$$I_{CQ} = \frac{V_{CC}/2}{R_L + R_e} \tag{2.3-10}$$

e

$$i_c = \frac{V_{CC}/2}{R_L + R_e} \cos \omega t = I_{cm} \cos \omega t \tag{2.3-11}$$

Las limitaciones en la cantidad de corriente que puede circular de forma segura, la tensión de colector y la potencia que puede ser disipada en el transistor, se discuten en el Capítulo 5.

Es interesante observar el efecto de las variaciones de β en la respuesta del circuito amplificador de la Figura 2.3-2*b*. Dicho efecto puede verse con ayuda de la Figura 2.3-4*a*, que muestra un punto nominal de reposo en

$$V_{CEQ} = \frac{V_{CC}}{2} \qquad I_{CQ} = 6 \text{ mA} \qquad \text{e} \qquad I_{BQ} = 30 \ \mu\text{A}$$

Si ahora sustituimos el transistor original por uno que tenga $\beta_2 = 2\beta_1$, siendo β el parámetro correspondiente al primer transistor y ajustamos R_1 y R_2 de forma que la corriente de base en el equilibrio continúe siendo de 30 μA, el punto Q se desplazará (véase Figura 2.3-4*b*) a

$$V_{CEQ} = 0 \qquad I_{CQ} = 12 \text{ mA} \qquad I_{BQ} = 30 \ \mu\text{A}$$

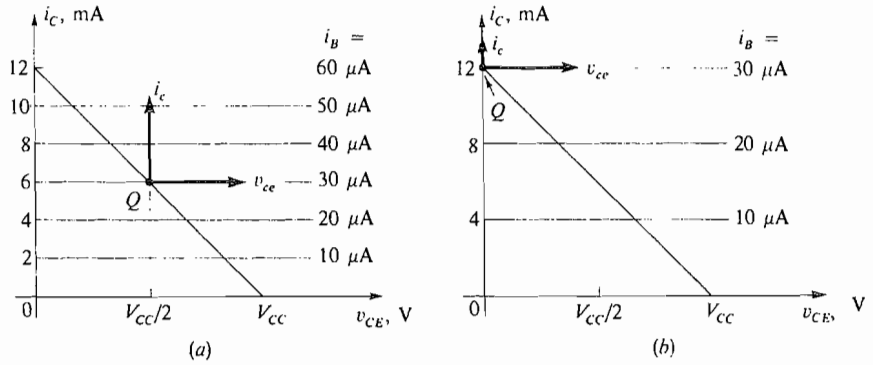


Figura 2.3-4. Efecto de la variación de β sobre el punto Q: (*a*) $\beta_1 = 200$; (*b*) $\beta_2 = 400$.

Así, en un transistor tenemos una máxima variación de tensión de colector mientras que el otro transistor entra en saturación y, por tanto, en él no existe esa variación. Esta es la razón básica para que la inecuación expresada en (2.3-5*a*) se cumpla de forma que el transistor esté polarizado con una corriente de emisor constante en lugar de una corriente de base constante. La forma de conseguir que el circuito de entrada alcance el punto Q deseado se muestra en el Ejemplo 2.3-3 y se analiza en la Sección 2.3-3.

EJEMPLO 2.3-1

En el circuito de la Figura 2.3-2, $V_{CC} = 15$ V, $R_L = 1$ kΩ y $R_e = 500\ \Omega$. Determínese el máximo desplazamiento simétrico en la corriente de colector y el punto Q.

Solución

La recta de carga en continua se dibuja en la Figura 2.3-5. Con el objeto de obtener el máximo desplazamiento simétrico se elige la corriente de colector en reposo en el centro de la recta de carga. Así:

$$I_{CQ} = 5 \text{ mA} \qquad \text{y} \qquad V_{CEQ} = 7{,}5 \text{ V}$$

La corriente de colector cresta a cresta puede alcanzar 10 mA.

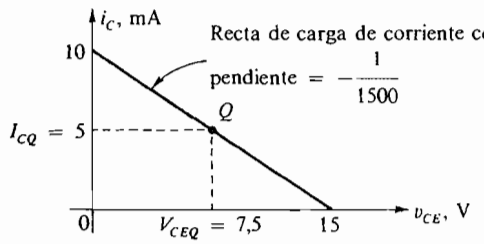


Figura 2.3-5. Recta de carga para el Ejemplo 2.3-1.

EJEMPLO 2.3-2

Determinar el punto de funcionamiento Q que permita obtener el máximo desplazamiento simétrico en la corriente de colector en el circuito de la Figura 2.3-6.

Solución

La ecuación de la recta de carga para el circuito es

$$9 \approx V_{CEQ} + I_{CQ}(1000 + 200)$$

donde se ha supuesto que $200\, I_{EQ} \approx 200\, I_{CQ}$, esto es $\alpha \approx 1$. La ecuación de la recta de carga se dibuja como se muestra. Cuando la tensión colector-emisor es cero (saturación), circula la máxima corriente de colector (7,5 mA).

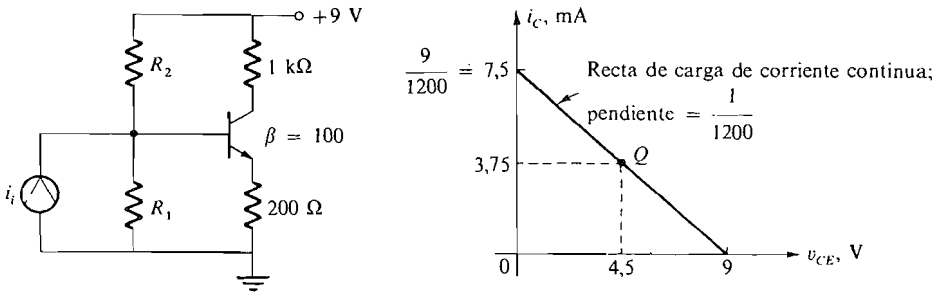


Figura 2.3-6. Circuito y recta de carga del Ejemplo 2.3-2.

Así, para conseguir un desplazamiento simétrico máximo, el punto Q debe ser colocado en 3,75 mA con lo que la corriente de pico será 3,75 mA. Este resultado se obtiene suponiendo que la tensión de saturación es cero. El lector puede verificar que la solución no se altera de forma significativa suponiendo que la saturación ocurre cuando $v_{CE,\,sat} = 0{,}2$ V. Si el punto Q se coloca en 3,5 mA el máximo desplazamiento simétrico se reduce a 3,5 mA; si el punto Q se coloca en 4 mA el máximo desplazamiento simétrico será nuevamente 3,5 mA.

EJEMPLO 2.3-3

Determinar R_1 y R_2 en el Ejemplo 2.3-2 para colocar el punto Q en $I_{CQ} = 3{,}75$ mA, $V_{CEQ} = 4{,}5$ V.

Solución

El circuito de polarización en continua se muestra en la Figura 2.3-7. Para estabilizar la corriente en el punto de equilibrio frente a variaciones de β usaremos la regla dada en (2.3-5*b*):

$$R_b = \frac{\beta R_e}{10} = \frac{(100)(200)}{10} = 2\ \text{k}\Omega$$

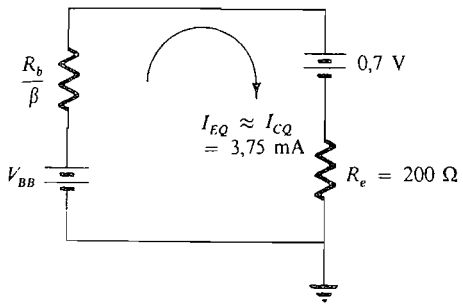


Figura 2.3-7. Circuito de polarización de c.c. para el Ejemplo 2.3-3.

Entonces del circuito de polarización en continua:

$$V_{BB} = (3{,}75)\left(200 + \frac{2000}{100}\right) \times 10^{-3} + 0{,}7 = 1{,}525 \text{ V}$$

Conocidas V_{BB} y R_b, R_1 y R_2 pueden determinarse de (2.3-1*c*) y (2.3-1*d*).

$$R_1 = \frac{R_b}{1 - V_{BB}/V_{CC}} = \frac{2 \text{ k}\Omega}{1 - 1{,}525/9} \approx 2{,}41 \text{ k}\Omega$$

y

$$R_2 = \frac{V_{CC}}{V_{BB}} R_b = \frac{9}{1{,}525}(2 \text{ k}\Omega) \approx 11{,}8 \text{ k}\Omega$$

En la práctica se utilizan resistencias de valores estándar. Así

$$R_1 = 2{,}2 \text{ k}\Omega \quad \text{y} \quad R_2 = 12 \text{ k}\Omega$$

Estos valores estándar para R_1 y R_2 nos conducen a:

$$V_{BB} = \frac{2{,}2}{14{,}2}(9) \approx 1{,}4 \text{ V} \quad \text{y} \quad R_b = \frac{(2{,}2)(12)}{14{,}2} \approx 1{,}9 \text{ }\Omega$$

La corriente de reposo resultante es entonces [Ecuación (2.3-6)]:

$$I_{CQ} \approx \frac{1{,}4 - 0{,}7}{(1{,}1)(200)} = 3{,}18 \text{ mA}$$

Así, debido al uso de resistencias estándar, el máximo desplazamiento es 3,18 mA, cerca de los 3,75 mA. Como se ha despreciado la tensión de saturación es de esperar que el máximo desplazamiento sea algo menor de 3,18 mA.

2.3-3. Colocación arbitraria del punto *Q*

Como previamente se ha advertido, el punto Q puede colocarse en cualquier punto de la recta de carga mediante la elección correcta de las resistencias de polarización R_1 y R_2. El circuito de polarización en continua puede ser utilizado de forma ventajosa como ayuda

para entender el circuito en el proceso de diseño. Una vez elegida R_b para conseguir una polarización estable, toda la información que se necesite se puede obtener del circuito de polarización en continua. Un problema típico se resuelve en el siguiente ejemplo.

EJEMPLO 2.3-4

En el circuito de la Figura 2.3-6 calcular los nuevos valores de R_1 y R_2 que minimicen la corriente en reposo siministrada por la fuente de alimentación. Supóngase que el valor máximo de la señal de entrada es tal que el máximo desplazamiento de la corriente de colector en torno al punto Q es de 1 mA cresta a cresta.

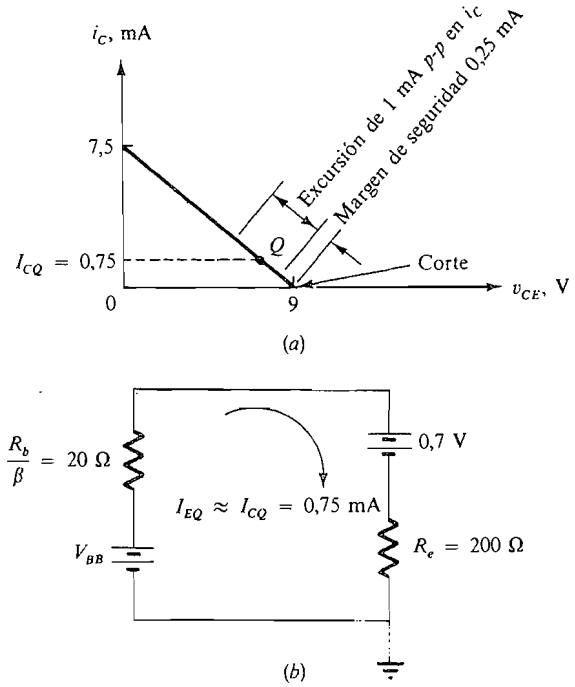


Figura 2.3-8. Recta de carga y circuito de polarización de c.c. para el Ejemplo 2.3-4.

Solución

Con el objeto de tener un margen de seguridad, dejaremos 0,25 mA por encima del punto más bajo esperado en el desplazamiento de la corriente de colector. Así, como se muestra en la recta de carga de la Figura 2.3-8, el punto Q se localiza en I_{CQ} = 1 mA/2 + 0,25 mA = 0,75 mA. El circuito de polarización en continua es el mostrado en la figura. Para elegir R_b se ha utilizado el factor de 10 de la regla dada para la estabilidad del circuito. Del circuito de polarización en continua

$$V_{BB} = (0{,}75)(220)(10^{-3}) + 0{,}7 = 0{,}865 \text{ V}$$

Utilizando (2.3-1*c*) y (2.3-1*d*):

$$R_1 = \frac{R_b}{1 - V_{BB}/V_{CC}} = \frac{2\ \text{k}\Omega}{1 - 0{,}865/9} = 2{,}2\ \text{k}\Omega$$

$$R_2 = \frac{V_{CC}}{V_{BB}} R_b = \frac{9}{0{,}865}(2\ \text{k}\Omega) = 20{,}8\ \text{k}\Omega$$

De entre los valores estándar escogemos $R_1 = 2{,}2\ \text{k}\Omega$ y $R_2 = 20\ \text{k}\Omega$ (Se elige el valor más próximo inferior de R_2 para no bajar el margen de seguridad ¿Por qué?)

Estimación rápida de las condiciones en reposo de los circuitos con transistores. A menudo es útil poder hacer una estimación rápida de la corriente en reposo en un amplificador con un transistor. Con el circuito de polarización en continua se puede hacer fácilmente despreciando R_b/β. En este caso tenemos que

$$I_{CQ} \approx \frac{V_{BB} - 0{,}7}{R_e}$$

Con R_e conocido, V_{BB} se halla mediante el divisor de tensión formado por R_1 y R_2. Considerando el Ejemplo 2.3-4, donde $R_1 = 2{,}2\ \text{k}\Omega$ y $R_2 = 20\ \text{k}\Omega$, entonces

$$V_{BB} \approx \frac{2{,}2}{2{,}2 + 20}(9) = 0{,}892\ \text{V} \quad \text{e} \quad I_{CQ} \approx \frac{0{,}892 - 0{,}7}{0{,}2} = 0{,}96\ \text{mA}$$

El valor de diseño para I_{CQ} fue de 0,75 mA, pero como hemos despreciado R_b/β se puede esperar que las estimaciones sean altas.

Sumario

En este punto haremos un resumen del significado de la recta de carga y del punto de funcionamiento.

Recta de carga. Una vez establecida la recta de carga con R_L, R_e y V_{CC} en el circuito de colector, quedan totalmente definidos todos los puntos de funcionamiento. Esto significa que con independencia de la señal que está presente en la entrada del circuito, la tensión en el colector y la corriente deben encontrarse en dicha recta de carga; en otras palabras: la recta de carga representa todos los puntos de funcionamiento del circuito de colector.

El diseñador elige la ubicación de la recta de carga de acuerdo con las especificaciones impuestas por el amplificador, como se muestra en los ejemplos anteriores.

Punto de funcionamiento (*Q*). La red de polarización R_1, R_2 y V_{CC}, fija el punto de funcionamiento en la recta de carga con el objeto de obtener las especificaciones pertinentes. Como vemos en los Ejemplos 2.3-3 y 2.3-4, el punto de funcionamiento puede colocarse en cualquier lugar de la recta de carga mediante la elección correcta de los componentes de la red de polarización.

2.4. CALCULOS DE POTENCIA

En el diseño de amplificadores con transistores se necesita hacer cálculos de potencia por varias razones. Una es que los amplificadores deben aceptar señales a un nivel de potencia dado y suministrarlas a la carga a otro nivel de potencia (generalmente mucho más elevado). Otra razón es que los elementos en un amplificador a transistores tienen limitaciones sobre la cantidad de potencia que pueden disipar. Los transistores están especificados de acuerdo con la máxima disipación de colector permisible; si se excede esta especificación, el transistor puede resultar dañado. Las resistencias también se especifican de acuerdo con la máxima disipación de potencia, siendo típicos los valores 0,1, 0,5, 1, 2 y 10 W. Puesto que el tamaño y el coste son proporcionales a la especificación de potencia, siempre tratamos de utilizar la especificación de potencia más baja consistente con la potencia real que se espera que disipe. Finalmente, la fuente de alimentación de c.c., que proporciona la V_{CC}, es capaz de proporcionar sólo una cantidad finita de potencia que no puede ser excedida. En esta sección se calculará la potencia suministrada por la fuente de alimentación V_{CC}, la potencia disipada en R_L y R_e, y la potencia disipada en el transistor.

La potencia media suministrada por cualquier dispositivo lineal o no lineal, o disipada por él, es:

$$P = \frac{1}{T}\int_0^T V(t)I(t)\,dt \tag{2.4-1}$$

donde V = tensión total aplicada al dispositivo
I = corriente total que circula por el dispositivo
T = período de una componente variable con el tiempo de V (o de I)

Si

$$V = V_{av} + v(t) \tag{2.4-2a}$$

e

$$I = I_{av} + i(t) \tag{2.4-2b}$$

donde V_{av} e I_{av} son valores medios y $v(t)$ e $i(t)$ son componentes variables con el tiempo con un valor medio nulo, se tendrá

$$\begin{aligned} P &= \frac{1}{T}\int_0^T [V_{av} + v(t)][I_{av} + i(t)]\,dt \\ &= \frac{1}{T}\int_0^T V_{av}I_{av}\,dt + \frac{1}{T}\int_0^T V_{av}i(t)\,dt \\ &\quad + \frac{1}{T}\int_0^T I_{av}v(t)\,dt + \frac{1}{T}\int_0^T v(t)i(t)\,dt \\ &= V_{av}I_{av} + \frac{1}{T}\int_0^T v(t)i(t)\,dt \end{aligned} \tag{2.4-3a}$$

ya que

$$\frac{1}{T}\int_0^T i(t)\,dt = \frac{1}{T}\int_0^T v(t)\,dt = 0 \qquad (2.4\text{-}3b)$$

por definición de $i(t)$ y $v(t)$. La Ecuación (2.4-3*a*) indica que la potencia media disipada por un dispositivo consiste en la suma de la potencia de los términos de corriente continua (media) y de los de corriente alterna.

Potencia media disipada en la carga. Ahora consideremos el circuito a transistor de la Figura 2.3-2*b*. La potencia de c.a. disipada en la carga, $P_{L,\,ca}$, es

$$P_{L,\,ca} = \frac{1}{T}\int_0^T i_c^2 R_L\,dt \qquad (2.4\text{-}4a)$$

Suponiendo i_c senoidal

$$i_c = I_{cm}\cos\omega t \qquad (2.4\text{-}4b)$$

La potencia de c.a. disipada en la carga se convierte en

$$\begin{aligned} P_{L,\,ca} &= \frac{1}{T}\int_0^T R_L I_{cm}^2 \cos^2 \omega t\,dt \\ &= R_L\frac{1}{T}\int_0^T \frac{I_{cm}^2}{2}(1 + \cos 2\omega t)\,dt = \frac{I_{cm}^2 R_L}{2} \end{aligned} \qquad (2.4\text{-}4c)$$

La Ecuación (2.4-4*c*) se ha trazado en la Figura 2.4-1 como función de I_{cm} para el amplificador del Ejemplo 2.3-1. Como la potencia aumenta de forma cuadrática con I_{cm}, la potencia de c.a. máxima se disipa en la carga cuando I_{cm} es máxima. Si se escoge una corriente de reposo de colector que dé una máxima excursión,

$$I_{cm,\,máx} = I_{CQ}$$

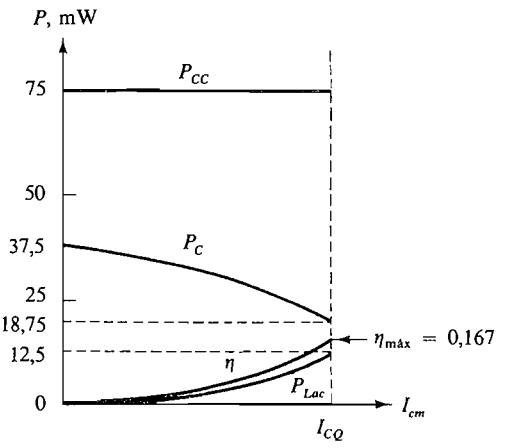


Figura 2.4-1. Relaciones de potencia en el amplificador en emisor común del Ejemplo 2.4-1.

Entonces la potencia media máxima disipada en la carga es

$$(P_{L,\,ca})_{máx} = \frac{I_{CQ}^2 R_L}{2} \tag{2.4-5a}$$

Aplicando (2.3-10), tenemos

$$(P_{L,\,ca})_{máx} = \frac{V_{CC}^2 R_L}{8(R_L + R_e)^2} \tag{2.4-5b}$$

Para obtener la máxima potencia disipada en la carga, la resistencia de emisor se hace mucho menor que la de carga, o sea, $R_L \gg R_e$. Entonces la excursión de la tensión de c.a. pico a pico en bornes de R_L es aproximadamente V_{CC}, y

$$(P_{L,\,ca})_{máx} \approx \frac{V_{CC}^2}{8R_L} \tag{2.4-5c}$$

Obsérvese que la disminución de R_e requiere una disminución de R_b [Ec. 2.3-5)], lo cual, a su vez, produce una disminución de la ganancia de corriente (Cap. 6). En la práctica, para cada grado de estabilidad hay un límite inferior de R_e frente a las variaciones de β y de la temperatura. Esto se estudiará en el Capítulo 4.

Potencia media suministrada por la fuente de alimentación. La potencia media suministrada por la fuente de alimentación es

$$P_{CC} = \frac{1}{T}\int_0^T V_{CC} i_C \, dt = \frac{1}{T}\int_0^T V_{CC}[I_{CQ} + i_c(t)] \, dt = V_{CC} I_{CQ} \tag{2.4-6a}$$

La potencia suministrada es constante e independiente de la potencia de señal en el supuesto de ausencia de distorsión. Bajo las condiciones anteriores, cuando se escoja I_{CQ} para obtener la máxima excursión simétrica.

$$I_{CQ} = \frac{V_{CC}}{2(R_L + R_e)} \tag{2.4-6b}$$

De donde

$$P_{CC} = \frac{V_{CC}^2}{2(R_L + R_e)} \approx \frac{V_{CC}^2}{2R_L} \quad \text{donde } R_L \gg R_e \tag{2.4-6c}$$

Potencia media disipada en el colector. La potencia media disipada en el colector P_C es

$$\begin{aligned} P_C &= \frac{1}{T}\int_0^T v_{CE} i_C \, dt = \frac{1}{T}\int_0^T [V_{CC} - (R_L + R_e) i_C] i_C \, dt \\ &= \frac{1}{T}\int_0^T V_{CC} i_C \, dt - (R_L + R_e)\frac{1}{T}\int_0^T i_C^2 \, dt \end{aligned} \tag{2.4-7a}$$

El primer término es igual a la potencia suministrada por la fuente de alimentación P_{CC}. La segunda integral representa la potencia en corriente continua y alterna disipada en la carga, P_L, y en la resistencia de emisor, P_E. Este resultado es evidente, ya que la potencia suministrada por la fuente de alimentación debe ser igual a la suma de todas las demás potencias*:

$$P_{CC} = P_C + P_L + P_E \tag{2.4-7b}$$

La ecuación (2.4-7*a*) puede desarrollarse después de integrar

$$\frac{1}{T}\int_0^T i_C^2\, dt = \frac{1}{T}\int_0^T (I_{CQ} + I_{cm}\cos \omega t)^2\, dt = I_{CQ}^2 + \frac{I_{cm}^2}{2} \tag{2.4-7c}$$

Luego

$$P_C = P_{CC} - (R_L + R_e)I_{CQ}^2 - (R_L + R_e)\frac{I_{cm}^2}{2} \tag{2.4-7d}$$

La potencia disipada en el colector [Ec. 2.4-7*d*)] se ha dibujado en la Figura 2.4-1. Se ve que la disipación en el colector es máxima en ausencia de señal.

$$P_{C,\,máx} = P_{CC} - (R_L + R_e)I_{CQ}^2 = \frac{V_{CC}^2}{4(R_L + R_e)} \approx \frac{V_{CC}^2}{4R_L} \tag{2.4-8}$$

En la mayor parte de los circuitos con transistores de baja potencia la energía disipada en el circuito de entrada es pequeña, de modo que P_C representa la disipación interna total del transistor. El valor máximo de P_C viene dado siempre por el fabricante y no debe sobrepasarse si quiere mantenerse la temperatura de la unión dentro de los límites admisibles. Esto se estudiará con detalle en el Capítulo 5.

Es interesante e importante tener en cuenta que la fuente de alimentación sólo suministra energía en continua. Sin embargo, la potencia útil disipada en la carga es potencia alterna, o sea, disipación resultante de una señal de corriente alterna presente en la carga. Esta potencia de alterna es generada en el transistor amplificador y aparece como tercer término de (2.4-7*d*). Así, el aumento de la corriente alterna aumenta la potencia de c.a. generada. Esto disminuye la disipación del colector y aumenta la potencia suministrada a la carga (y a la resistencia de emisor, en este caso).

La máxima disipación de colector es el doble de la potencia máxima que se puede suministrar a la carga. Por tanto, este dispositivo es un amplificador de potencia poco eficaz. En buenas condiciones, no debería disiparse potencia en ausencia de señal. Por ejemplo, consideremos que se usa este amplificador en el receptor de un sistema de comunicaciones. El receptor está siempre conectado, pero no se consume potencia a menos que exista una señal. La utilización del amplificador anterior no resulta económica para esta aplicación. El amplificador clase B estudiado en el Capítulo 5 es un circuito que casi no disipa potencia a menos que esté presente una señal.

---

* Aquí sólo hemos tratado la potencia disipada en el circuito de colector. En la práctica, como se muestra en la Figura 2.3-6, la fuente tiene que suministrar potencia también al circuito de polarización de base.

Rendimiento. La relación entre la potencia de c.a. disipada en la carga y la potencia suministrada por la fuente se define como rendimiento η del amplificador.

$$\eta = \frac{P_{L,\,ca}}{P_{CC}} = \frac{I_{cm}^2(R_L/2)}{V_{CC}^2/2R_L} \tag{2.4-9a}$$

El rendimiento máximo se presenta cuando la señal es máxima, ya que P_{CC} es constante y $P_{L,\,ca}$ aumenta con el aumento de la corriente. Luego

$$\eta_{máx} = \frac{V_{CC}^2/8R_L}{V_{CC}^2/2R_L} = 0{,}25 \qquad R_L \gg R_e \tag{2.4-9b}$$

Este tipo de amplificador es muy poco eficaz, y no se utiliza para amplificar o suministrar potencia. Se usa, sin embargo, tal como se verá en el Capítulo 5, para amplificar corrientes a niveles bajos de potencia (menos de 500 mW).

La relación entre la máxima potencia de colector y la máxima potencia de c.a. en la carga es

$$\frac{P_{C,\,máx}}{(P_{L,\,ca})_{máx}} \approx \frac{V_{CC}^2/4R_L}{V_{CC}^2/8R_L} = 2 \tag{2.4-10}$$

Así, si utilizamos este tipo de amplificador, para obtener 1 W en la carga será necesario un transistor capaz de trabajar con 2 W de disipación de colector. Esto representa un gran derroche y esta relación puede reducirse notablemente (hasta 1/5) si se utiliza un amplificador clase B. Esta configuración se estudiará con detalle en el Capítulo 5.

EJEMPLO 2.4-1

Para el circuito del Ejemplo 2.3-1, calcular la potencia suministrada por la fuente de alimentación de colector, las potencias disipadas en las resistencias de carga y de emisor, la potencia disipada en el transistor y el rendimiento de funcionamiento.

Solución

La potencia suministrada por la fuente de alimentación de colector es

$$P_{CC} = V_{CC}I_{CQ} = (15)(5 \times 10^{-3}) = 75 \text{ mW}$$

La potencia disipada en las resistencias de carga y de emisor (suponiendo una señal senoidal) es

$$P_L + P_E \approx I_{CQ}^2(R_L + R_e) + \frac{1}{T}\int_0^T i_c^2(t)(R_L + R_e)\,dt$$

$$= (R_L + R_e)\left(I_{CQ}^2 + \frac{I_{cm}^2}{2}\right)$$

y

$$(P_L + P_E)_{máx} = (1{,}5 \times 10^3)\left[(5 \times 10^{-3})^2 + \frac{(5 \times 10^{-3})^2}{2}\right] = 56{,}25 \text{ mW}$$

La potencia disipada en el transistor varía con la corriente alterna de colector. Utilizando (2.4-7*d*)

$$P_C = V_{CC}I_{CQ} - (R_L + R_e)I_{CQ}^2 - (R_L + R_e)\frac{I_{cm}^2}{2}$$

$$= [V_{CC} - (R_L + R_e)I_{CQ}]I_{CQ} - (R_L + R_e)\frac{I_{cm}^2}{2}$$

$$= V_{CE}I_{CQ} - (R_L + R_e)\frac{I_{cm}^2}{2}$$

$$= (37{,}5 \times 10^{-3}) - \frac{1500}{2} I_{cm}^2$$

Obsérvese que la máxima disipación de colector se presenta en ausencia de señal de c.a.

$$P_{C,\,\text{máx}} = 37{,}5 \text{ mW}$$

El rendimiento es

$$\eta = \frac{P_{L,\,\text{ca}}}{P_{CC}} = \frac{\frac{1}{2}I_{cm}^2 R_L}{V_{CC}I_{CQ}} = \frac{I_{cm}^2 \times 10^3}{(2)(15)(5 \times 10^{-3})} = \frac{10^6}{150} I_{cm}^2$$

Obsérvese que el rendimiento es 16,7 por 100 para $I_{cm,\,\text{máx}}$. Este valor es menor que el 25 por 100 [Ec. (2.4-9)] porque R_e no es despreciable en este amplificador. Los resultados se han dibujado en función de I_{cm} en la Figura 2.4-1.

2.5. CONDENSADOR DE DESACOPLO INFINITO

La resistencia de emisor R_e es necesaria para obtener la corriente de reposo de emisor deseada. Sin embargo, la inclusión de R_e hace que la amplificación disminuya a frecuencias no nulas. Por tanto R_e es un elemento que necesitamos en su pleno valor para la c.c. pero que sería preferible tener un cortocircuito para la c.a. Esto puede conseguirse conectando un condensador en paralelo con R_e, como se indica en la Figura 2.5-1. En esta sección, para evitar la influencia de la frecuencia, se supone que el condensador tiene una capacidad infinita; entonces el emisor está al potencial de masa para todas las señales de c.a. El efecto de un condensador finito sobre la respuesta del amplificador se estudia en el Capítulo 9.

El punto de reposo de este circuito se halla igual que antes ya que, para la corriente continua, el condensador se comporta como un circuito abierto. La recta de carga en continua se ve en la Figura 2.5-2.

Ahora tenemos una situación análoga a la de la Sección 1.5, donde deben satisfacerse las condiciones de continua y alterna. Para señales de c.a. la impedancia del circuito colector-emisor no es $R_L + R_e$ como en la Sección 2.3, sino simplemente R_L debido a que

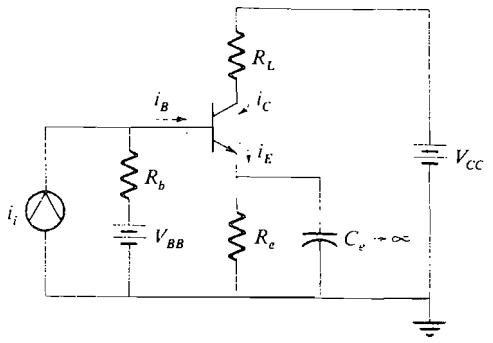


Figura 2.5-1. Amplificador en emisor común con condensador de desacoplo de emisor.

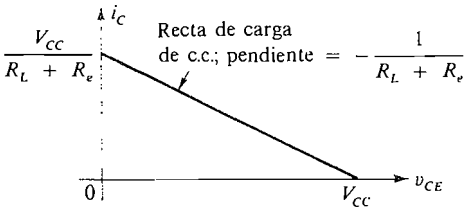


Figura 2.5-2. Recta de carga c.c. del amplificador en emisor común.

el condensador cortocircuita R_e para todas las frecuencias. Luego hay que construir una recta de carga en alterna con pendiente $-1/R_L$. Entonces la recta de carga en alterna será la zona de trabajo de las señales de c.a., y deberá pasar por el punto de reposo, ya que cuando la señal de c.a. se hace cero, la zona de trabajo debe reducirse al punto de reposo. Situemos el punto Q de modo que se obtenga una excursión simétrica máxima. Se ve gráficamente en la Figura 2.5-3.

La ecuación de la recta de carga en alterna es

$$i_c + \frac{v_{ce}}{R_L} = 0$$

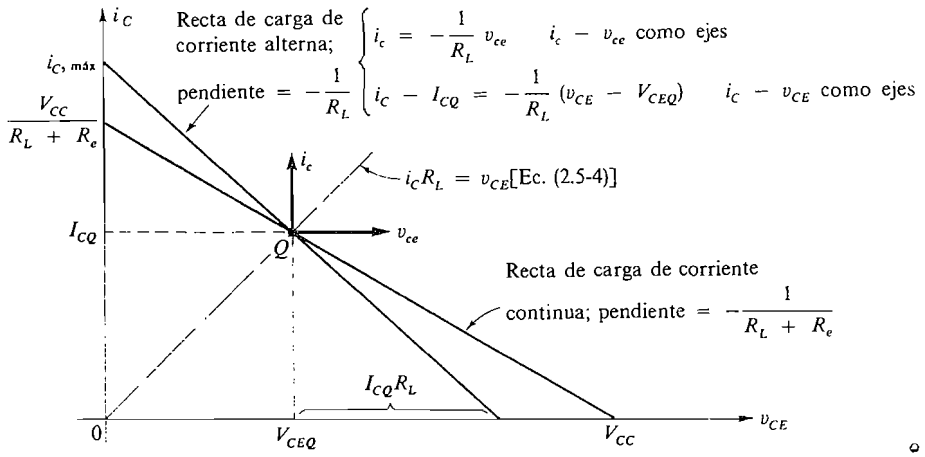


Figura 2.5-3. Rectas de carga c.c. y c.a. del amplificador de la Figura 2.5-1.

que puede escribirse $i_C = i_c + I_{CQ}$, etc.,

$$i_C - I_{CQ} = -\frac{1}{R_L}(v_{CE} - V_{CEQ}) \tag{2.5-1}$$

El valor máximo de i_C se presenta cuando $v_{CE} = 0$

$$i_{C,\,máx} = I_{CQ} + \frac{V_{CEQ}}{R_L} \tag{2.5-2}$$

Para obtener la excursión simétrica máxima, el punto Q debe estar situado en el centro de la recta de carga en alterna de modo que

$$i_{C,\,máx} = 2I_{CQ} \tag{2.5-3}$$

Sustituyendo en (2.5-2) nos da

$$2I_{CQ} = I_{CQ} + \frac{V_{CEQ}}{R_L}$$

e

$$I_{CQ} = \frac{V_{CEQ}}{R_L} \tag{2.5-4}$$

El punto de reposo Q [Ec. (2.5-4)] está situado en la recta $i_C R_L = v_{CE}$ que pasa por el origen. Su intersección con la recta de carga en continua da el punto de reposo para una excursión simétrica máxima, como se indica en la Figura 2.5-3. Para calcularlo se traza primero la recta de carga en continua, luego la recta $i_C R_L = v_{CE}$ que pasa por el origen, que determina el punto de reposo Q. La recta de carga en alterna se traza pasando por el punto de reposo y con pendiente $-1/R_L$. Las condiciones de funcionamiento deben elegirse de modo que no se supere la disipación máxima de colector.

Obsérvese que el punto de reposo óptimo también puede obtenerse analíticamente sustituyendo (2.5-4) en la ecuación de la recta de carga en continua

$$V_{CC} = V_{CEQ} + I_{CQ}(R_L + R_e) \tag{2.5-5}$$

Entonces

$$I_{CQ}\ (\text{para la excursión simétrica máxima}) = \frac{V_{CC}}{2R_L + R_e} \tag{2.5-6a}$$

Esta importante ecuación de diseño se puede poner en forma fácil de recordar observando que la carga de c.a. en el circuito colector-emisor es $R_{ca} = R_L$ mientras la carga de c.c. es $R_{cc} = R_L + R_e$. Cuando se utilizan estas definiciones (2.5-6*a*) se convierte en

$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cc}} \tag{2.5-6b}$$

y

$$V_{CEQ} = \frac{V_{CC}}{2 + R_e/R_L} = \frac{V_{CC}}{1 + R_{cc}/R_{ca}} \tag{2.5-6c}$$

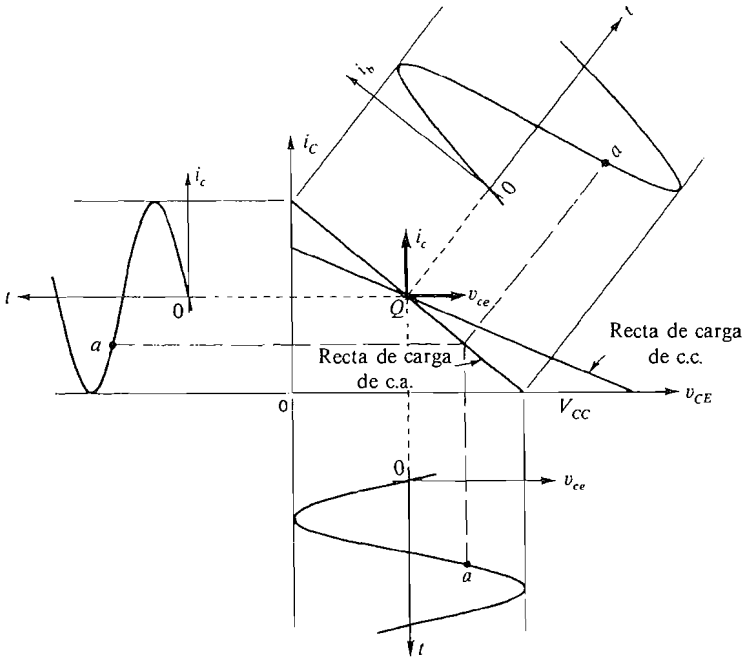


Figura 2.5-4. Formas de onda en el amplificador en emisor común de la Figura 2.5-1 cuando está ajustado para la máxima excursión.

Ahora que se han trazado el punto de reposo Q y la recta de carga en alterna, pueden dibujarse las formas de onda de la corriente y de la tensión. La Figura 2.5-4 indica que, al aumentar i_B, aumenta i_C y disminuye v_{CE}. Así, i_b está en fase con i_c y v_{ce} está desfasada 180° con respecto a i_b e i_c.

EJEMPLO 2.5-1

En la Figura 2.5-1, V_{CC} = 15 V, R_L = 1 kΩ, y R_e = 500 Ω. Hallar la máxima excursión simétrica de la corriente de colector y el punto Q.

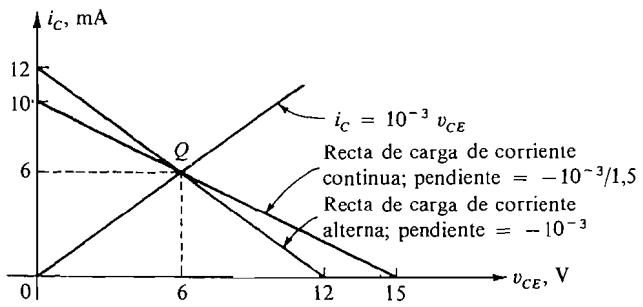


Figura 2.5-5. Rectas de carga para el Ejemplo 2.5-1.

Solución

En la Figura 2.5-5 se han trazado las rectas de carga en continua y alterna. Utilizamos (2.5-6*b*) con $R_{ca} = 1\ \text{k}\Omega$ y $R_{cc} = 1{,}5\ \text{k}\Omega$:

$$I_{CQ} = \frac{15}{2{,}5\ \text{k}\Omega} = 6\ \text{mA} \qquad \text{y} \qquad V_{CE} = \frac{15}{1 + 1{,}5/1} = 6\ \text{V}$$

La máxima excursión de la corriente de cresta de colector es pues

$$I_{cm} = 6\ \text{mA}$$

EJEMPLO 2.5-2

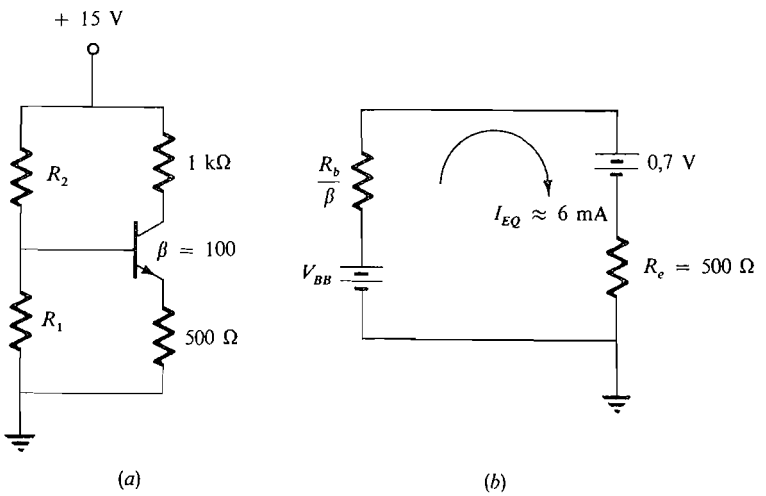
Utilizando el punto óptimo Q hallado en el Ejemplo 2.5-1, calcular R_1 y R_2 en el circuito de la Figura 2.5-6*a*.

Solución

Hacemos uso del factor 10 de la regla empírica para la estabilidad de polarización, por lo que

$$R_b = \frac{\beta R_e}{10} = \frac{(100)(0{,}5\ \text{k}\Omega)}{10} = 5\ \text{k}\Omega$$

Entonces, por el circuito de polarización de c.c. de la Figura 2.5-6*b*



(*a*) (*b*)

Figura 2.5-6. Ejemplo 2.5-2: (*a*) circuito; (*b*) circuito de polarización de c.c.

$$V_{BB} = (6\text{ mA})(0{,}55\text{ k}\Omega) + 0{,}7 = 4\text{ V}$$

$$R_1 = \frac{R_b}{1 - V_{BB}/V_{CC}} = \frac{5\text{ k}\Omega}{1 - \frac{4}{15}} = 6{,}8\text{ k}\Omega$$

y

$$R_2 = R_b \frac{V_{CC}}{V_{BB}} = (5\text{ k}\Omega)(\tfrac{15}{4}) = 18{,}75\text{ k}\Omega$$

Empleando valores estándar, tenemos:

$$R_1 = 6{,}8\text{ k}\Omega \qquad R_2 = 18\text{ k}\Omega$$

2.6. CONDENSADOR DE ACOPLAMIENTO INFINITO

Frecuentemente la resistencia de carga debe acoplarse para corriente alterna al transistor de modo que no circule corriente continua a través de la carga. Generalmente esto se consigue intercalando un condensador de acoplamiento entre el colector y la carga, como se indica en la Figura 2.6-1. Este condensador sirve para bloquear la corriente continua mientras permite el paso de las frecuencias de la señal. El efecto de este condensador sobre las características de frecuencia de amplificador se estudiará en el Capítulo 9. En esta sección se calcularán las condiciones de máxima excursión simétrica de la corriente de colector suponiendo C_c infinito.

La ecuación de la recta de carga en continua es

$$V_{CC} = i_C(R_c + R_e) + v_{CE} \tag{2.6-1}$$

y, observando que R_L y R_e están en paralelo vistos desde el terminal de colector, tenemos la ecuación de la recta de carga en alterna

$$i_C - I_{CQ} = -\frac{R_L + R_c}{R_L R_c}(v_{CE} - V_{CEQ}) \tag{2.6-2}$$

La resistencia que determina la pendiente de la recta de carga en alterna es la vista por el colector para las frecuencias de la señal, $R_{ac} = R_L \parallel R_c$.

Como (2.6-2) es similar a (2.5-1), puede utilizarse el mismo procedimiento para determinar el punto de reposo que da una excursión simétrica máxima. Por consiguiente la intersección de (2.6-1) con la recta

$$i_C = \frac{R_c + R_L}{R_c R_L} v_{CE} = \frac{v_{CE}}{R_{ca}} \tag{2.6-3}$$

determina el punto de reposo para una excursión simétrica máxima. (La interpretación gráfica de estas tres ecuaciones es la misma que la de las curvas de la Figura 2.5-3.) La corriente de reposo puede calcularse combinando (2.6-1) y (2.6-3). Esto da

$$V_{CC} = i_C\left(R_c + R_e + \frac{R_L R_c}{R_L + R_c}\right) = i_C(R_{cc} + R_{ca})$$

y en el punto de reposo, Q,

$$I_{CQ} = \frac{V_{CC}}{R_c + R_e + R_L R_c/(R_L + R_c)} = \frac{V_{CC}}{R_{cc} + R_{ac}} \tag{2.6-4}$$

La corriente alterna senoidal máxima de colector con estas condiciones de polarización es

$$i_c = \frac{V_{CC}}{R_c + R_e + R_L R_c/(R_L + R_c)} \cos \omega t \tag{2.6-5}$$

y la corriente máxima en la carga R_L será

$$i_L = \frac{R_c}{(R_c + R_L)} \frac{V_{CC}}{(R_c + R_e + R_L R_c/(R_L + R_c))} \cos \omega t \tag{2.6-6}$$

Este cálculo se ha obtenido algebraicamente, sin utilizar el método gráfico descrito anteriormente. Esto es debido a que hemos supuesto que el transistor es un amplificador lineal dentro de la gama de tensiones y corrientes consideradas. El método gráfico junto con el análisis es aconsejable por proporcionar una visión física del funcionamiento del sistema. Por ejemplo, en un problema de diseño, una mirada al diagrama adecuado indicará, a menudo de forma inmediata, los efectos de las variaciones en los parámetros, que frecuentemente se pierden de vista en una ecuación.

EJEMPLO 2.6-1

En la Figura 2.6-1, $V_{CC} = 15$ V, $R_c = 1$ kΩ, $R_e = 500$ Ω, y $R_L = 1$ kΩ. Hallar el punto de reposo y la excursión simétrica máxima de la corriente de colector.

Solución

En la Figura 2.6-2 se han trazado las rectas de carga en continua y alterna. El punto Q se obtiene más fácilmente de (2.6-4) con $R_{ca} = 500$ Ω y $R_{cc} = 1{,}5$ kΩ.

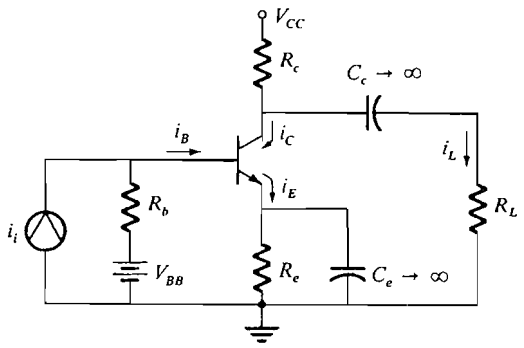


Figura 2.6-1. Amplificador con carga acoplada en c.a.

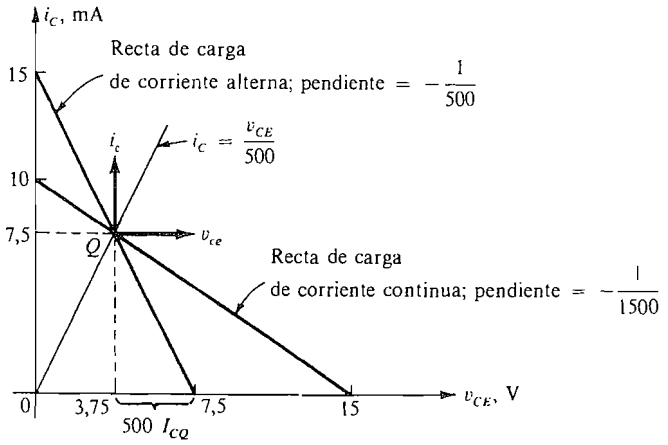


Figura 2.6-2. Rectas de carga para el Ejemplo 2.6-1.

$$I_{CQ} = \frac{V_{CC}}{R_{ca} + R_{cc}} = \frac{15}{0{,}5 + 1{,}5} = 7{,}5 \text{ mA}$$

y

$$V_{CEQ} = I_{CQ}R_{ca} = (7{,}5)(0{,}5) = 3{,}75 \text{ V}$$

La máxima corriente senoidal de cresta de c.a. de colector es $I_{cm} = 7{,}5$ mA.

EJEMPLO 2.6-2

Si en el Ejemplo 2.6-1 la resistencia de emisor está desacoplada, hallar el punto Q, la máxima excursión de la corriente de cresta de colector y R_1 y R_2 (Figura 2.6-3*a*).

Solución

A consecuencia de la corriente de entrada i_i, cada una de las corrientes de base, de colector y de emisor consiste en una pequeña señal proporcional a i_i y la corriente c.c. de reposo. Como la resistencia de emisor está desacoplada, la corriente de emisor de pequeña señal circula por R_e. La corriente de reposo se puede obtener ya sea gráficamente o bien resolviendo (2.6-1) y (2.6-3) simultáneamente como sigue: sustituir en (2.6-1) para obtener

$$15 = v_{CE} + 1500i_C$$

Puesto que la carga de c.a. vista por el colector es $(R_c \parallel R_L) + R_e$ (2.6-3) será $v_{CE} = 1000\, i_C$. Así pues $I_{CQ} = 6$ mA y la máxima excursión de la corriente de cresta de colector es $I_{cm} = 6$ mA. Las resistencias de polarización R_1 y R_2 se calculan como antes utilizando el circuito de polarización de c.c.

$$R_b = \frac{\beta R_e}{10} = \frac{(50)(500)}{10} = 2{,}5 \text{ k}\Omega$$

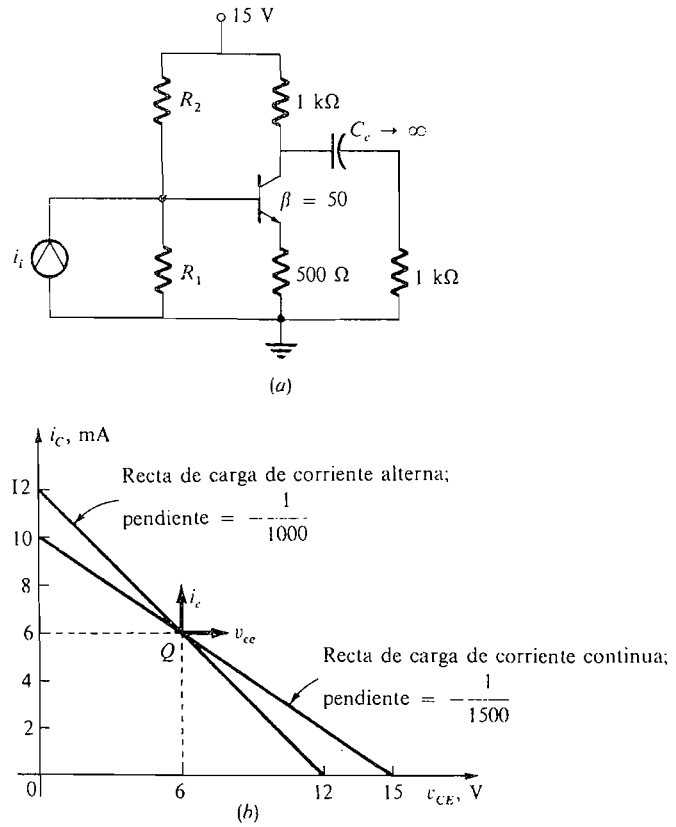


Figura 2.6-3. Circuito y rectas de carga para el Ejemplo 2.6-2: (*a*) circuito; (*b*) rectas de carga.

Luego $$V_{BB} = +(6)(0{,}55) + 0{,}7 = 4 \text{ V}$$

y $$R_2 = (2500)(\tfrac{1.5}{4}) = 9{,}4 \text{ k}\Omega \qquad \text{y} \qquad R_1 = \frac{2500}{1 - \frac{4}{15}} = 3{,}41 \text{ k}\Omega$$

Con valores estándar, $R_2 = 10$ kΩ y $R_1 = 3{,}3$ kΩ.

2.7. SEGUIDOR DE EMISOR

El circuito de la Figura 2.7-1*a* representa la configuración de colector común, o seguidor de emisor (EF). El término seguidor se refiere al hecho de que, como se verá, la tensión de salida «sigue» muy de cerca a la tensión de señal.

Al igual que antes, la red de polarización se reemplaza por su equivalente Thévenin obteniéndose el circuito de la Figura 2.7-1*b*. La recta de carga en continua de este circuito tiene una pendiente de $-1/R_e$ y se indica en la Figura 2.7-2.

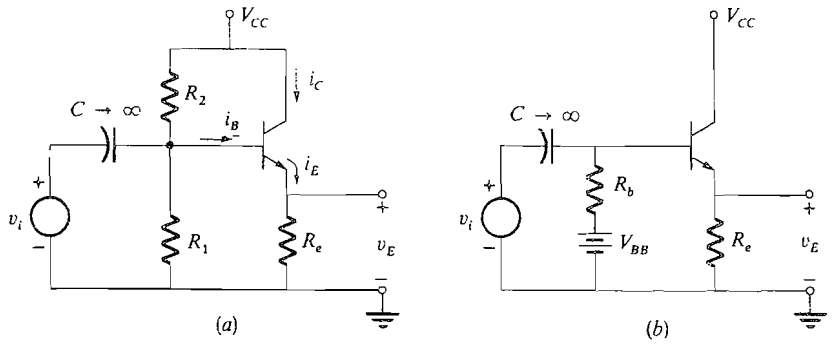


Figura 2.7-1. (*a*) Circuito seguidor de emisor; (*b*) circuito simplificado.

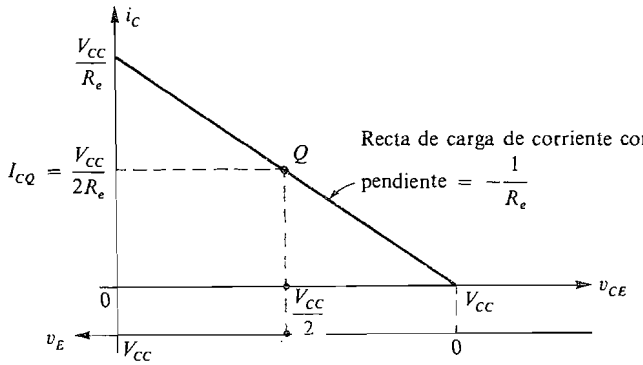


Figura 2.7-2. Recta de carga y escala auxiliar de la tensión de salida para seguidor de emisor.

Para este circuito, la aplicación de la segunda ley de Kirchhoff (de tensiones) al bucle emisor-colector da la ecuación

$$V_{CC} = v_{CE} + v_E$$

Por tanto

$$v_E = V_{CC} - v_{CE} \tag{2.7-1}$$

Como V_{CC} es el punto en el que la recta de carga en continua corta al eje v_{CE}, se puede construir fácilmente una escala de v_E como se ve en la Figura 2.7-2. Si el punto Q de reposo se sitúa en el centro de la recta de carga (en $I_{CQ} = V_{CC}/2R_e$), la excursión de la tensión de salida será simétrica, variando desde $v_E = 0$ hasta $v_E = V_{CC}$.

Escribiendo la segunda ley de Kirchhoff del bucle base-emisor, tenemos

$$v_B = v_{BE} + v_E \tag{2.7-2}$$

Si la variación con el tiempo de v_{BE} es despreciable, tendremos

$$V_{BB} \approx V_E + 0{,}7$$

y

$$v_i \approx v_e \tag{2.7-3}$$

de modo que la tensión de salida «sigue» a la señal.

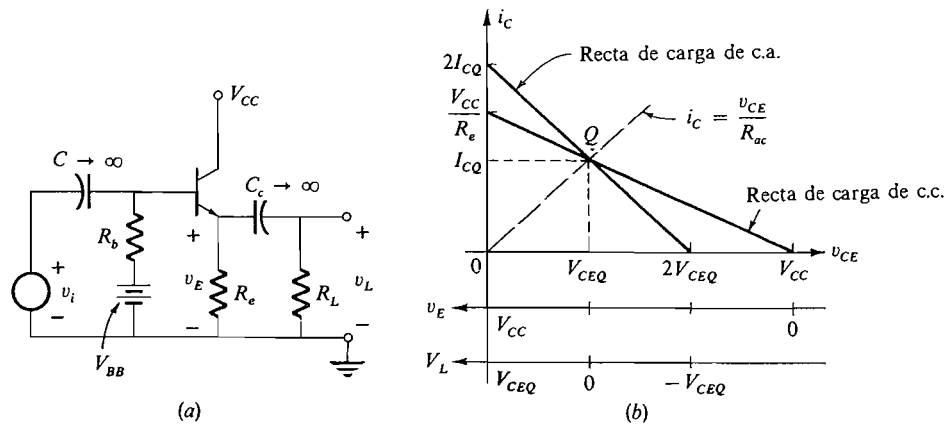


Figura 2.7-3. Seguidor de emisor con carga de c.a.: (*a*) circuito; (*b*) rectas de carga.

Generalmente, la resistencia de carga está acoplada en alterna al emisor, como se indica en la Figura 2.7-3*a*. Las correspondientes rectas de carga de c.c. y c.a. se han trazado en la Figura 2.7-3*b*. Como antes, la máxima excursión simétrica de la tensión de salida tiene lugar cuando el punto Q está situado donde la ecuación

$$i_C = \frac{R_e + R_L}{R_e R_L} v_{CE} = \frac{v_{CE}}{R_{ca}} \tag{2.7-4}$$

corta a la recta de carga de corriente continua. La recta de carga de corriente alterna se traza pasando por este punto y con una pendiente igual a $-1/R_{ca}$. La amplitud de la tensión alterna en bornes de la carga es V_{CEQ}. La amplitud de la corriente de colector es I_{CQ}.

Obsérvese que al estudiar el seguidor de emisor hemos realizado los mismos cálculos que al considerar los circuitos amplificadores de emisor común de las Secciones 2.5 y 2.6. Ello es debido a que en los circuitos de emisor y colector circula, aproximadamente, la misma corriente. Por consiguiente, en el circuito colector-emisor, R_e y R_c son intercambiables. La diferencia es que, cuando la salida se toma del emisor, $v_e \approx v_i$, mientras que cuando se toma del colector, $i_L \approx h_{fe} i_i$. La amplificación en pequeña señal y las características de impedancia de este circuito se estudiarán en el Capítulo 6.

EJEMPLO 2.7-1

Considérese el circuito de la Figura 2.7-4. Hallar los valores de R_1 y R_2 que dan la máxima excursión simétrica de salida.

Solución

El cálculo de la red de polarización $R_1 - R_2$ para el seguidor de emisor se asemeja al del amplificador en configuración de emisor común. La corriente en reposo se halla por (2.6-4) (¿Por qué se aplica aquí esta ecuación?):

$$I_{CQ} = \frac{V_{CC}}{R_{cc} + R_{ca}} = \frac{21}{(1{,}5\ \text{k}\Omega \parallel 1\ \text{k}\Omega) + 1{,}5\ \text{k}\Omega} = 10\ \text{mA}$$

El punto Q y las rectas de carga están representados en la Figura 2.7-5*a*. El lector debe cerciorarse de que comprende cómo se ha construido la escala de v_L. Por las curvas se ve que v_L tiene una máxima excursión cresta a cresta de corriente alterna de 12 V.

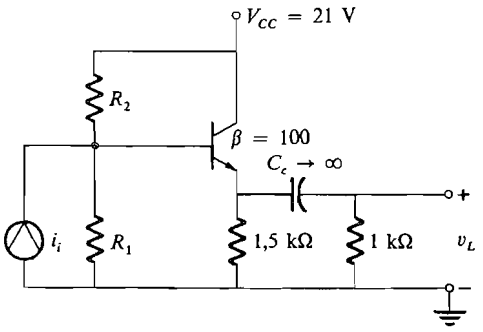
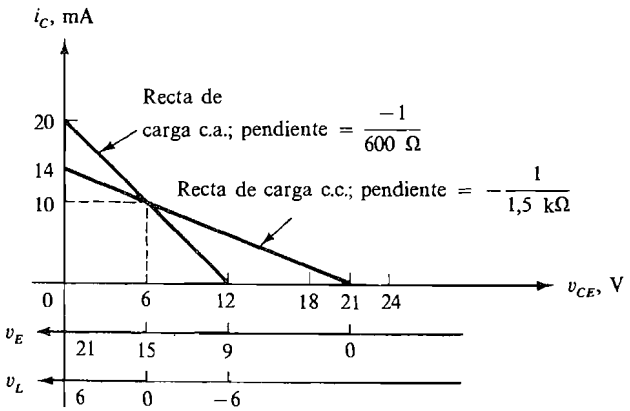
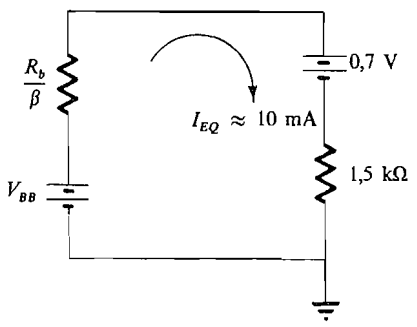


Figura 2.7-4. Seguidor de emisor con recta de carga en c.a. y red de polarización.



(*a*)



(*b*)

Figura 2.7-5. Ejemplo 2.7-1: (*a*) rectas de carga; (*b*) circuito de polarización.

Para la estabilidad de polarización elegimos

$$R_b = \frac{\beta Re}{10} = \frac{(100)(1{,}5\ \text{k}\Omega)}{10} = 15\ \text{k}\Omega$$

Por el circuito de polarización de c.c (Fig. 2.7-5*b*).

$$V_{BB} = (10)(1{,}65) + 0{,}7 = 17{,}2\ \text{V}$$

Luego
$$R_1 = \frac{R_b}{1 - V_{BB}/V_{CC}} = \frac{15}{1 - 17{,}2/21} = 82{,}9\ \text{k}\Omega$$

y
$$R_2 = R_b \frac{V_{CC}}{V_{BB}} = 15\,\frac{21}{17{,}2} = 18{,}3\ \text{k}\Omega$$

Los valores estándar que se deben utilizar son

$$R_1 = 82\ \text{k}\Omega \qquad R_2 = 18\ \text{k}\Omega$$

Generalmente será necesario construir un solo amplificador y no nos importarán los cambios del punto Q con las variaciones de β debidas a los cambios o sustituciones del transistor. En este caso se podrá eliminar R_1 en la Figura 2.7-4. La Figura 2.7-6 muestra el seguidor de emisor de la Figura 2.7-4 con R_1 suprimido. Esto es lo que se llama polarización por *inyección de base.*

Vamos a hallar R_2 de manera que v_L pueda experimentar una máxima excursión simétrica. Esto se puede hacer utilizando el circuito de polarización de c.c., pero en su lugar seguiremos un procedimiento algo diferente. Primero determinamos el circuito Thévenin equivalente hacia la base, o sea mirando a la base en AA'. La parte en c.c. del circuito vista desde AA' está ilustrada en la Figura 2.7-7. .

La aplicación de la segunda ley de Kirchhoff da

$$v_B = V_{BE} + i_E R_e$$

o
$$v_B = 0{,}7 + (1 + \beta) i_B R_e \qquad (2.7\text{-}5)$$

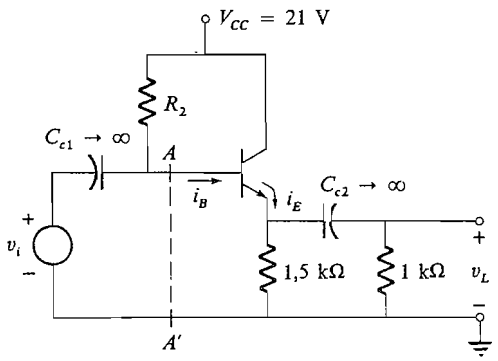


Figura 2.7-6. Seguidor de emisor con polarización por inyección por base de c.c.

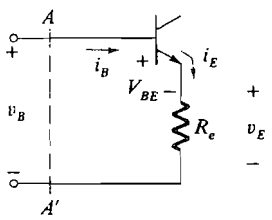


Figura 2.7-7. Parte en c.c. del seguidor de emisor de la Figura 2.7-6.

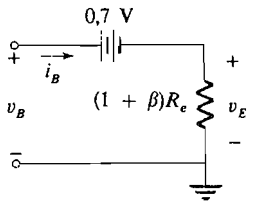


Figura 2.7-8. Circuito equivalente hacia el terminal de base.

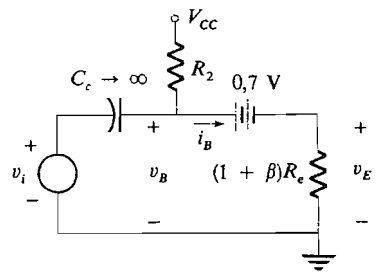


Figura 2.7-9. Circuito de c.c. equivalente completo para polarización por inyección por base.

El circuito descrito por (2.7-5) está representado en la Figura 2.7-8. Este es el circuito Thévenin equivalente deseado mirando desde la base del transistor.

Volvamos ahora a la Figura 2.7-6. Haciendo uso del equivalente Thévenin, introducimos R_2 y V_{CC}, como muestra la Figura 2.7-9.

En este ejemplo, $V_{CC} = 21$ V, $V_{BQ} = 15{,}7$ V, $R_e = 1500\ \Omega$ y $\beta = 100$. Así

$$I_{BQ} = \frac{V_E}{R_e(1 + \beta)} = \frac{15}{(1500)(101)} \approx 100\ \mu\text{A}$$

y

$$R_2 = \frac{V_{CC} - V_{BQ}}{I_{BQ}} = \frac{21 - 15{,}7}{10^{-4}} = 53\ \text{k}\Omega$$

(En la práctica se usará un valor estándar de 56 kΩ.)

Obsérvese que si $R_2 = 53$ kΩ y si el transistor se reemplazase por otro, en que β fuese 50 en lugar de 100, por lo que $R_e(1 + \beta) \approx 75$ kΩ, se tendría

$$V_{EQ} = \frac{(V_{CC} - 0{,}7)[R_e(1 + \beta)]}{R_2 + R_e(1 + \beta)} \approx 12\ \text{V}$$

en lugar de 15 V. En consecuencia, la máxima excursión simétrica cresta a cresta en estas condiciones se reducirá.

Un resultado interesante de este análisis es que la resistencia de emisor vista desde el terminal de base aparece como $R_e(1 + \beta)$, que es una resistencia mucho mayor. En el circuito de polarización de c.c. utilizando hasta este ejemplo hemos hallado que la resistencia de base R_b visto desde el terminal de emisor era $R_b/(1 + \beta)$, que es una resistencia mucho menor. Estos detalles se aplicarán ventajosamente en el Capítulo 6, en que se consideran circuitos equivalentes de pequeña señal.

2.7-1. Seguidor de emisor en saturación

El seguidor de emisor básico está representado en la Figura 2.7-10. Cuando funciona en la región activa, un aumento de la corriente de base i_B es causa de que aumenten las corrientes de colector y de emisor y de que disminuya la tensión colector-emisor. Tal funcionamiento continúa hasta que el transistor sale de la región activa y entra en la región de saturación (Fig. 2.2-7). Si i_B aumenta más poniendo al transistor en plena saturación, la corriente de colector deja de aumentar y luego disminuye, anulándose y haciéndose después negativa. Cuando $i_C = 0$, la corriente de base es igual a la corriente de emisor, y por la Figura 2.2-6.

$$v_{CE} = V_T \ln \frac{1}{\alpha_R} \qquad i_C = 0 \tag{2.7-6}$$

Cuando i_C es negativa, el transistor está en plena saturación y para valores suficientemente grandes de i_B, v_{CE} puede anularse e incluso hacerse negativa. En la Figura 2.2-6 vemos que

$$i_C = \frac{-i_B}{1 + h_{FC}/h_{FE}} \qquad \text{cuando } v_{CE} = 0 \tag{2.7-7}$$

Ahora, puesto que

$$i_C + i_B = i_E \tag{2.7-8}$$

sustituyendo (2.7-7) en (2.7-8) vemos que la relación entre i_C e i_E es

$$\frac{i_C}{i_E} = -\frac{h_{FE}}{h_{FC}} \tag{2.7-9}$$

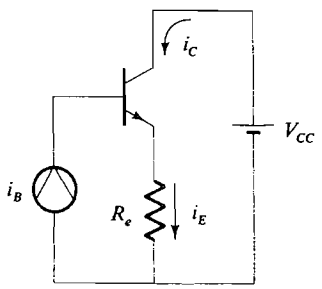


Figura 2.7-10. El seguidor de emisor para el Ejemplo 2.7-2.

Así pues, cuando $v_{CE} = 0$, i_C es apreciablemente mayor que i_E.

Si i_B se incrementa más aún la razón i_C/i_B también aumenta y se aproxima a

$$\frac{i_C}{i_B} = -1 \tag{2.7-10}$$

Sustituyendo (2.7-10) en (2.2-17*b*), encontramos que, como i_B sube la tensión colector-emisor se aproxima a

$$v_{CE} = -V_T \ln \frac{h_{FE} + 1}{h_{FE}} \tag{2.7-11}$$

En el ejemplo que sigue se dan algunos resultados numéricos.

EJEMPLO 2.7-2. EL SEGUIDOR DE EMISOR EN SATURACION

En la Figura 2.7-10 sean $R_e = 10\ \text{k}\Omega$, $V_{CC} = 3$ V, $h_{FE} = 50$ y $h_{FC} = 0{,}1$. (*a*) Hallar el valor de i_B que producirá $v_{CE} = 0$ y determinar i_C e i_E en estas condiciones. (*b*) Calcular i_E, i_B y v_{CE} cuando $i_C = 0$. (*c*) Calcular v_{CE} cuando i_B llega a ser extremadamente grande.

Solución

(*a*) Cuando $v_{CE} = 0$ V, $i_E = V_{CC}/R_e = 0{,}3$ mA. Por (2.7-7) tenemos para $v_{CE} = 0$ V

$$\frac{i_C}{i_B} = \frac{1}{1 + h_{FC}/h_{FE}} = -\frac{1}{1 + 1/500} \approx -1 + 2 \times 10^{-3}$$

Como $i_B + i_C = i_E$, tenemos

$$i_B\left(1 + \frac{i_C}{i_B}\right) = i_E$$

De donde $$i_B = \frac{0{,}3 \times 10^{-3}}{2 \times 10^{-3}} = 150\ \text{mA}$$

Por tanto $$i_C \approx -150\ \text{mA}$$

Obsérvese que la corriente del colector es negativa.

(*b*) Cuando $i_C = 0$,

$$v_{CE} = V_T \ln \frac{1}{\alpha_R} = V_T \ln \frac{1 + h_{FC}}{h_{FC}} = V_T \ln 11 \approx 62\ \text{mV}$$

La corriente de emisor (que es igual a la corriente de base puesto que $i_C = 0$) es

$$i_E = i_B = \frac{V_{CC} - v_{CE}}{R_e} \approx 0{,}3\ \text{mA}$$

Una variación de la corriente de colector de -150 a 0 mA da por resultado un cambio despreciable de i_E, puesto que el transistor permanece en saturación.

(*c*) Usando (2.7-11) da

$$v_{CE} = -V_T \ln \frac{h_{FE} + 1}{h_{FE}} = -25 \ln 1{,}02 \text{ mV} \approx -0{,}5 \text{ mV}$$

REFERENCIAS

1. A. S. Grove, «Semiconductor Physics», Wiley, New York, 1967; Motorola, Inc. Engineering Staff, «Integrated Circuits», McGraw-Hill, New York, 1965.
2. D. J. Hamilton y W. Howard, «Basic Integrated Circuit Engineering», McGraw-Hill, New York, 1975.

PROBLEMAS

En todos los casos han de dibujarse las rectas de carga correspondientes y, siempre que sea posible, los problemas deben resolverse gráficamente.

2.1-1. La unión emisor-base de un transistor de silicio *pnp* en configuración de base común puede representarse aproximadamente como una fuente de tensión de 0,5 V en serie con una resistencia de 10 Ω y un diodo ideal (Figs. 2.1-1 y 2.1-3). Hallar V_{BEQ} para $R_e = 1000$ Ω y 10 kΩ y $V_{EE} = 6$ V.

2.1-2. Repetir el Ejemplo de 2.1-1 con $V_{im} = 2$ V.

2.2-1. El factor de amplificación de c.c. β para un transistor hipotético viene dado por

$$\beta = 100 i_C \epsilon^{-6(i_c - 0{,}1)^2}$$

(*a*) Calcular h_{fe}.
(*b*) Representar h_{fe} y β en función de i_C.

2.2-2. Escribir las ecuaciones de Ebers-Moll en términos de la corriente en los terminales y demostrar que

$$i_C = \alpha_F i_E - (1 - \alpha_F \alpha_R) I_{CO} (\epsilon^{V_{BC}/V_T} - 1)$$
$$i_E = \alpha_R i_C + (1 - \alpha_F \alpha_R) I_{EO} (\epsilon^{V_{BE}/V_T} - 1)$$

2.2-3. Representar i_C en función de v_{CB} utilizando los resultados del Problema 2.2-2 si $\alpha_F = 0{,}99$, $\alpha_R = 0{,}01$ e $I_{CO} = 1$ μA.

2.2-4. (*a*) Utilizando (2.1-3), demostrar que

$$I_C = \beta I_B + \frac{I_{CBO}}{1 - \alpha}$$

La ecuación anterior sólo es válida en la región activa. Con elevadas tensiones colector-emisor la ecuación se convierte en

$$I_C = \beta I_B + \frac{I_{CBO}}{1 - \dfrac{\alpha}{1 - (V_{CE}/BV_{CBO})^n}}$$

(*b*) Hallar el valor de V_{CE}, donde I_C pueda ser infinito. Esta tensión se llama *tensión de ruptura de emisor común*, BV_{CEO}; n varía entre 2 y 4 en el silicio.
(*c*) Hallar la tensión BV_{CEO} cuando $I_B = 1$ mA, $\beta = 100$, $I_{CBO} = 0{,}1$ μA, $BV_{CBO} = 20$ V y $n = 3$.

2.2-5. Verificar la Ecuación (2.2-17).

2.2-6. En la Figura 2.2-4*a* sean $V_{CC} = 10$ V, $R_C = 500\ \Omega$, $R_b = 10$ kΩ, $V_{BB} = 5{,}7$ V, $h_{FE} = 100$ y $h_{FC} = 0{,}01$. Suponiendo $V_{BE} = 0{,}7$ V aunque el transistor pueda estar saturado, hallar v_{CE}.

2.2-7. En el circuito de la Figura P2.2-7 hallar I_B para obtener la misma v_{CE} que en el Problema 2.2-6.

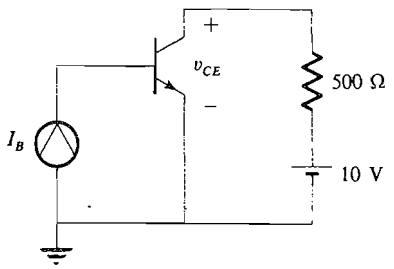


Figura P2.2-7.

2.2-8. En la Figura P2.2-8 calcular (*a*) I_C en saturación y (*b*) I_B en saturación; (*c*) hallar v_{CE} y volver a comprobar el resultado de la parte (*a*).

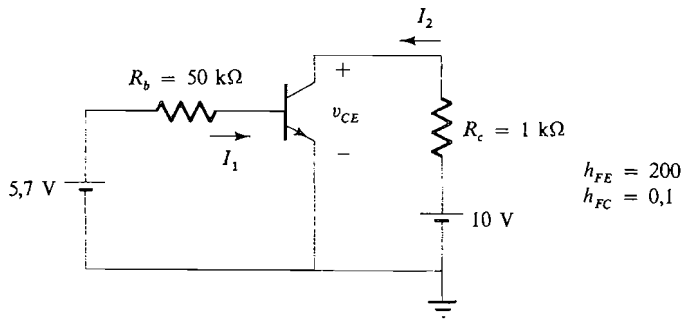


Figura P2.2-8.

2.2-9. Se supone que el transistor de la Figura P2.2-8 es un transistor Schottky como el descrito en la Sección 2.2-2. Utilizar el modelo de la Figura 2.2-11 y calcular (*a*) I_1 e I_2 y (*b*) la corriente de base I_B, la corriente por el diodo I_D y la corriente de colector I_C.

2.3-1. Hallar el punto Q del amplificador de la Figura P2.3-1 para (*a*) $R_b = 1$ kΩ y (*b*) $R_b = 10$ kΩ.

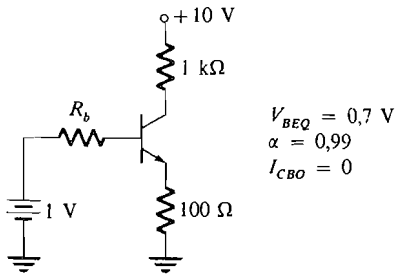


Figura P2.3-1.

2.3.2. Para el amplificador de la Figura P2.3-2 hallar R_1 y R_2 de modo que $V_{CEQ} \approx 5$ V. La corriente en reposo I_{C_Q} debe variar, pero no más del 10 por 100 cuando β varía de 20 a 60.

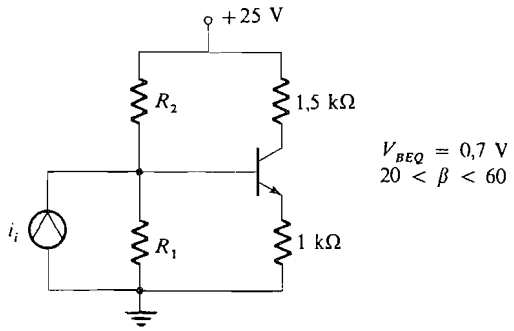


Figura P2.3-2.

2.3-3. Para el amplificador de la Figura P2.3-2 ($\beta = 100$) hallar nuevos valores de R_1 y R_2 que permitan la máxima excursión simétrica de i_C.

2.3-4. Para el amplificador de la Figura P2.3-2 ($\beta = 100$) hallar nuevos valores de R_1 y R_2 que minimicen el consumo de corriente de la fuente de alimentación. Suponer una señal de entrada tal que la máxima excursión de la corriente de colector sea de 10 mA cresta a cresta alrededor del punto Q.

2.3-5. (*a*) Hallar el punto Q para el circuito de la Figura P2.3-5.

(*b*) Se conecta otro transistor del mismo tipo en el mismo circuito. ¿Cuál es la mínima β que puede tener el nuevo transistor si la corriente en reposo del colector no cambia más del 10 por 100?

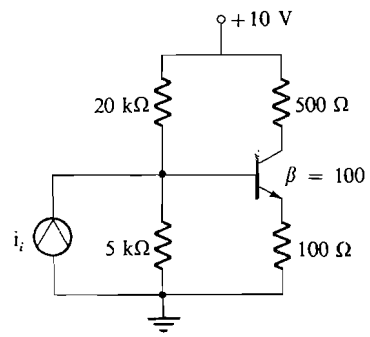


Figura P2.3-5.

2.4-1. Para el amplificador del Problema 2.3-2 calcular la potencia en reposo (*a*) suministrada por la batería y (*b*) disipada en R_1, R_2, R_e, R_c y en la unión del colector.

2.4.2. (*a*) En el circuito de la Figura P2.4-2 hallar V_{BB} para la máxima excursión simétrica de colector. Calcular el rendimiento en estas condiciones.
(*b*) Repetir la parte (*a*) suponiendo que el transistor se satura en $V_{CE,\,sat} = 2$ V.

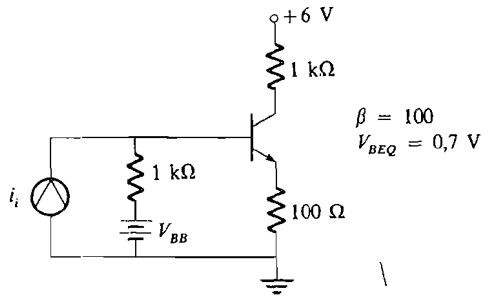


Figura P2.4-2.

2.4-3. En el circuito de la Figura P2.4-2, $V_{BB} = 1{,}2$ V y $\beta = 20$. Hallar la máxima excursión simétrica posible de colector y el rendimiento.

2.5-1. (*a*) Hallar R_1 y R_2 para que $I_{CQ} = 10$ mA en la Figura P2.5-1.
(*b*) Hallar la máxima excursión simétrica posible de colector con estos valores de R_1 y R_2.
(*c*) Dibujar las rectas de carga en c.c. y c.a. marcando todos los puntos de intersección.
(*d*) Representar gráficamente las máximas formas de onda no distorsionadas de i_C y v_{CE} siendo i_i senoidal como se muestra.

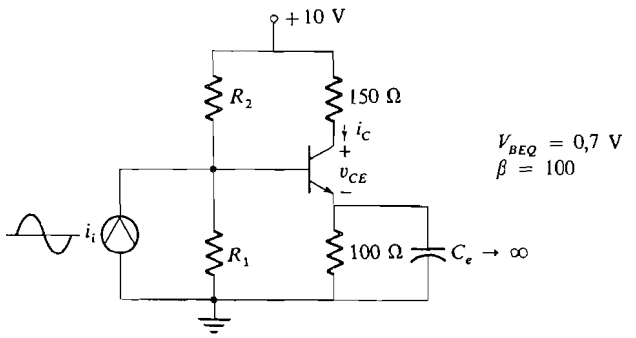


Figura P2.5-1.

2.5-2. En la Figura P2.5-1 sean $R_1 = 1{,}5$ kΩ y $R_2 = 10$ kΩ. Repetir el Problema 2.5-1.

2.5-3. En la Figura P2.5-1 sean $R_1 = 10$ kΩ y $R_2 = 1{,}5$ kΩ. Repetir el Problema 2.5-1.

2.5-4. En la Figura P2.5-1 hallar R_1 y R_2 para la máxima excursión simétrica posible de la corriente de colector. Especificar el punto Q en estas condiciones y repetir las partes (*c*) y (*d*) del Problema 2.5-1.

2.5-5. En la Figura P2.5-1 la máxima excursión requerida de la corriente de colector es 10 mA cresta a cresta. Con el fin de reducir la demanda de corriente sobre la fuente de alimentación, I_{CQ} debe ser lo más pequeña posible. Especificar el punto Q y los valores necesarios de R_1 y R_2 suponiendo que el transistor está en corte con $i_C = 0$.

2.6-1. Hallar R_1, R_2, R_c y R_e para que en el circuito de la Figura P2.6-1 pueda circular una corriente alterna de 4 mA de cresta en la carga de 100 Ω. Obsérvese que la solución no es única.

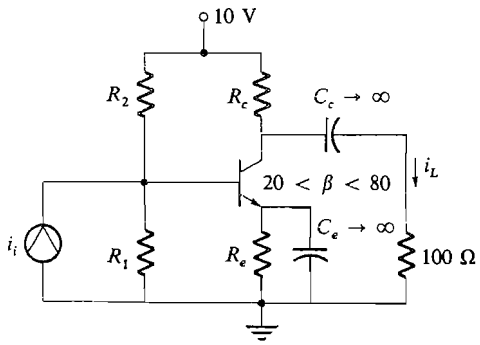


Figura P2.6-1.

2.6-2. (*a*) Con referencia a la Figura P2.6-2, hallar R_1 y R_2, para la máxima excursión simétrica posible de la corriente de carga.
(*b*) Dibujar las rectas de carga de c.c. y c.a.
(*c*) Representar la máxima i_L no distorsionada.

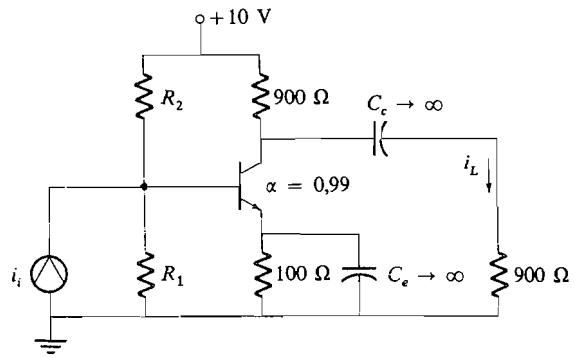


Figura P2.6-2.

2.6-3. Hallar R_c en la Figura P2.6-3 para la máxima tensión de salida simétrica v_L.

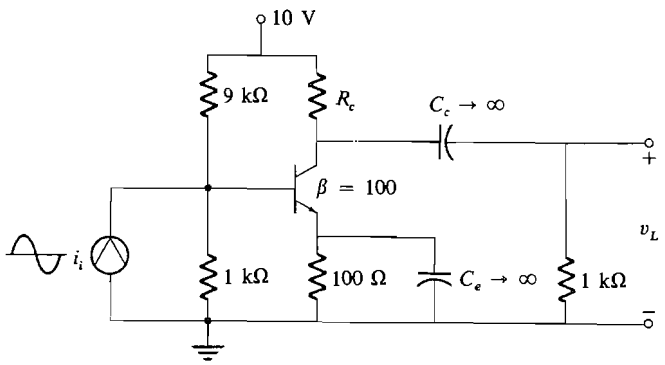


Figura P2.6-3.

2.7-1. (*a*) Hallar la máxima excursión simétrica posible de v_L en la Figura P2.7-1.
(*b*) Representar la forma de onda de v_L suponiendo entrada senoidal.

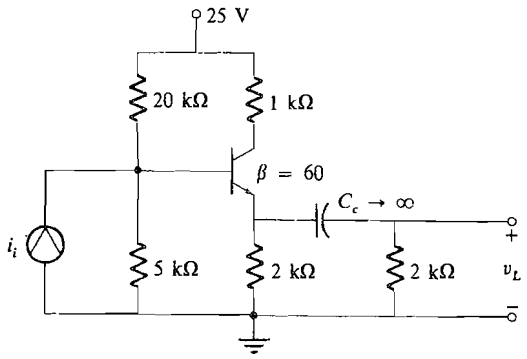


Figura P2.7-1.

2.7-2. Hallar el punto Q y la máxima v_L simétrica en la Figura P2.7-2. Trazar todas las rectas de carga.

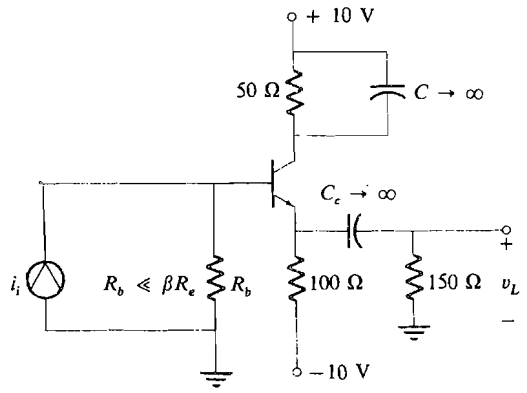


Figura P2.7-2.

2.7-3. En la Figura P2.7-3 hallar R_2 para que $I_{CQ} = 5$ mA. Representar la máxima v_L no distorsionada en este valor de I_{CQ}.

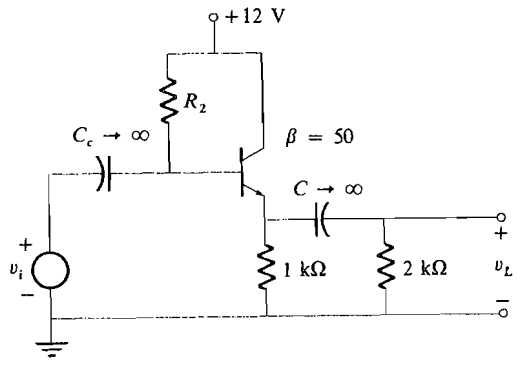


Figura P2.7-3.

2.7-4. Con referencia a la Figura P2.7-4.
(*a*) Si $v_i = 0$, hallar v_C.
(*b*) Si $v_i = -3$ V c.c., hallar v_C.
(*c*) Hallar v_i para $v_C = 2{,}5$ V.
(*d*) Hallar v_C y v_i para el corte y la saturación.
(*e*) Representar v_C en función de v_i para $-6 < v_i < 6$. Esta es la *característica de transferencia* del amplificador.

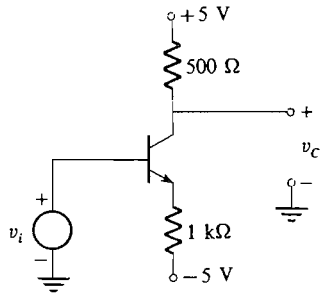


Figura P2.7-4.

2.7-5. (*a*) Representar las características *CB* (i_C en función de v_{CB}) del transistor de la Figura P2.7-5.
(*b*) Hallar el punto *Q* y dibujar las líneas de carga en continua y alterna sobre las características de base común.
(*c*) Hallar la máxima v_L simétrica.

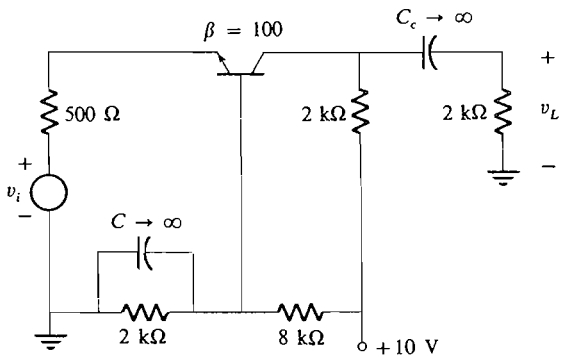


Figura P2.7-5.

2.7-6. En la Figura 2.7-10 sean $R_e = 1$ kΩ, $V_{CC} = 10$ V, $h_{FE} = 200$ y $h_{FC} = 0{,}01$.
(*a*) Hallar i_B para que $v_{CE} = 0$. Determinar i_C e i_E en estas condiciones.
(*b*) Calcular v_{CE} cuando $i_B \to \infty$.
(*c*) Calcular v_{CE}, i_E, i_B cuando $i_C = 0$.

CAPITULO

3

El transistor de efecto de campo

INTRODUCCION

Otro tipo de transistor que es particularmente adecuado para utilizarlo en circuitos integrados es el transistor de efecto de campo (FET), que se fabrica en dos tipos, el de efecto de campo de unión (JFET) y el de efecto de campo metal-óxido-semiconductor (MOSFET). En términos muy amplios, el FET difiere del transistor de unión estudiado en el Capítulo 2 en que es un dispositivo sensible a la tensión que tiene una impedancia de entrada extremadamente alta (tanto como $10^{14}\ \Omega$) y una impedancia de salida relativamente alta. El FET encuentra aplicación en los circuitos digitales y analógicos como amplificador o como conmutador.

La importancia del FET es consecuencia de cuatro de sus propiedades:

1. Su tamaño físico; el MOSFET es tan pequeño comparado con el transistor de unión bipolar (BJT) que ocupa sólo el 20 ó 30 por 100 del área de chip que ocuparía un típico BJT. Por lo tanto, los MOSFET pueden alcanzar densidades de empaquetamiento muy elevadas en un CI, y se utilizan ampliamente en *muy alta escala de integración* (VLSI).
2. En una parte de su rango de operación se comporta como una resistencia controlada por tensión y ocupa un área de chip mucho menor que la correspondiente resistencia integrada.
3. Tiene una resistencia de entrada extremadamente alta y una pequeña capacidad de entrada. Esto significa que la constante de tiempo, $\tau = R_{in}C_{in}$, del circuito de entrada es lo bastante grande como para permitir que la carga almacenada en la pequeña capacidad de entrada permanezca el tiempo suficiente para que el dispositivo pueda ser utilizado como un elemento de almacenamiento en circuitos digitales.
4. Tiene la capacidad de disipar altas potencias y conmutar grandes corrientes en menos de un nanosegundo: mucha más rapidez que la actualmente alcanzable utilizando el BJT.

Tener las tres primeras de estas propiedades disponibles en un único dispositivo significa que pueden incluirse varios circuitos con diferentes funciones en un chip de silicio que contenga sólo MOSFET.

La cuarta característica capacita al FET para ser usado como un interruptor de alta potencia y alta frecuencia.

Otra ventaja de los MOSFET en los circuitos digitales, cuando se utilizan en conexión complementaria (CMOS) (véase la Sección 3.7), es que la disipación de potencia en reposo es esencialmente nula en frecuencias bajas. En este capítulo estudiaremos el funcionamiento del FET como amplificador y como conmutador y, cuando sea pertinente, lo compararemos con el BJT.

3.1. INTRODUCCION A LA TEORIA DE FUNCIONAMIENTO DEL JFET

El JFET está representado esquemáticamente y con su símbolo en la Figura 3.1-1. El dispositivo consta de una capa delgada de material de tipo *n* con dos contactos óhmicos, la *fuente S* y el *drenaje D*, conjuntamente con los dos contactos rectificadores, llamados *puertas G* Si se coloca una tensión positiva v_{DS} entre drenaje y fuente, los electrones circularán desde la fuente al drenaje. El camino de conducción entre drenaje y fuente se llama *canal.* También se fabrican JFET de tipo *p* en que el canal es de tipo *p* y las puertas son del tipo *n.*

Para explicar el funcionamiento de este dispositivo supongamos que la fuente y las puertas están a potencial de masa (tierra). Ahora estudiemos el efecto de aplicar un pequeño potencial positivo al drenaje. Puesto que hay una tensión positiva entre drenaje y fuente, los electrones fluirán desde la fuente hasta el drenaje (el flujo de corriente es de drenaje a fuente). Obsérvese que fluye una corriente despreciable entre la fuente (o drenaje) y puerta ya que el diodo formado por la unión canal-puerta está polarizado inversamente. La intensidad de la corriente que circula desde drenaje a fuente depende de la tensión drenaje-fuente v_{DS} y de la resistencia del material *n* existente en el canal. Esta resistencia es función del dopado (impurificación) del material *n* y de la anchura, longitud y espesor del canal.

Cuando se aumenta la tensión del drenaje v_{DS}, aumenta la tensión del canal y, puesto que las puertas están a un potencial nulo fijo, el diodo *pn* formado por la unión puerta-canal es polarizado aún más inversamente. Veamos lo que sucede en el canal cuando esto ocurre. La Figura 3.1-2 muestra un diodo polarizado en sentido inverso. Inicialmente los huecos del material *p* fluyen hacia el terminal negativo de la batería, y los electrones del material *n* fluyen hacia el terminal positivo de la misma. El resultado de ello es la formación de una región central de longitud *l*, que está carente o vacía de cargas libres (huecos y electrones). Como la región comprendida dentro de *l* ha sido empobrecida de cargas libres, se le llama *región de empobrecimiento.* Cuando se aumenta la tensión inversa, las cargas libres (huecos y electrones) se alejan en la unión y la longitud efectiva de separación *l* aumenta.

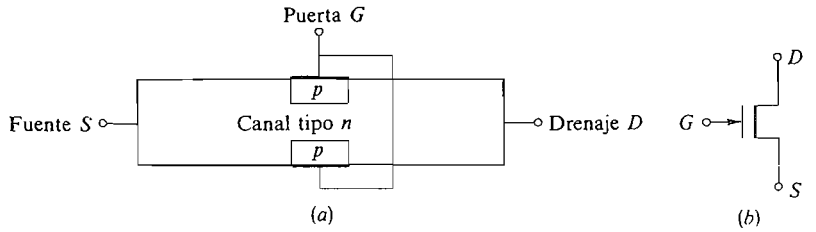


Figura 3.1-1. El JFET: (*a*) esquema; (*b*) símbolo de circuito, canal *n*.

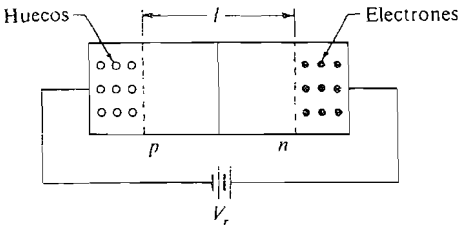


Figura 3.1-2. Un diodo inversamente polarizado.

El resultado es directamente aplicable al JFET que estamos considerando. La Figura 3.1-3 muestra las regiones de *carga espacial* en el FET para varios valores de v_{DS}. Vemos en la Figura 3.1-3*a* que cuando v_{DS} aumenta, la región de deplexión (que aparece rayada) aumenta, provocando el estrechamiento del canal. Nótese que la región de deplexión crece en tamaño según nos acercamos al drenaje. La razón de esto es que el diodo formado por la puerta (*p*) y el canal (*n*) está polarizado inversamente de manera más fuerte cerca del drenaje que de la fuente. Puesto que el área del canal disminuye hay un incremento de la resistencia del canal; de aquí que la relación de aumento de la corriente por unidad aumente con la disminución de v_{DS}. Este decrecimiento se muestra en la Figura 3.1-4.

Cuando $v_{DS} = V_{p0}$, las regiones de empobrecimiento a cada lado del canal llegan a unirse, como muestra la Figura 3.1-3*b*. La tensión V_{p0} se llama *tensión de estricción* o *estrangulamiento** del canal entre drenaje y fuente. En la Figura 3.1-3*c* la tensión del drenaje v_{DS} es mayor que la tensión de estrangulamiento. En esta región el área de empobrecimiento aumenta. Por tanto, la región de deplexión aumenta, desde el punto *b* al punto *a*, cuando v_{DS} aumenta. El *campo eléctrico* producido por la caída de tensión en la región de deplexión atrae los electrones emitidos por la fuente hacia el drenaje, de la

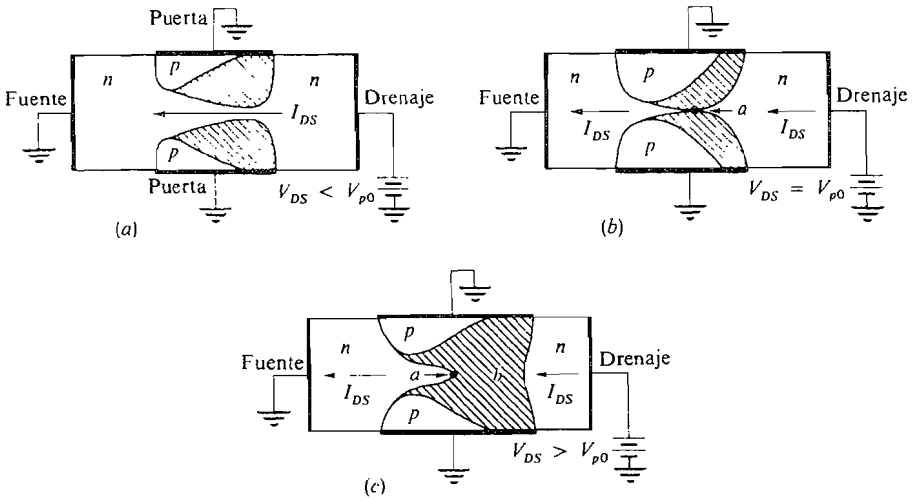


Figura 3.1-3. El JFET por debajo y por encima del estrangulamiento. Las áreas rayadas indican regiones de empobrecimiento. (*a*) $V_{DS} < V_{p0}$; (*b*) $V_{DS} = V_{p0}$; (*c*) $V_{DS} > V_{p0}$.

* El primer subindice *p* representa estrangulamiento (pinch-off) y el segundo, 0, significa que $v_{GS} = 0$ V.

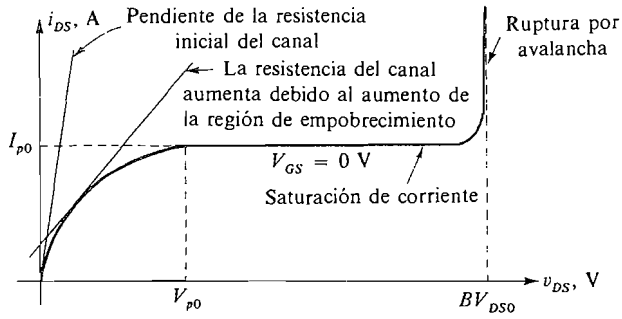


Figura 3.1-4. Características del JFET ideal ($V_{GS} = 0$).

la misma forma que un electrón es atraído desde el emisor de un transistor bipolar a la base y a continuación hacia el colector atravesando la región de deplexión de la unión colector-base. Sin embargo, se ve que el potencial en el punto *a* se mantiene esencialmente igual a la tensión de estricción V_{p0}. Así pues, la corriente i_{DS} se mantiene casi constante cuando v_{DS} aumenta por encima de V_{p0}. La caída de tensión entre el punto *a* y la fuente se mantiene aproximadamente constante. A esto se le llama *saturación* en el FET y está representado en la Figura 3.1-4.

La corriente de drenaje i_{DS} aumenta rápidamente cuando v_{DS} aumenta hacia V_{p0}. Por encima de V_{p0}, la corriente tiende a nivelarse en I_{p0} y luego aumenta lentamente. Cuando v_{DS} es igual a la tensión de ruptura BV_{DS0} ocurre la ruptura por avalancha (Sec. 1.10) y la corriente aumenta de nuevo rápidamente.

Consideremos ahora el mantenimiento de una tensión fija drenaje-fuente y la variación de la tensión puerta-puente. Cuando esta tensión se hace negativa, la unión *pn* está polarizada inversamente, aumentando la región de empobrecimiento entre la puerta y la fuente. Esto hace que disminuya la anchura del canal y aumente la resistencia de éste. La corriente i_{DS} crece por tanto. Cuando se hace positiva la tensión de puerta, la región de empobrecimiento disminuye hasta que, con grandes tensiones positivas de puerta, el canal se abre. Entonces la unión *pn* entre la puerta y la fuente se polariza en sentido directo y fluye la corriente desde la puerta hasta la fuente. Ordinariamente se hace funcionar al JFET de tipo *n* de modo que el potencial puerta-fuente sea negativo o ligeramente positivo para evitar la corriente puerta-fuente.

Resumiendo, vemos que cuando varía la tensión de puerta, varía la anchura del canal y, por tanto, la resistencia de éste. A su vez esto hace que varíe la corriente desde el drenaje hasta la fuente i_{DS}. Obsérvese que es la variación de la *tensión* de puerta la que hace que varíe i_{DS}; así pues, el FET es un dispositivo *sensible a la tensión*, mientras que el transistor de unión es un dispositivo sensible a la corriente.

La Figura 3.1-5 ilustra un conjunto típico de características de salida *vi* del JFET con la tensión puerta-fuente como parámetro. La tensión de estrangulamiento del JFET es 5 V cuando $v_{GS} = 0$, y la corriente de drenaje en este punto es 10 mA. Cuando disminuye el potencial de puerta, la tensión de estrangulamiento también disminuye. La tensión drenaje-fuente en que ocurre el estrangulamiento viene dada aproximadamente por la ecuación

$$v_{DS}\text{ (estrangulamiento)} = V_p = V_{p0} + v_{GS} \tag{3.1-1}$$

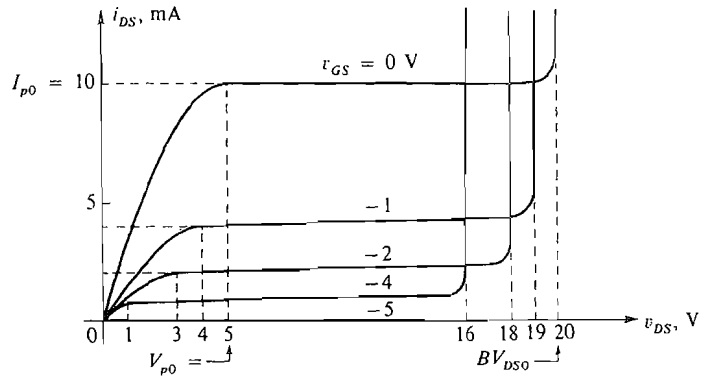


Figura 3.1-5. Características *vi* de un JFET.

Así, cuando $v_{GS} = 0$, $V_p = V_{p0}$, como lógico. Para las características *vi* representadas en la Figura 3.1-5 la tensión de estrangulamiento es cero cuando $v_{GS} = -5$ V. Con este potencial negativo no hay corriente de drenaje.

La tensión de ruptura también es función de la tensión puerta-fuente. Esta variación viene dada por

$$BV_{DS} \approx BV_{DS0} + v_{GS} \tag{3.1-2}$$

donde BV_{DS0} es la tensión de ruptura para $v_{GS} = 0$ (en este juego de características $BV_{DS0} = 20$ V) y BV_{DS} es la tensión de ruptura para una v_{GS} arbitraria.

Como el estrangulamiento y la ruptura del canal dependen directamente de la caída de tensión a través de la unión canal-puerta, es interesante expresar las Ecuaciones (3.1-1) y (3.1-2) en términos de v_{DG} en vez de v_{GS} ya que la tensión drenaje-puerta es mayor que la tensión puerta-fuente y, por tanto, produce una región de empobrecimiento más ancha. En primer lugar vemos que (3.1-1) se convierte en

$$v_{DG} = v_{DS} - v_{GS} = V_{p0} \qquad \text{en el estrangulamiento} \tag{3.1-3}$$

Por esta ecuación podemos interpretar V_{p0} como la tensión necesaria entre el drenaje y la puerta para producir el estrangulamiento. También se observa que v_{DG} es independiente de v_{GS} en el estrangulamiento.

La expresión dada en (3.1-2) para la tensión de ruptura también puede ser modificada. Si designamos por BV_{DG} la tensión drenaje-puerta necesaria para la ruptura, entonces

$$BV_{DG} = BV_{DS} - v_{GS} = BV_{DS0} \tag{3.1-4}$$

Así pues, la tensión de ruptura medida entre drenaje y puerta es igual a la tensión de ruptura medida entre drenaje y fuente cuando la tensión puerta-fuente es cero.

Para tensiones drenaje-fuente comprendidas entre la de estrangulamiento y la de ruptura (a lo que se llama *región de saturación* puesto que la corriente se ha saturado y no cambia apreciablemente en función de v_{DS}) la corriente de drenaje puede ser expresada aproximadamente por

$$i_{DS} = I_{p0}\left[1 + \frac{3v_{GS}}{V_{p0}} + 2\left(-\frac{v_{GS}}{V_{p0}}\right)^{3/2}\right] \qquad \begin{matrix} v_{GS} < 0 \\ V_p < v_{DS} < BV_{DS} \end{matrix} \tag{3.1-5}$$

Por (3.1-5) vemos que cuando $v_{GS} = 0$, $i_{DS} = I_{p0}$, y cuando $v_{GS} = -V_{p0}$, $i_{DS} = 0$. Estos resultados y (3.1-5) son independientes de v_{DS}.

Con tensiones drenaje-fuente comprendidas entre 0 V y la de estrangulamiento se dice que el FET funciona en la región lineal, ya que, como se ve en la Figura 3.1-5, la corriente drenaje-fuente es aproximadamente proporcional a v_{DS} comportándose como si fuese una resistencia «lineal». Por lo tanto, el FET puede considerarse como una resistencia controlada por tensión en esta región. Este punto está ilustrado en la Figura 3.1-6, la cual muestra la variación de i_{DS} para varias tensiones puerta-fuente.

Ahora se puede demostrar que la corriente I_{p0} es inversamente proporcional a la temperatura elevada a 3/2.

$$I_{p0} \propto T_A^{-3/2} \tag{3.1-6a}$$

La dependencia está ilustrada en la Figura 3.1-7 donde la corriente $I_{p0}(T_A)$ está normalizada respecto a $I_{p0}(T_A = 25\ ^\circ\text{C})$.

La tensión de estrangulamiento V_{p0} es también función de la temperatura de manera similar a la tensión base-emisor de un BJT:

$$\Delta V_{p0} = -k\,\Delta T \qquad k = 2\ \text{mV/°C} \tag{3.1-6b}$$

El *transistor de efecto de campo* obtiene su nombre del hecho de que la corriente está controlada por un campo eléctrico creado entre la puerta y la fuente cuando el FET está saturado. Es interesante destacar que esta corriente está producida por electrones (canal *n*) o huecos (canal *p*). Por lo tanto el FET es un transistor *unipolar*, no un transistor bipolar (Cap. 2).

Aunque la geometría del JFET mostrada en la Figura 3.1-1 es muy usual para una introducción al funcionamiento del JFET, los JFET se fabrican habitualmente utilizando una tecnología planar como se muestra en la Figura 3.1-8. Aquí vemos un JFET planar de

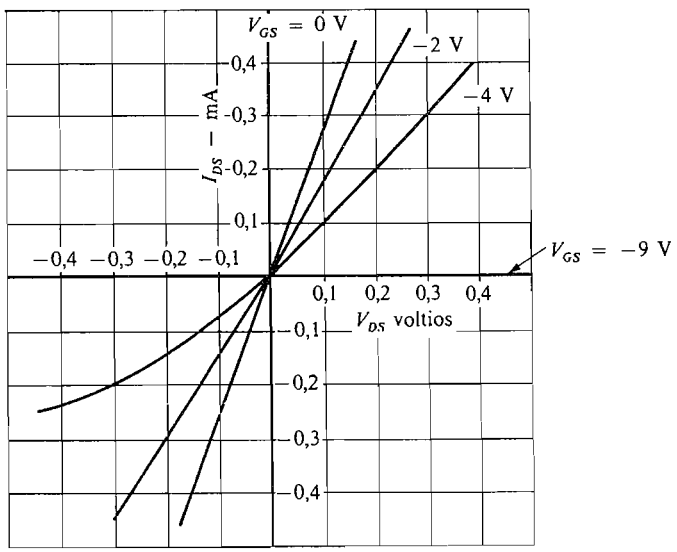


Figura 3.1-6. Características de drenaje de un JFET a baja tensión.

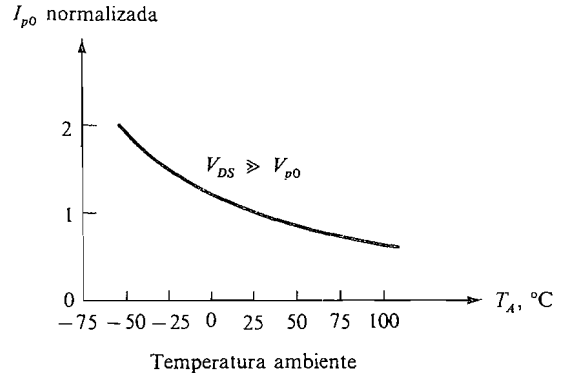


Figura 3.1-7. Corriente de estrangulamiento normalizada en función de la temperatura.

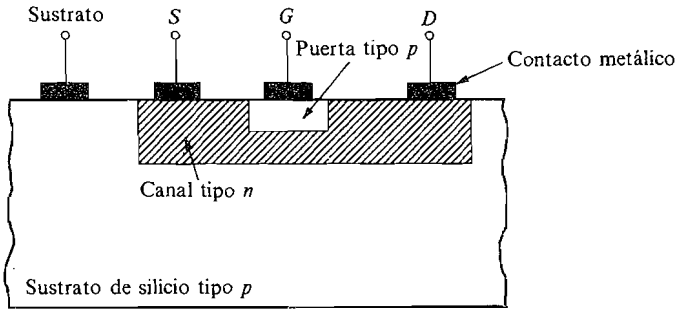


Figura 3.1-8. JFET planar de canal *n*.

canal *n*. El FET está realizado a partir de un bloque de silicio denominado *sustrato*. El canal tipo *n* está formado por difusión de un exceso de boro en el material *p*. Finalmente una difusión muy alta de tipo *p* forma la puerta. Los contactos de metal se utilizan para los conductores externos. El sustrato tipo *p* está conectado al potencial más negativo del circuito para asegurar que el diodo sustrato-canal esté polarizado inversamente. En la práctica esto se realiza normalmente conectando el sustrato tipo *p* a masa o a la fuente.

3.2. INTRODUCCION A LA TEORIA DE FUNCIONAMIENTO DEL MOSFET

El funcionamiento del MOSFET es similar al del JFET. Sin embargo, hay diferencias básicas de las que resulta que los MOSFET tienen menor capacidad e impedancia de entrada más alta que el JFET.

Un MOSFET de canal *n* (Fig. 3.2-1) consiste en un sustrato de tipo *p* en el que se han difundido dos regiones n^+. Estas dos regiones forman la fuente y el drenaje. En este dispositivo no se incorpora realmente canal alguno en la fabricación que pueda ser comparado con el JFET (Fig. 3.1-8).

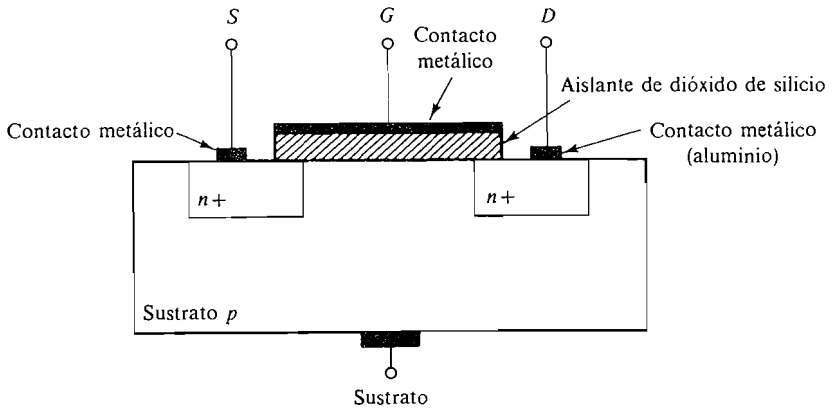


Figura 3.2-1. MOSFET.

La puerta se forma cubriendo la región entre el drenaje y la fuente con una capa de dióxido de silicio, encima de la cual se deposita una placa metálica (por esta formación de la puerta con metal, óxido y un semiconductor ha recibido su nombre el MOSFET).

El MOSFET trabaja habitualmente con un potencial positivo puerta-fuente: esto se denomina *modo de operación* de enriquecimiento o acumulación. Cuando la tensión puerta-fuente es positiva se induce un canal tipo n entre la fuente y el drenaje (Figura 3.2-2*a*) como resultado de que los electrones de la banda de conducción están siendo atraídos hacia la superficie del sustrato p, directamente debajo de la puerta: este fenómeno se denomina *inversión superficial.* Se define la *tensión umbral* V_{TN} como la tensión de puerta al comienzo de la inversión superficial. Hay que destacar que entre las dos regiones n^+, el canal n y el sustrato, hay una región mermada de huecos. Cuando la tensión de puerta aumenta, el número de electrones de conducción atraído hacia la puerta aumenta también: consecuentemente se incrementan el ancho y la conductividad del canal. Cuando la tensión de drenaje crece (véase Fig. 3.2-2*b*), la región de empobrecimiento en torno al drenaje y cerca de la unión canal-drenaje, se ensancha, estrechándose por consiguiente el canal. La impedancia del canal se incrementa hasta que, cuando $v_{DS} = V_{GS} - V_{TN} = V_p$ (como en la Figura 3.2-3) el canal se separa y la impedancia del canal llega a ser infinita. (Realmente, como en el JFET, la impedancia nunca llega a ser infinita; 100 kΩ es un valor típico.) Un aumento adicional en el potencial drenaje-fuente provoca solamente un insignificante aumento en la corriente drenaje-fuente. Se dice que el MOSFET está operando en la *región de flujo de corriente de saturación.*

Cuando el potencial drenaje-fuente supera la tensión de ruptura, la región de empobrecimiento entre el drenaje y el canal se ensancha, como muestra la Figura 3.2-4. Notar que el punto *a*, que denota el punto de estrangulamiento, se mueve sólo insignificantemente hacia la fuente. Además, obsérvese la similitud con el JFET mostrado en la Figura 3.1-3.

Al aplicar valores muy elevados de tensión de drenaje se produce la ruptura por avalancha del diodo de drenaje, y la corriente de drenaje comienza a aumentar de manera rápida a medida que crece la tensión de drenaje, igual que en las características del JFET que nos muestra la Figura 3.1-4.

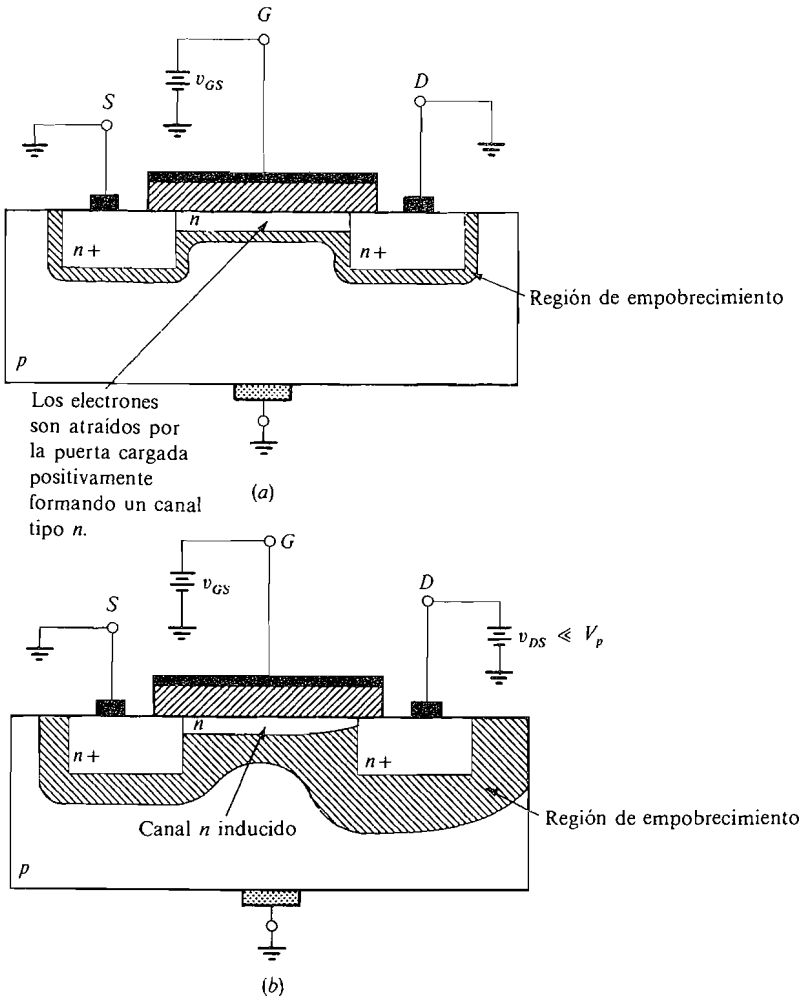


Figura 3.2-2. Funcionamiento del MOSFET: (*a*) Formación del canal en el MOSFET; (*b*) construcción del canal cuando $v_{DS} > 0$.

Ahora consideremos variaciones en la tensión puerta-fuente conservando fija la tensión de drenaje-fuente y por encima de la de estrangulamiento antes citada. La tensión drenaje-fuente positiva produce un campo eléctrico que atrae electrones desde la fuente, a través del canal, a través de la región de empobrecimiento, hacia el drenaje. Elevando la tensión de puerta crece el número de electrones de conducción atraídos desde el sustrato hacia el canal, incrementándose por tanto la conductividad del mismo; de ahí que la corriente aumente. Por lo tanto la corriente drenaje-fuente está *modulada* (controlada) por la tensión puerta-fuente.

Vemos, pues, que el funcionamiento básico del MOSFET es similar al del JFET. Por encima del estrangulamiento, el aumento de la tensión del drenaje no origina un aumento

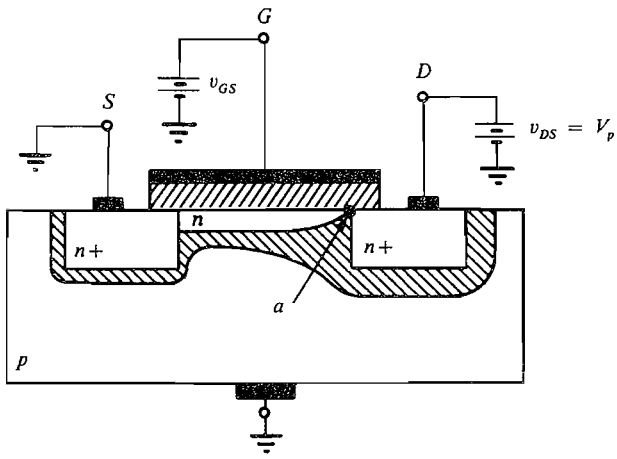


Figura 3.2-3. El MOSFET en estrangulamiento.

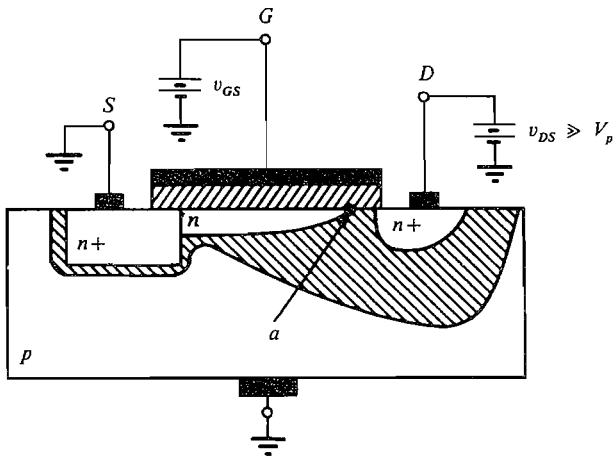


Figura 3.2-4. El MOSFET por encima del estrangulamiento.

proporcional de la corriente de drenaje, y ésta sólo es proporcional a las variaciones de la tensión de puerta.

Para el ingeniero de diseño de circuitos la diferencia más importante entre el JFET y el MOSFET del modo de enriquecimiento es que en el margen de funcionamiento de éste, v_{GS} es siempre positiva. Como v_{GS} debe ser positiva para producir un canal y como no fluye corriente hasta que se forma éste, únicamente puede fluir la corriente cuando v_{GS} excede de una tensión positiva llamada tensión umbral V_{TN}.

Las características *vi* de un MOSFET típico están representadas en la Figura 3.2-5. Cuando $v_{GS} = V_{TN} = 2$ V, la corriente $i_{DS} = 0$ para todos los valores de v_{DS}. Sin embargo, cuando v_{GS} es mayor que V_{TN}, fluye la corriente. Aquí vemos que la tensión de estrangulamiento drenaje-fuente es

$$v_{DS}\text{ (estrangulamiento)} = v_{GS} - V_{TN} \qquad (3.2\text{-}1a)$$

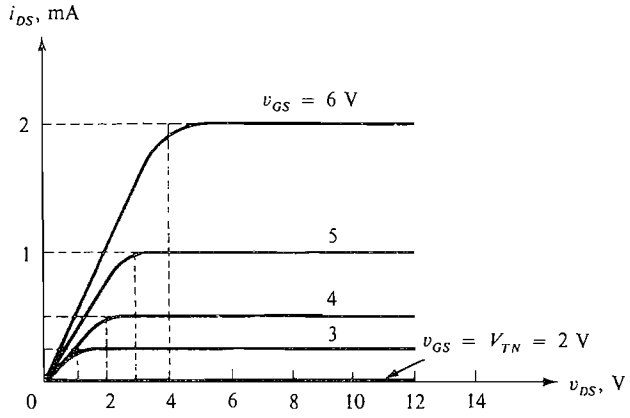


Figura 3.2-5. Característica *vi* del MOSFET.

Así pues, cuando $v_{GS} = V_{TN}$, se produce el estrangulamiento en $v_{DS} = 0$ V y no puede fluir corriente. Obsérvese que (3.2-1*a*) se puede escribir

$$v_{GD} \text{ (estrangulamiento)} = V_{TN} \tag{3.2-1b}$$

También en esta ocasión vemos que el estrangulamiento está determinado por la tensión puerta-fuente. En la Figura 3.2-3 se observa que el punto *a* en que ocurre el estrangulamiento está comprendido entre el drenaje y la puerta. El potencial en el punto *a* es función de v_{GD}. La ecuación (3.2-1*b*) indica que el potencial en *a* es suficientemente alto para causar el estrangulamiento cuando $v_{GD} = V_{TN}$.

Las ecuaciones para la corriente i_{DS} por debajo y por encima de la región de estrangulamiento son:
Por debajo del estrangulamiento (región lineal):

$$i_{DS} = k_n[2(v_{GS} - V_{TN})v_{DS} - v_{DS}^2] \qquad v_{DS} < v_{GS} - V_{TN} \tag{3.2-2a}$$

Por encima del estrangulamiento (saturación):

$$i_{DS} = k_n(v_{GS} - V_{TN})^2 \qquad v_{DS} \geqslant v_{GS} - V_{TN} \tag{3.2-2b}$$

La constante k_n viene dada por

$$k_n = \frac{\mu\varepsilon}{2t}\frac{W}{L} \tag{3.2-2c}$$

donde μ = movilidad de los portadores en el canal (electrones en NMOS)
ε = constante dieléctrica del óxido debajo de la puerta
t = espesor del óxido
W = ancho del canal
L = longitud del canal

Las dimensiones de k_n están expresadas en amperios por voltio cuadrado, y típicamente k_n está comprendida entre 10^{-3} y 10^{-2}.

Cuando el FET trabaja en zona lineal, la relación tensión-corriente (v_{DS} – i_{DS}) es aproximadamente lineal y de aquí, que el FET sea como una resistencia de valor r_{ds}.

Un FET diseñado para que actúe como baja resistencia tiene una relación anchura/longitud (W/L)* grande y, por tanto, tiene una k_n grande mientras un FET diseñado para que actúe como alta resistencia tiene una razón W/L pequeña y por tanto una pequeña k_n.

Es interesante comparar la ecuación de la corriente en el MOSFET [Ec. (3.2-2*b*)] con la ecuación de la corriente en el JFET dada en (3.1-5). Para efectuar esta comparación normalizamos (3.2-2*b*) poniendo $I_{p0} = k_n V_{TN}^2$ y $V_{p0} = -V_{TN}$, por lo que

$$\frac{i_{DS}}{I_{p0}} = \left(1 + \frac{v_{GS}}{V_{p0}}\right)^2 \tag{3.2-3}$$

La comparación, representada gráficamente en la Figura 3.2-6, indica que las características del MOSFET y del JFET por encima del estrangulamiento son casi idénticas. En consecuencia, en todo el resto de este texto supondremos que el MOSFET y el JFET siguen la característica de ley cuadrática.

Sustrato. La región *p* del NMOSFET se llama *sustrato*. En la Figura 3.2-4 la fuente, el sustrato y el drenaje forman un BJT *npn*. Para que no exista ninguna acción de BJT debemos cerciorarnos de que el BJT esté bloqueado o en corte. Por tanto, en la Figura 3.2-4 el sustrato está conectado a masa. En general, el sustrato de un NMOSFET está siempre conectado a la tensión más negativa existente en el circuito.

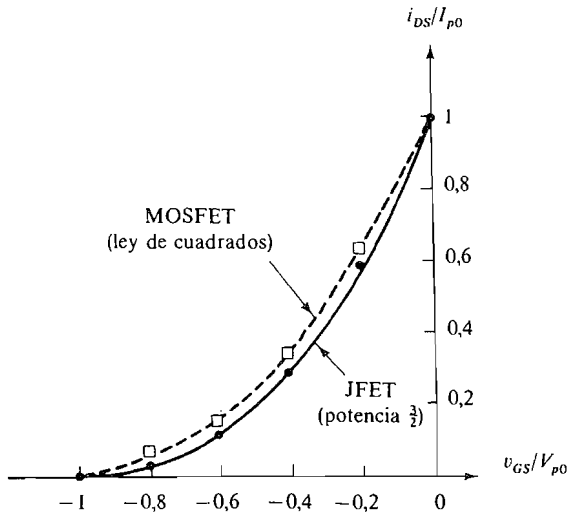


Figura 3.2-6. Características corriente-tensión de puerta del MOS y del FET de unión. Se ve la similitud de ambas características.

* La resistencia es proporcional al cociente entre la longitud y el área de la sección transversal. Como la anchura W es proporcional al área y la longitud L lo es a la longitud del canal, R es proporcional a L/W.

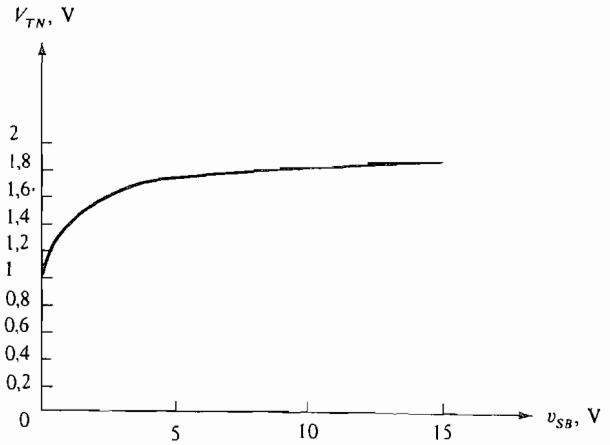


Figura 3.2-7. Variación de la tensión umbral debida a las variaciones de la tensión fuente-sustrato v_{SB}.

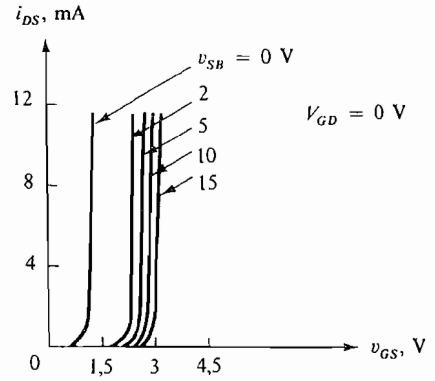


Figura 3.2-8. Corriente drenaje-fuente en función de la tensión puerta-fuente para varios valores de la tensión fuente-sustrato. Las curvas están dibujadas para $v_{GD} = 0$ V.

La tensión del sustrato afecta a la tensión inicial V_{TN} y a la característica corriente de drenaje-tensión de puerta del MOSFET. La Figura 3.2-7 muestra la variación de la tensión umbral V_{TN} con las variaciones de la tensión fuente-sustrato v_{SB} en un MOSFET. Teóricamente, se puede demostrar que

$$v_{TN}(v_{SB}) \approx V_{TN}(0) + K\sqrt{v_{SB}} \tag{3.2-4}$$

donde $v_{TN}(v_{SB})$ es la tensión umbral correspondiente a la tensión fuente-sustrato v_{SB}, $V_{TN}(0)$ es la tensión umbral correspondiente a $v_{SB} = 0$, y K es una constante de proporcionalidad que depende de la anchura, la longitud, el dopado, etc., empleados en la fabricación del FET. Los valores de K están comprendidos entre 0,25 y 2.

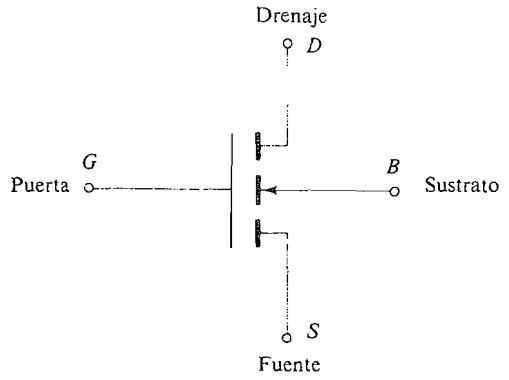


Figura 3.2-9. Símbolo de circuito de un NMOSFET que muestra explícitamente el terminal de sustrato.

La corriente drenaje-fuente también es afectada por las variaciones de la tensión del sustrato a causa de que, cuando cambia la tensión fuente-sustrato, cambia la tensión umbral. Por ejemplo, si el MOSFET está en saturación,

$$i_{DS} = k[v_{GS} - v_{TN}(v_{SB})]^2 \approx k[v_{GS} - V_{TN}(0) - K\sqrt{v_{SB}}]^2 \tag{3.2-5}$$

En la Figura 3.2-8 están representados los resultados experimentales obtenidos con un NMOSFET típico conectado de modo que $v_{GD} = 0$. Cada curva tiene la misma forma salvo la traslación originada por las variaciones de la tensión umbral.

Nosotros representaremos el JFET de canal *n* y el MOSFET por el símbolo del circuito que aparece en la Figura 3.1-1*b*. Cuando sea importante dibujar un esquema para mostrar explícitamente la tensión del sustrato emplearemos el símbolo del circuito FET representado en la Figura 3.2-9.

3.3. REVERSIBILIDAD DEL DRENAJE Y DE LA FUENTE

El FET se fabrica usualmente de modo que el drenaje y la fuente puedan ser intercambiados sin variación apreciable de la característica *vi*. Incluso hay muchos fabricantes que advierten que sus FET ofrecen posibilidad de operación «simétrica». Por tanto adoptaremos el convenio de que, en un FET de canal *n*, la fuente es el terminal que actúa como «fuente de flujo de electrones», mientras el drenaje es el terminal en el cual «entran» los electrones.

La Figura 3.3-1 muestra un FET conectado entre una fuente de tensión v_i y una resistencia de carga R_L. La tensión de puerta V_{GG} se ajusta para que fluya corriente en el FET. Si v_i es positiva, la corriente circula del punto *a* al punto *b* y la caída de tensión es $V_{ab} > 0$. En este caso el punto *a* es el drenaje y el punto *b* es la fuente. Cuando v_i es negativa, el flujo de corriente va del punto *b* al punto *a* y la caída de tensión $V_{ba} > 0$. Ahora el punto *a* es la fuente y el punto *b* es el drenaje.

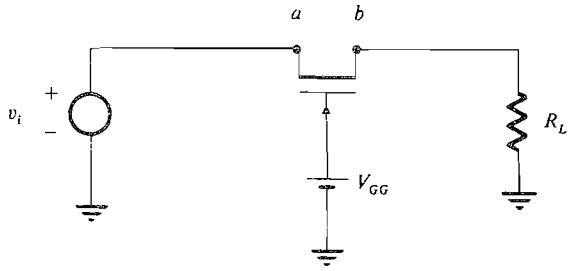


Figura 3.3-1. Un FET conectado entre una fuente y una carga para mostrar que el punto a es el drenaje cuando $V_a > V_b$ y que el punto b es el drenaje cuando $V_b > V_a$.

Se observará que la reversibilidad de los terminales del transistor es única para el FET. Si se invierten los terminales del BJT de modo que en un transistor *npn* la tensión emisor-colector sea positiva, las características *vi* cambian considerablemente porque la relación entre la corriente de base y la corriente de colector ($i_C = h_{FE} i_B$) se convierte en relación entre la corriente de base y la corriente inversa de emisor ($i_{ER} = h_{FC} i_B$). Esta es la razón por la cual el BJT no es simétrico: la superficie del emisor es mucho menor que la del colector y el dopado del emisor es mucho mayor que el del colector.

3.4. FET DE CANAL *p*

En la Figura 3.4-1*a* está representado un JFET de canal *p* y en la Figura 3.4-1*b* su símbolo. En un FET de canal *p* la fuente es positiva con respecto al drenaje. De ahí que la fuente sea la *fuente de huecos* que fluyen a través del canal hasta el *drenaje*.

Para controlar el flujo de huecos desde la fuente hasta el drenaje debemos establecer una región de empobrecimiento entre la puerta y el canal a fin de obtener la estrangulación. Esto se consigue haciendo que la tensión fuente-puerta v_{SG} sea negativa mediante la polarización inversa del diodo *pn* formado por el canal y la puerta.

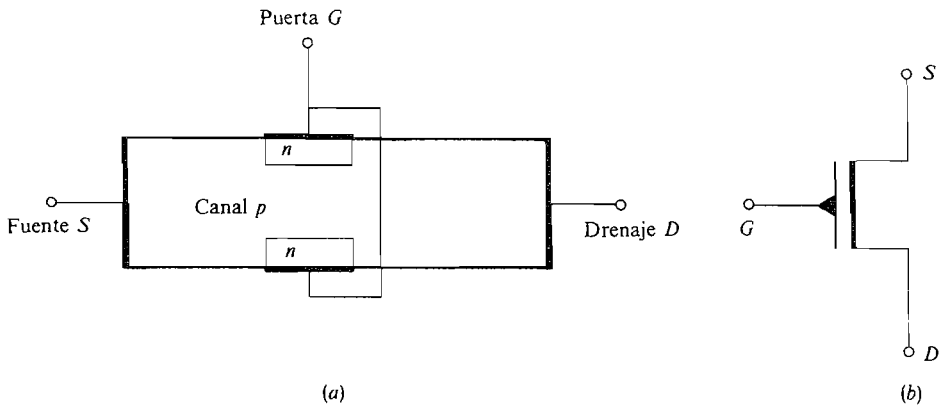


Figura 3.4-1. JFET de canal *p*: (*a*) vista esquemática; (*b*) símbolo de circuito.

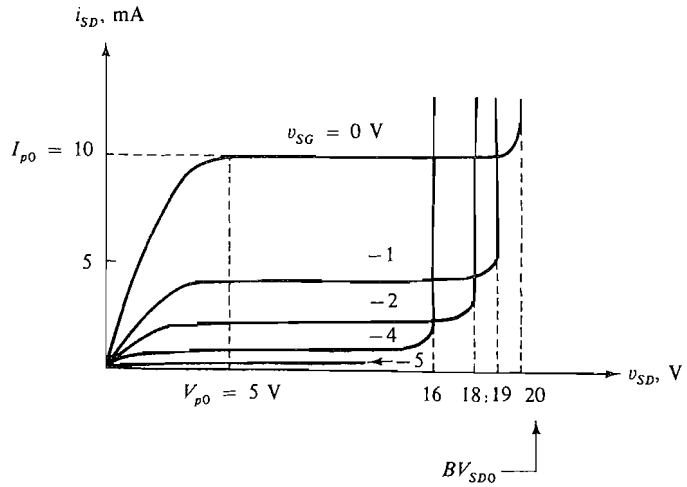


Figura 3.4-2. Características *vi* del JFET de canal *p*.

La Figura 3.4-2 representa un juego o familia de características *vi* de un JFET de canal *p*. Obsérvese la similitud entre estas características y las representadas en la Figura 3.1-5 correspondientes a un JFET de canal *n*. Las curvas son idénticas excepto que i_{SD}, v_{SD} y v_{SG} sustituyen respectivamente a I_{DS}, v_{DS} y v_{GS}.

En la Figura 3.4-3*a* está representado esquemáticamente un PMOSFET y sus características *vi* lo están en la Figura 3.4-3*b*. El símbolo de circuito es idéntico al del NMOSFET excepto en que la flecha está invertida respecto a las Figuras 3.1-1*b* ó 3.2-9. En la Figura 3.4-3*a* las tensiones han sido ajustadas para que el dispositivo funcione por debajo del estrangulamiento en la región lineal. La tensión del sustrato es siempre el potencial más positivo del circuito, por lo que los diodos *pn* del sustrato están siempre al potencial más positivo del circuito, por lo que los diodos *pn* formados entre el sustrato y el drenaje y la fuente y el canal están polarizados inversamente. Con las polaridades indicadas para V_{GG} y V_{DD}, esto se consigue conectando a masa el sustrato.

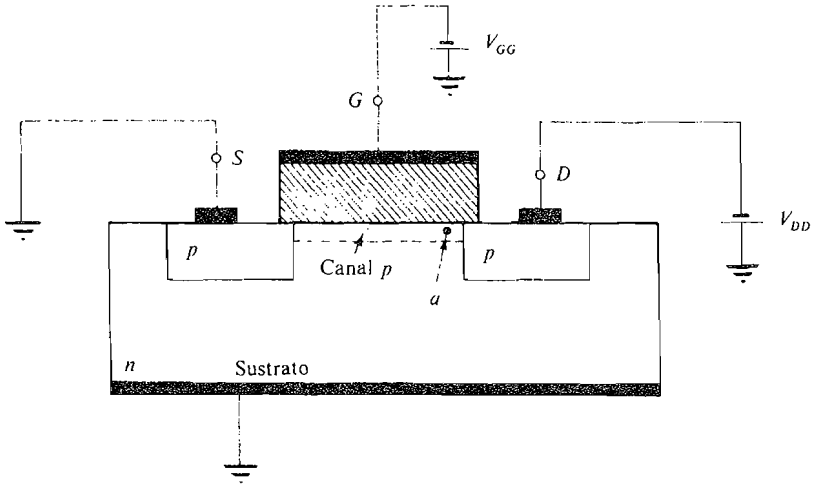
La tensión de puerta $-V_{GG}$ es siempre menor que la tensión de fuente, por lo que los huecos de la fuente son atraídos hacia la puerta y, por consiguiente, forman el canal. El drenaje está también a menor tensión que la fuente por lo que los huecos de ésta son absorbidos por el drenaje a través del canal.

En un PMOSFET ocurre el estrangulamiento cuando la tensión drenaje-puerta es igual a la tensión umbral V_{TP}. Con este valor el potencial del canal *p* en el punto *a* es suficientemente negativo con respecto a la tensión del sustrato cerca del punto *a* para que la región de empobrecimiento que forma, corte o estrangule el canal.

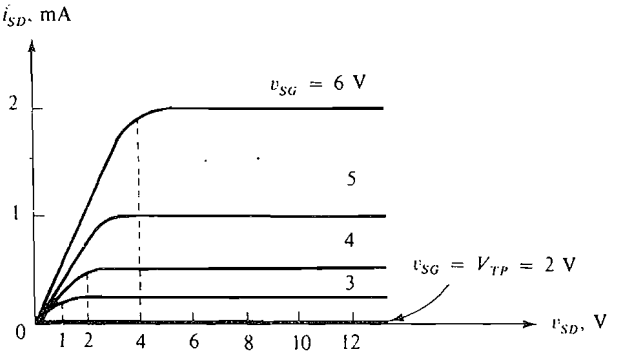
En la Figura 3.4-3*b* se utilizan nuevamente las coordenadas i_{SD}, v_{SD} y v_{SG}, que son todas positivas y resultan cómodas. Obsérvese que la corriente sólo fluye cuando $v_{SG} > V_{TP}$.

Las ecuaciones para la corriente i_{SD} de un PMOSFET en función de v_{SG} y v_{SD} son:
Por debajo del estrangulamiento (región lineal):

$$i_{SD} = k_p[2(v_{SG} - V_{TP})v_{SD} - v_{SD}^2] \qquad v_{SD} < v_{SG} - V_{TP} \tag{3.4-1a}$$



(a)



(b)

Figura 3.4-3. El PMOSFET: (*a*) esquema; (*b*) características *vi*.

Por encima del estrangulamiento (saturación):

$$i_{SD} = k_p(v_{SG} - V_{TP})^2 \qquad v_{SD} \geq v_{SG} - V_{TP} \tag{3.4-1b}$$

Los valores de k_p para un PMOSFET que tenga la misma geometría que un NMOSFET son aproximadamente iguales a un tercio de k_n, mientras los valores de V_{TP} son comparables a los hallados para V_{TN}.

Lo mismo que antes, supondremos que las ecuaciones de corriente de un JFET son las mismas que las de un MOSFET, por lo que para un JFET de canal p, $I_{p0} = k_p V_{TP}^2$ y $V_{p0} = -V_{TP}$.

Como los valores de V_{TP} son comparables a los de V_{TN}, omitiremos los subíndices N y P y designaremos por V_T la tensión umbral excepto donde pueda haber alguna ambigüedad.

3.5. MOSFET DE EMPOBRECIMIENTO

El MOSFET puede ser también fabricado para funcionar en el *modo de empobrecimiento*. En un NMOSFET hay siempre presente un canal incluso cuando la tensión puerta-fuente es cero. En este caso v_{GS} debe ser negativa para que se produzca el corte del dispositivo de modo que $i_{DS} = 0$ para todos los valores de v_{DS}. Análogamente, un PMOSFET debe tener una tensión v_{SG} negativa para llegar al corte. Así pues, en un FET de empobrecimiento la tensión umbral V_T es negativa. Los valores de V_T para un FET de empobrecimiento están comprendidos entre -4 V y -10 V.

3.5-1. Comparación de los tres tipos de MOSFET

Los tipos de FET pueden compararse en base a sus *características de transferencia*, que son gráficos de la salida (corriente drenaje-fuente) en función de la entrada (tensión puerta-fuente). En la región normal de funcionamiento entre el estrangulamiento y la ruptura, la corriente de drenaje es independiente de la tensión drenaje-fuente. La característica de transferencia de cada dispositivo en esta región se convierte en una sola curva, como muestra la Figura 3.5-1.

La Figura 3.5-1*a* es la característica de transferencia de un JFET. En la curva vemos que hay una considerable corriente de drenaje para $v_{GS} = 0$. Esta corriente se controla aplicando una v_{GS} negativa. Si deseamos utilizar un dispositivo de canal *n* tal como éste, funcionando como amplificador, será necesaria una tensión negativa de polarización entre puerta y fuente para que la señal aplicada haga variar la corriente de drenaje por encima y por debajo del valor ajustado por la polarización. Los fabricantes suelen especificar valores típicos de I_{p0} y V_{p0}.

La Figura 3.5-1*b* muestra la característica de transferencia de un MOSFET de canal *n* de empobrecimiento. Aquí están presentes ambas regiones de empobrecimiento y enriquecimiento; hay una apreciable corriente de drenaje para $v_{GS} = 0$, pero normalmente es menor que en el JFET. La corriente de drenaje se inicia únicamente cuando v_{GS} llega a

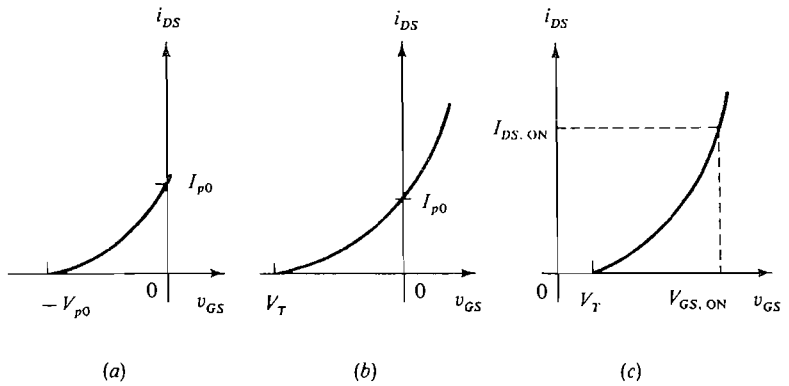


Figura 3.5-1. Características de transferencia: (*a*) JFET; (*b*) MOSFET de canal *n* de empobrecimiento; (*c*) MOSFET de canal *n* de enriquecimiento.

ser mayor que la tensión umbral negativa V_T. Para este dispositivo los fabricantes especifican V_T e I_{pO}.

La Figura 3.5-1*c* muestra la característica de transferencia de un MOSFET de enriquecimiento de canal *n*. Aquí no hay corriente de drenaje para $v_{GS} = 0$; la corriente de drenaje empieza a circular cuando se aplica una tensión positiva igual a la tensión umbral V_T. Según esto, la característica es similar a la del MOSFET para $v_{GS} > V_T$. El fabricante especifica V_T y un valor particular de $I_{DS,ON}$ correspondiente a un valor especificado de $V_{GS,ON}$.

3.6. EL AMPLIFICADOR FET

Un amplificador NMOSFET se puede observar en la Figura 3.6-1*a*. El punto de funcionamiento se obtiene rápidamente utilizando técnicas gráficas, como se muestra en la Figura 3.6-1*b*. Hay que darse cuenta que para el MOSFET, V_{GSQ} es positiva, mientras que si se empleara un JFET, V_{GSQ} sería negativa. En el presente circuito R_1 y R_2 marcan el punto de funcionamiento ajustando la tensión de puerta a +4 V con respecto a la fuente.

El circuito mostrado en la Figura 3.6-1*a* puede ser incluso considerado como un inversor. Si v_i se conserva en un valor razonablemente pequeño, la amplificación será lineal y la señal de salida v_o estará invertida, siendo una réplica amplificada de la señal v_i. En términos matemáticos tendríamos $v_o = -Av_i$ donde A es el factor de amplificación y el signo negativo representa la inversión.

La construcción gráfica mostrada en la Figura 3.6-1 es idéntica a la realizada para el BJT y, por lo tanto, el análisis no se repetirá. Sin embargo, la ventaja real del FET está en su uso en circuitos integrados, en los cuales la resistencia de carga R_d se reemplaza por un segundo FET.

Un típico inversor NMOSFET que puede encontrarse en un IC se muestra en la Figura 3.6-2. Aquí está realizado con NMOS, pero puede, por supuesto, realizarse con PMOS. El inversor MOSFET mostrado en la figura consta de dos transistores, mejor que un simple transistor con carga resistiva, como en la Figura 3.6-1*a* o en un inversor con BJT.

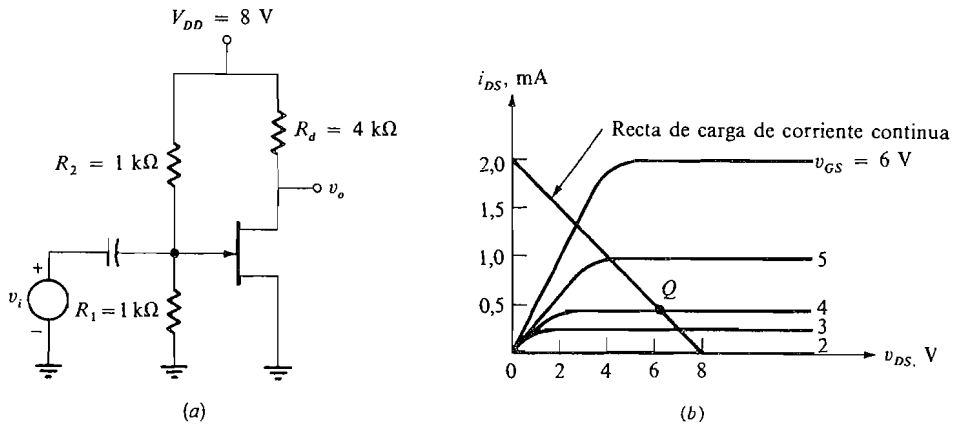


Figura 3.6-1. (*a*) Amplificador NMOSFET; (*b*) características del MOSFET y recta de carga.

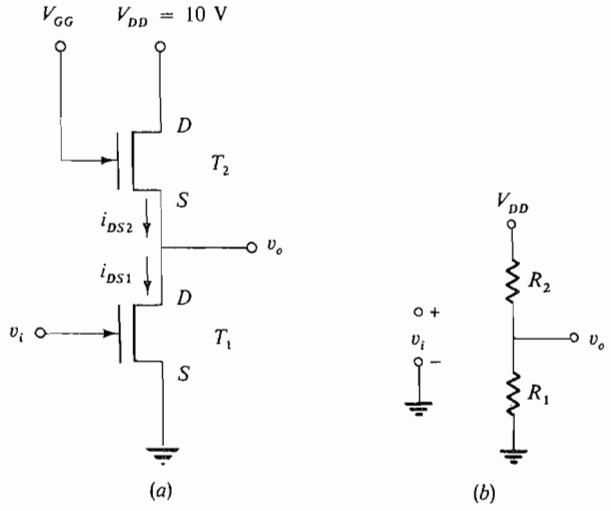


Figura 3.6-2. Inversor MOSFET: (*a*) circuito; (*b*) circuito resistivo equivalente.

En la Figura 3.6-2*a*, T_1 y T_2 se comportan como dos resistencias y la ganancia del amplificador depende de la relación entre esas dos resistencias. El transistor T_2 actúa como una carga resistiva y se puede demostrar fácilmente que la relación entre la resistencia de esta carga y la resistencia del transistor activo T_1 es proporcional a la relación K_{n1}/K_{n2} [véase (3.2-2)], que definiremos como λ. Obsérvese que:

$$\lambda = \frac{k_{n1}}{k_{n2}} = \frac{(W/L)_1}{(W/L)_2} = \frac{1/R_1}{1/R_2} = \frac{R_2}{R_1} \tag{3.6-1}$$

De ahí que cuanto mayor sea λ mayor es la relación entre la resistencia del MOS de carga y la resistencia del MOS activo cuando ambos transistores están en conducción.

Las características de entrada-salida del inversor FET toman diferentes formas, dependiendo no sólo de $\lambda = k_{n1}/k_{n2}$ sino también de otros parámetros tales como los valores relativos de las tensiones de alimentación V_{GG} y V_{DD}. Estas características son en función de que:

1. T_2 opere por encima de la ruptura (estrangulamiento).
2. T_2 opere por debajo de la ruptura
3. T_2 actúe como dispositivo de modo-empobrecimiento.

Las características de entrada-salida resultantes para estos casos se muestran en la Figura 3.6-3. Las curvas fueron obtenidas utilizando (3.2-2*a*) y (3.2-2*b*) para representar a los transistores T_1 y T_2 en las regiones apropiadas. Mientras que los detalles de cálculo se dejan para los Problemas 3.6-7, 8 y 9, es interesante observar el funcionamiento del sistema de una manera cualitativa: primero, cuando v_i es menor que $V_{T1} = 2$ V, T_1 está cortado, no hay corriente ni en T_1 ni en T_2 y V_o es alto. Segundo, cuando $V_i > V_T = 2$ V, circula corriente. Si representamos T_1 y T_2 por «resistencias», la tensión de salida será $V_o = V_{DD}R_1/(R_1 + R_2)$. Cuando λ es grande $R_2 \gg R_1$ y V_o es pequeño. Obsérvese que a grandes λ corresponden pequeños V_o, como era de esperar.

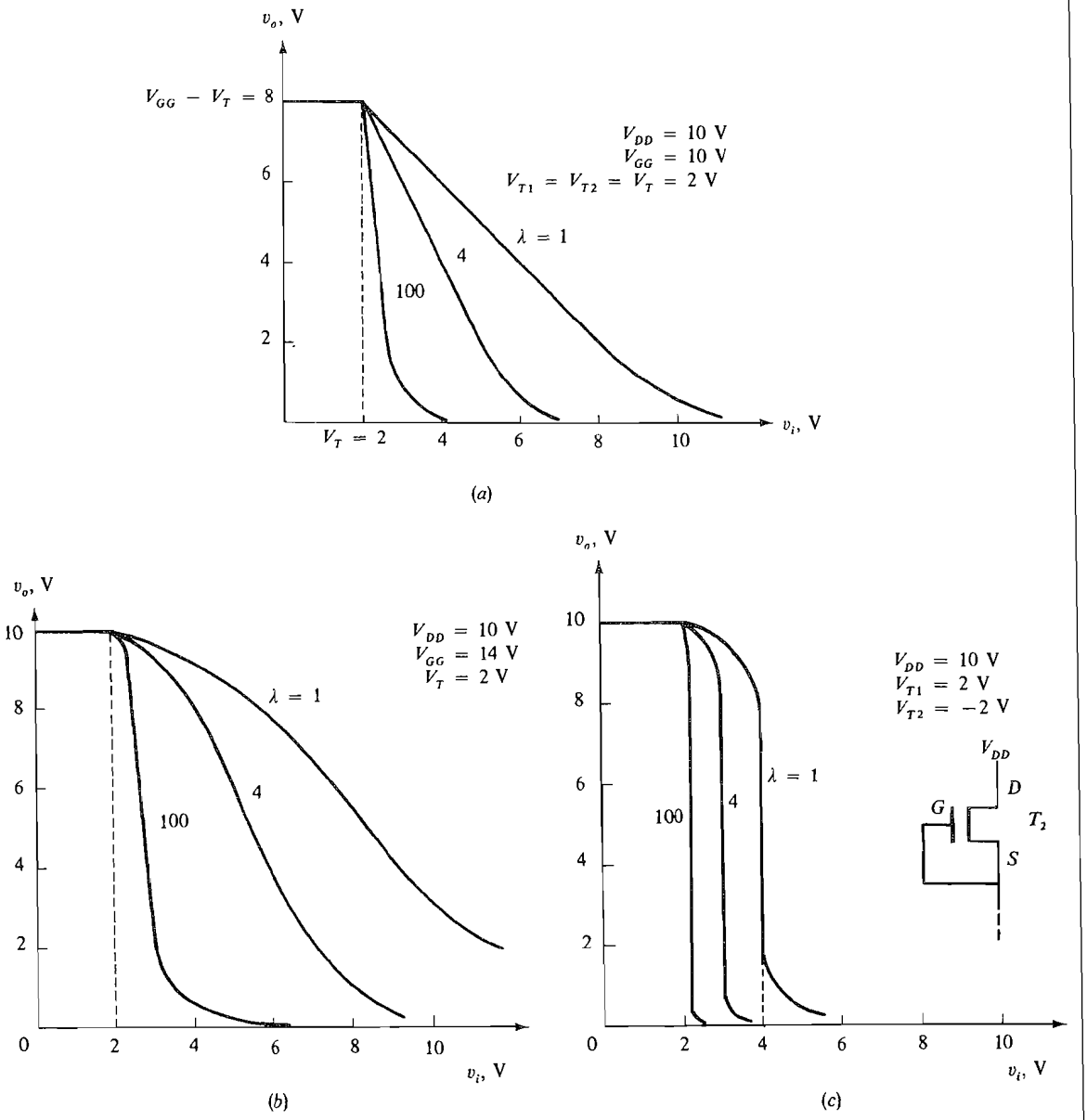


Figura 3.6-3. Características del inversor MOSFET: (*a*) $V_{DD} \geq V_{GG} - V_T$; T_2 trabajando por encima de ruptura; (*b*) $V_{DD} < V_{GG} - V_T$; T_2 por debajo de ruptura; (*c*) $V_{GS} = 0$ (puerta unida a fuente); T_2 un dispositivo modo-empobrecimiento.

Las Figuras 3.6-3*a*, *b* y *c* deben compararse en base a la aplicación deseada; por ejemplo, ¿se va a utilizar el inversor como un elemento lógico? Si es así, estamos interesados en el estado bajo y en el estado alto. O, ¿se va a utilizar el inversor como un amplificador lineal? En este caso nos gustaría una relación lineal entre v_o y v_i.

Si el inversor se utiliza como un elemento lógico, nos gustaría que la salida v_o cambiara desde una tensión alta hacia una tensión baja cuando la entrada v_i aumentara una cantidad infinitesimal por encima de $V_T = 2$ V. En la Figura 3.6-3*c* podemos ver que si T_2 es un dispositivo de modo-empobrecimiento se tiene una transición extremadamente abrupta para cualquier λ. Incluso podemos observar que las transiciones son más abruptas que las que pueden encontrarse en las Figuras 3.6-3*a* o *b*. Desafortunadamente, con la tecnología actual sólo se fabrican en forma de circuito integrado FET de modo-enriquecimiento; los FET de modo-empobrecimiento se encuentran únicamente en forma discreta.

Como indicamos anteriormente, un inversor lógico necesita transiciones abruptas. La transición obtenida cuando T_2 trabaja por encima de la ruptura (Fig. 3.6-3*a*) es más abrupta que cuando trabaja por debajo de la misma (Fig. 3.6-3*b*). El circuito de la Figura 3.6-3*a* es incluso una elección conveniente puesto que puede utilizarse una única fuente de alimentación, es decir, podemos poner $V_{GG} = V_{DD}$.

Si el inversor se utiliza como un amplificador lineal, otra vez seleccionaríamos las características mostradas en la Figura 3.3-6*a* puesto que, con la operación de T_2 por encima de la ruptura, la característica es lineal en un rango razonable de valores de tensión de entrada v_i. Por ejemplo, con $\lambda = 100$ la relación entre la entrada y la salida es:

$$v_o = -12v_i + 32 \tag{3.6-2}$$

para valores de v_i comprendidos entre 2 y 2,5 V. Por lo tanto, si la entrada del inversor NMOS se ajusta para que la tensión de reposo de salida sea 5 V, el inversor puede moverse ± 3 V con relación al punto Q. Obsérvese que para esta configuración la ganancia es $A = v_o/v_i = \sqrt{\lambda}$.

La utilización del inversor NMOS como elemento lógico origina problemas. En primer lugar, las dimensiones del transistor de carga exceden considerablemente las del transistor excitador. Por ejemplo, si

$$\lambda = \frac{(W/L)_D}{(W/L)_L} = 100 \tag{3.6.3}$$

entonces, suponiendo que T_1 y T_2 tengan la misma anchura, la longitud del transistor de carga T_2 es 100 veces mayor que la longitud del transistor excitador T_1. En diseños de circuito integrado donde el «estado real» del chip es difícil de predecir esta relación no es posible en la práctica y debemos buscar otra manera de diseñar este inversor. En segundo lugar, la región de transición de v_i es muy grande, extendiéndose (para $\lambda = 100$) desde $v_i \approx 2$ V hasta $v_i \approx 4$ V (véase Fig. 3.6-3*a*). Cuando la señal de entrada cruza esta región se disipa potencia en el FET. Esta potencia debe ser suministrada por la fuente V_{DD}.

3.7. MOS DE SIMETRIA COMPLEMENTARIA

El FET (CMOS) de simetría complementaria está fabricado como muestra la Figura 3.7-1*a*. Consiste en un PMOSFET y un NMOSFET. Ambos son dispositivos del modo de enriquecimiento y están diseñados para que $k_p = k_n$. Entre el PMOSFET y el NMOSFET se emplean otras conexiones cuando el CMOS ha de ser utilizado en aplicaciones diferentes que después estudiaremos.

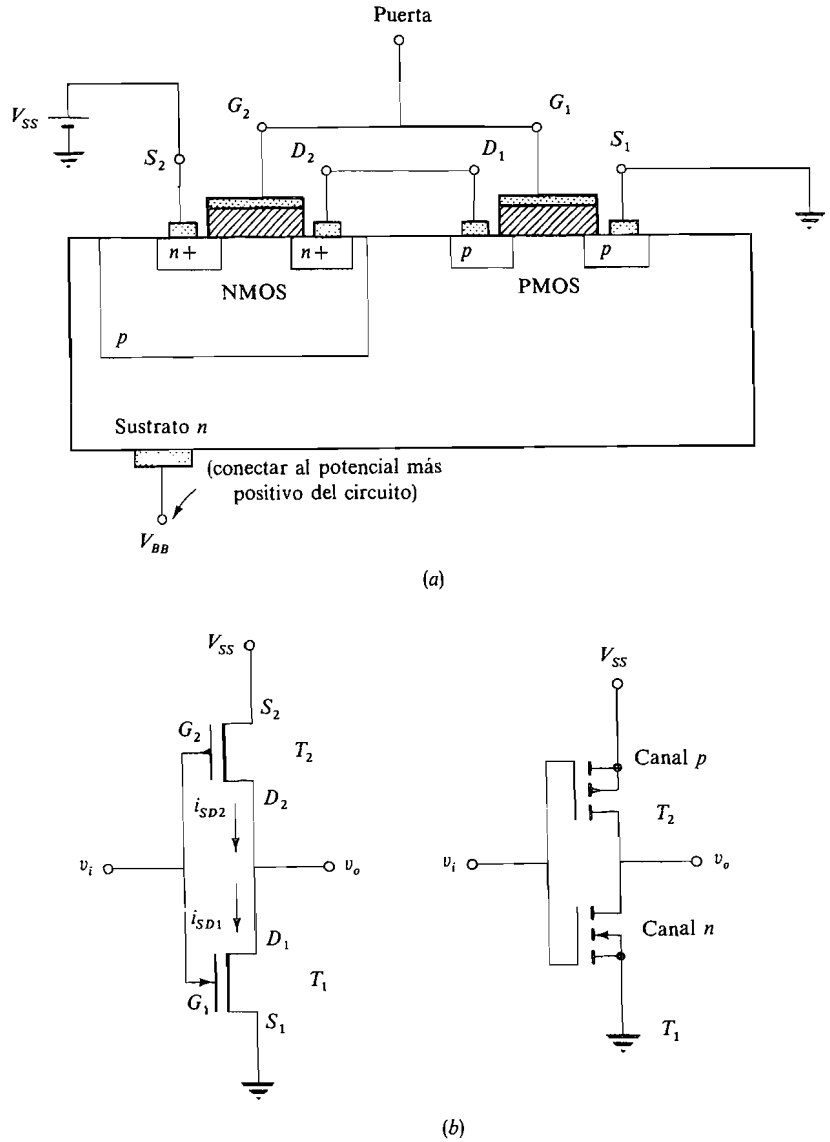


Figura 3.7-1. Inversor CMOS: (*a*) vista esquemática; (*b*) símbolos de circuito y conexiones del sustrato.

El diagrama del circuito inversor CMOS está representado en la Figura 3.7-1*b*. Aquí T_2 es el PMOSFET y T_1 es el NMOSFET. Los dos drenajes están conectados entre sí por lo que la corriente fluye desde la alimentación de V_{SS} hasta masa. El circuito de la derecha muestra las conexiones del sustrato.

La operación del inversor es la siguiente. Cuando $v_i < V_{T1}$, el transistor T_1 está en corte y, como usualmente ocurre, $v_{SG2} = V_{SS} - v_i > V_{T2}$, por lo que el transistor T_2 conduce. Estando T_1 en corte, no fluye corriente en T_2 aunque esté en el estado de

conducción. Por la Figura 3.4-3*b* o por (3.4-1*a*) vemos que con $i_{SD2} = 0$ tendremos $v_{SD2} = 0$. Así, la salida del inversor es $v_0 = V_{SS}$. Cuando aumenta la tensión de entrada v_i por encima de V_{T1}, T_1 y T_2 conducen y la tensión de salida disminuye. Finalmente, cuando v_i aumenta lo suficiente para que T_2 pase al estado de corte, es decir, $V_{SS} - v_i < V_{T2}$, entonces, como T_1 está en conducción, la tensión de salida $v_o = 0$ V.

Cálculo de la característica entrada-salida del inversor CMOS. La característica entrada-salida de un inversor CMOS está representada en la Figura 3.7-2. Está dibujada para un circuito en que $V_{SS} = 10$ V, $V_{T1} = V_{T2} = 3$ V y $k_p = k_n$. Obsérvese que cuando v_i es menor de 3 V, T_1 está en corte, T_2 está en conducción y $v_o = 10$ V; en cambio, cuando v_i es mayor de 7 V, T_2 está en corte, T_1 conduce y $v_o = 0$ V.

En la región comprendida entre A y D, T_1 y T_2 están en conducción. En la región AB, T_1 está en saturación y T_2 está en el margen lineal de funcionamiento, ya que $v_o > v_i - V_{T1}$ y $V_{SS} - v_o < V_{SS} - v_i - V_{T2}$ [véanse (3.2-2) y (3.4-1)]. Así, la característica entre A y B se halla igualando (3.2-2*b*) y (3.4-1*a*) como sigue:

$$k_n(v_i - V_{T1})^2 = k_p[2(V_{SS} - v_i - V_{T2})(V_{SS} - v_o) - (V_{SS} - v_o)^2] \tag{3.7-1}$$

Por simetría vemos que en la región CD, T_2 está en saturación y T_1 en la zona lineal. La característica en esta región se halla igualando (3.2-2*a*) y (3.4-1*b*). El resultado es

$$k_n[2(v_i - V_{T1})v_o - v_o^2] = k_p(V_{SS} - v_i - V_{T2})^2 \tag{3.7-2}$$

En la zona BC T_1 y T_2 están en saturación. La característica en esta región se halla igualando (3.2-2*b*) y (3.4-1*b*). El resultado es

$$k_n(v_i - V_{T1})^2 = k_p(V_{SS} - v_i - V_{T2})^2 \tag{3.7-3}$$

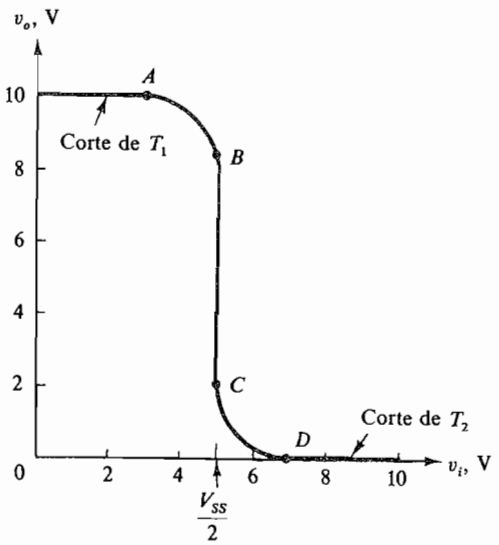


Figura 3.7-2. Característica entrada-salida de un inversor CMOS.

Con $k_n = k_p$ y $V_{T1} = V_{T2}$ tenemos:

$$v_i = \frac{V_{SS}}{2} = 5 \text{ V} \tag{3.7-4}$$

La característica en la región *BC* es una recta vertical que indica que la tensión de salida cambia abruptamente cuando v_i pasa por el valor $V_{SS}/2$. Naturalmente, en la práctica la transición no es abrupta pero sí de mucha pendiente, lo que significa alta ganancia.

3.8. El FET DE GaAs (MESFET)

Los dispositivos JFET y MOSFET estudiados anteriormente pueden, por supuesto, utilizarse como interruptores. Sin embargo, como interruptores son lentos, cambiando de estado en alrededor de 1 ns. Esto contrasta con el diodo Schottky (Sec. 1.9), que puede cambiar de estado en menos de 0,1 ns.

El FET metal-semiconductor de arseniuro de galio (MESFET de GaAs)[4] estudiado en esta sección es un FET de alta velocidad capaz de conmutar en 30 ps y trabajar a frecuencias superiores a los 5 GHz. El dispositivo se muestra en la Figura 3.8-1. Aquí podemos ver que el arseniuro de galio reemplaza al silicio utilizado en los habituales MOSFET. Esto es debido a que los electrones del GaAs tienen una movilidad significativamente más alta que los electrones del Si. El canal se forma depositando un material n^+ sobre el GaAs previo a la colocación de los contactos metálicos para la fuente, puerta y drenaje. La unión puerta-canal forma un diodo Schottky (metal-semiconductor) en lugar de una unión *p-n* o MOS. Cuando la tensión de puerta se hace negativa con respecto a la fuente y el drenaje, el área alrededor de la puerta llega a ser n^- y finalmente sufre una ruptura (estrangulamiento) como en un MOSFET en modo-empobrecimiento. Como dispositivo se denomina D-MESFET modo-empobrecimiento. Los MESFET modo-enriquecimiento, denotados E-MESFET se fabrican insertando una barrera semiconductora en el canal n^+. Sin embargo, hasta el momento el mayor número de MESFET son del tipo de empobrecimiento.

El funcionamiento del circuito es similar al del MOSFET con la excepción de que el MESFET trabaja a frecuencias que son un orden de magnitud más grandes que las del MOSFET o las del JFET. Los parámetros típicos son los siguientes: tensiones de ruptura, $-0{,}4$ V a $+0{,}1$ V; corriente drenaje-fuente, 0 a 5 mA; tensión drenaje-fuente, 0 a 5 V.

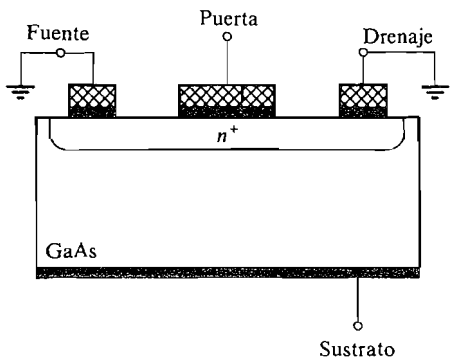


Figura 3.8-1. FET de arseniuro de galio.

3.9. EL INTERRUPTOR FET

En la Figura 3.9-1 se muestra un interruptor FET. Se utilizan para conectar una señal de tensión v_i a una resistencia de carga R_L sólo cuando se ordena mediante una tensión de control v_G. En este circuito cuando v_G es una tensión positiva adecuadamente elevada V_N, T_1 se cierra y la caída de tensión v_o a través de R_L será proporcional a v_i para los valores adecuados de V_N y R_L. Para que esto sea cierto T_1 debe comportarse como una resistencia lineal cuando está cerrado. Cuando v_G es una tensión negativa $-V_F$, T_1 se corta, la corriente no puede circular y la tensión de salida es cero.

El interruptor FET se comporta como una resistencia de valor cero cuando está en conducción, de modo que el circuito de la Figura 3.9-1 es equivalente a un divisor de tensión resistivo. Para que la tensión de salida v_o sea una réplica no distorsionada y a escala de la tensión de entrada v_i, la resistencia equivalente del FET debe ser lineal, es decir, independiente del valor de entrada, v_i. Esto se realiza seleccionando los parámetros adecuados de modo que el FET esté operando bien por debajo de la ruptura (véase Figura 3.2-5), donde sus características pueden considerarse una línea recta.

Supongamos que con $v_G = V_N$, T_1 trabaja por debajo del umbral. Cuando v_i es positiva, tenemos que $v_{DS} = v_i - v_o$ y $v_{GS} = V_N - v_o$ y que la corriente en la carga es, según (3.2-2*a*),

$$i_o = k_n[2(V_N - v_o - V_T)(v_i - v_o) - (v_i - v_o)^2] \tag{3.9-1}$$

Esta ecuación se puede escribir:

$$i_o = k_n[(v_i - v_o)^2 + 2(V_N - V_T - v_i)(v_i - v_o)] \tag{3.9-2a}$$

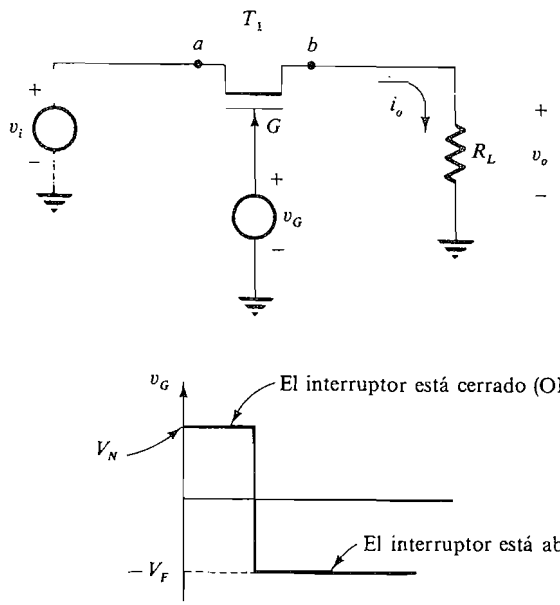


Figura 3.9-1. Un interruptor FET. El punto *a* es el drenaje cuando v_i es positiva, y el punto *b* es el drenaje cuando v_i es negativa.

Cuando v_i es negativa, fuente y drenaje resultan intercambiados y tenemos $v_{DS} = v_o - v_i$ y $v_{GS} = V_N - v_i$. Además, la corriente se invierte en el FET y, por tanto, (3.2-2*a*) se convierte en:

$$i_o = -k_n[2(V_N - V_T - v_i)(v_i - v_o) + (v_i - v_o)^2] \tag{3.9-2b}$$

Obsérvese que (3.9.2*a*) y (3.9-2*b*) son ecuaciones idénticas excepto en que i_o es positiva en (3.9-2*a*) y negativa en (3.9-2*b*).

En (3.9-2) vemos que la relación entre la corriente a través del FET, i_o, y la caída de tensión en él, $v_i - v_o$, tiene forma parabólica en vez de lineal. Así pues, la resistencia equivalente $R_{\text{FET}} = v_{DS}/i_{DS} = (v_i - v_o)/i_o$ es una función no lineal de la caída de tensión en el FET $v_i - v_o$ y de la tensión de entrada v_i.

Aunque R_{FET} no sea lineal, su margen de valores es pequeño, típicamente de 50 a 500 Ω. Esto ocurre con todos los valores de v_i a condición de que la tensión de puerta $V_n \gg V_T + v_i$. Por tanto, eligiendo la resistencia de carga $R_L \gg 500\ \Omega$ estaremos seguros de que la tensión de salida v_o tendrá un valor aceptablemente aproximado al de la tensión de entrada v_i. Por ejemplo, supongamos que diseñamos un conmutador FET tal que la caída de tensión en el conmutador es el 1 por 100 de la caída de tensión en la carga R_L. Entonces, si V_N es grande, como la caída de tensión en el FET, $v_i - v_o$, es pequeña, podemos despreciar el término $(v_i - v_o)^2$ en (3.9-2). La resistencia del FET es pues

$$R_{\text{FET}} \approx \frac{v_i - v_o}{i_o} \approx \frac{1}{2k_n(V_N - V_T - v_i)} \approx \frac{1}{2k_n(V_N - V_T)} \tag{3.9-3}$$

Si $k_n = 10^{-3}$, $V_T = 2$ V y $V_N = 12$ V, entonces $R_{\text{FET}} \approx 50\ \Omega$. Si $R_L > 5000\ \Omega$, la variación real de R_{FET} no dará lugar a una gran distorsión de la tensión de salida.

También se observa que si la impedancia de carga $R_L \approx 0\ \Omega$, es decir, $v_o = 0$ V, (3.9-2*a*) y (3.9-2*b*) se reducen a $i_o = 2\,k_n(V_N - V_T)\,v_i$ y, por tanto, i_o es directamente proporcional a la tensión de entrada v_i. En este caso R_{FET} esta determinada por (3.9-3). Este modo de operación ocurre cuando el FET excita a un amplificador operacional (véase Sec. 8.1).

Tensión de control del conmutador. Para poner el conmutador en el estado de conducción y, con ello, asegurarnos de que su R_{FET} será pequeña comparada con la impedancia de carga R_L, vemos que la condición necesaria es

$$V_N \gg V_T + (v_i)_{\text{máx}} \tag{3.9-4a}$$

Para asegurarnos de que el FET está en corte observemos que si $v_i > 0$ e $i_o = 0$, debemos tener $v_{GS} = -V_F < V_T$. Sin embargo, si $v_i < 0$, el drenaje y la fuente se invierten e $i_o = 0$, cuando $v_{GS} = -V_F - (v_i)_{\text{min}}$, que debe ser menor que V_T. Así, la condición que asegura que el FET está cortado es

$$-V_F < V_T + (v_i)_{\text{min}} \tag{3.9-4b}$$

Por ejemplo, si v_i varía entre ± 5 V, tal que $(v_i)_{\text{máx}} = +5$ V y $(v_i)_{\text{min}} = -5$ V y $V_T = 2$ V, debemos tener $V_N \gg 7$ y $-V_F < -3$ V para que el funcionamiento sea correcto.

Resistencia de un conmutador CMOS. Un conmutador CMOS, representado en la Figura 3.9-2, consiste en un NMOSFET en paralelo con un PMOSFET. Las conexiones del sustrato han sido omitidas en la figura para mayor simplicidad, pero debe recordarse que,

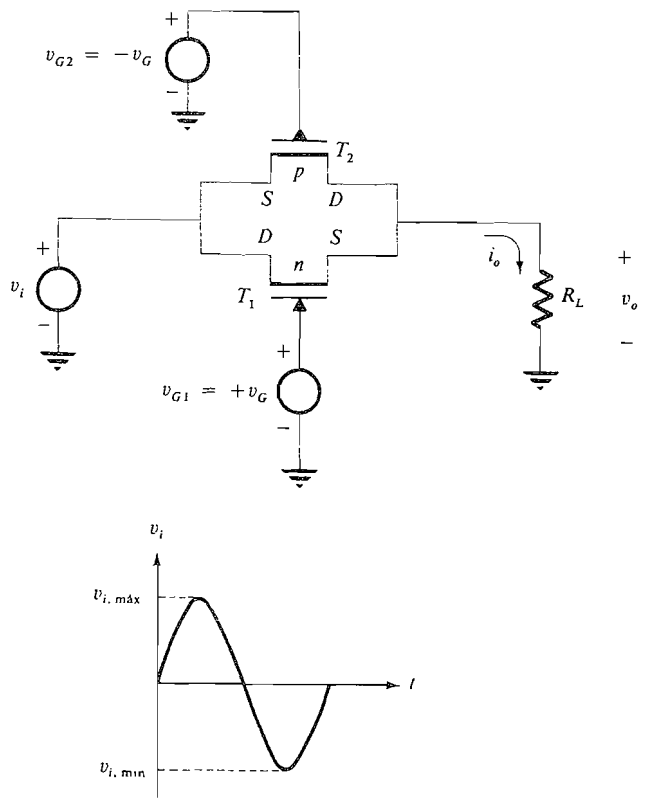


Figura 3.9-2. Un conmutador CMOS. Están representados los terminales de drenaje y fuente para $v_i > 0$. Cuando $v_i > 0$, estos terminales están invertidos.

si es posible, el sustrato p del NMOSFET debe ser conectado a la tensión más negativa existente en el circuito y el sustrato n del PMOSFET debe ser conectado a la tensión más positiva del circuito.

Cuando $v_i \geq 0$, los terminales de drenaje y fuente están como muestra la figura. Cuando $v_i < 0$, estos terminales se invierten.

Para ponerlo el CMOS en conducción v_G debe ser una tensión positiva grande, V_N, y para ponerlo en corte, v_G debe ser una tensión negativa grande, $-V_F$. Si V_N es suficientemente grande, T_1 y T_2 conducen normalmente. Obsérvese que cuando $v_i > 0$, $v_{DS}(T_1) = v_{DS}(T_2) = v_i - v_o$, $v_{GS}(T_1) = V_N - v_o$ y $v_{GS}(T_2) = v_i - V_N$, por lo que la corriente de salida es

$$\begin{aligned} i_o = {} & k_n[2(V_N - v_o - V_{T1})(v_i - v_o) - (v_i - v_o)^2] \\ & + k_p[2(v_i + V_N - V_{T2})(v_i - v_o) - (v_i - v_o)^2] \end{aligned} \tag{3.9-5}$$

La misma ecuación resulta si $v_i < 0$. Si ponemos $k = k_n = k_p$ y $V_T = V_{T1} = V_{T2}$ se puede simplificar esta ecuación y queda

$$i_o = 4k(V_N - V_T)(v_i - v_o) \tag{3.9-6}$$

La resistencia efectiva del conmutador CMOS es, entonces:

$$R_{\text{CMOS}} = \frac{1}{4k(V_N - V_T)} \tag{3.9-7}$$

De ahí que la resistencia del CMOS sea lineal e independiente de v_i. Se puede demostrar fácilmente que (3.9-7) es válida para v_i positiva o negativa.

Es interesante observar que T_1 y T_2 actúan como resistencias en paralelo. Cuando $v_i = 0$, las dos resistencias son iguales. Cuando v_i aumenta, la resistencia de T_1 aumenta (puesto que v_{GS1} disminuye) y la resistencia de T_2 disminuye (puesto que v_{GS2} aumenta). La variación es tal que la resistencia paralelo equivalente se mantiene aproximadamente constante.

Para que T_1 y T_2 permanezcan simultáneamente en conducción y que la caída de tensión en el interruptor FET, $v_i - v_o$, sea pequeña cuando $v_G = V_N$, es necesario que $v_{GS}(T_1) = V_N - (v_i)_{\text{máx}} \geqslant V_T$ y $v_{GS}(T_2) = (v_i)_{\text{mín}} - V_N \geqslant V_T$.

El resultado es válido para $v_i > 0$ y también cuando $v_i < 0$ ya que $v_i \approx v_o$ cuando T_1 y T_2 conducen. Por tanto T_1 está en conducción cuando

$$V_N \geqslant V_T + (v_i)_{\text{máx}} \tag{3.9-8a}$$

y T_2 conduce cuando

$$V_N \geqslant V_T - (v_i)_{\text{mín}} \tag{3.9-8b}$$

Por ejemplo, si $-5\text{ V} \leqslant v_i \leqslant 5\text{ V}$ y $V_T = 2\text{ V}$, se debe tener $V_N \geqslant 7\text{ V}$.

La puesta en el estado de corte de T_1 requiere que $v_G = -V_F$ y $v_{GS}(T_1) = -V_F - (v_i)_{\text{mín}} \leqslant V_T$. De donde

$$-V_F \leqslant V_T - (v_i)_{\text{mín}} \tag{3.9-9a}$$

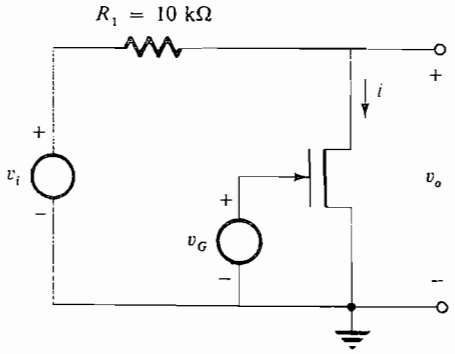
mientras la puesta en corte de T_2 requiere que $v_{SG}(T_2) = (v_i)_{\text{máx}} - V_F \leqslant V_T$. Así

$$V_F \geqslant (v_i)_{\text{máx}} - V_T \tag{3.9-9b}$$

Utilizando el mismo ejemplo que antes, con $-5\text{ V} \leqslant v_i \leqslant 5\text{ V}$ y $V_T = 2\text{ V}$, hallamos que se debe tener $-V_F \leqslant -3\text{ V}$.

EJEMPLO 3.9-1

En la Figura 3.9.3*a* está representado un interruptor FET que está en paralelo con la carga y en la Figura 3.9-3*b* se muestra el circuito divisor de tensión equivalente. El FET está caracterizado por los valores $k_n = 10^{-3}$ y $V_T = 2\text{ V}$. La tensión de entrada v_i varía entre -5 y $+5\text{ V}$. La tensión de puerta utilizada para poner en conducción el interruptor es $v_G = V_N$ y la tensión utilizada para ponerlo en corte es $v_G = -V_F$. Si $R_1 = 10\text{ k}\Omega$: (*a*) demostrar que la resistencia del FET cuando se utiliza en esta configuración es aproximadamente constante si la tensión de salida $v_o \ll 2(V_N - V_T)$; (*b*) suponiendo que R_{FET} es constante, calcular R_{FET}; (*c*) utilizando el valor de R_{FET} hallado en la parte (*b*), hallar v_o y el valor máximo de v_o; (*d*) determinar V_N para que $(v_o)_{\text{máx}} \ll 2(V_N - V_T)$ y también para que $v_o \leqslant 0{,}01\ v_i$ cuando el interruptor conduzca, y hallar también R_{FET} para este valor de V_N; (*e*) hallar V_F cuando la puerta esté en el estado de corte.



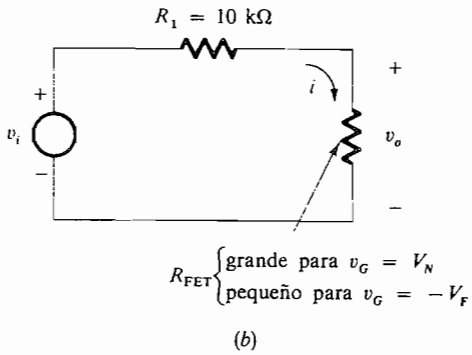


Figura 3.9-3. Interruptor FET para el Ejemplo 3.9-1: (*a*) circuito; (*b*) circuito equivalente.

Solución

(*a* y *b*) Por (3.2-2*a*) y la Figura 3.9-3 hallamos que para v_i positiva o negativa.

$$i = k_N[2(V_N - V_T)v_o - v_o^2]$$

Así, si $v_o \leqslant 2\ (V_N - V_T)$, podemos despreciar el término v_o^2 y obtener

$$R_{\text{REF}} \approx \frac{v_o}{i} = \frac{1}{2k_N(V_N - V_T)} = \frac{500}{V_N - V_T}$$

(*c*) Cuando se utiliza la fórmula del divisor de tensión, la tensión de salida v_o es

$$v_o = v_i \frac{R_{\text{FET}}}{R_{\text{FET}} + R_1} = \frac{v_i}{1 + 20(V_N - V_T)}$$

y puesto que $(v_i)_{\text{máx}} = +5$ V,

$$(v_o)_{\text{máx}} = \frac{5}{1 + 20(V_N - V_T)}$$

(*d*) Deseamos que cuando el interruptor esté en conducción

$$(v_o)_{\text{máx}} = \frac{5}{1 + 20(V_N - V_T)} \ll 2(V_N - V_T)$$

Resolviendo la desigualdad hallamos que debemos elegir V_N de modo que $V_N - V_T \gg$ $\gg$ 0,35 V.

Además, para asegurar que $v_o/v_i \leqslant 0{,}01$ hacemos

$$1 + 20(V_N - V_T) \geqslant 100$$

de donde debemos escoger V_N tal que

$$V_N - V_T \geqslant 5 \text{ V}$$

Esta es una condición mucho más rigurosa. Con $V_T = 2$ V debemos tener $V_N \geqslant 7$ V. Con $V_N = 7$ V, $R_{\text{FET}} = 100\ \Omega$.

(*e*) Para que el FET se mantenga en corte en todos los valores de v_i consideremos la condición más desfavorable en que $(v_i)_{\text{mín}} = -5$ V. Entonces, por (3.8-4*b*) debemos elegir V_F de modo que

$$-V_F < V_T + (v_i)_{\text{mín}}$$

lo que da

$$-V_F < 2 - 5 = -3 \text{ V}$$

3.10. EFECTOS DE LA TEMPERATURA EN LOS MOSFET

La tensión umbral V_T varía con la temperatura de la misma manera que la caída de tensión en un diodo, es decir

$$\frac{\Delta V_T}{\Delta T} = -2 \text{ mV/°C} \tag{3.10-1}$$

Si $V_T = 2$ V a 25 °C, entonces a 125 °C, $\Delta T = 100$ °C y

$$\Delta V_T = (-2 \text{ mV/°C})(100 \text{ °C}) = -200 \text{ mV}$$

Luego $V_T(125\ °C) = V_T(25\ °C) + \Delta V_T = 2 - 0{,}2 = 1{,}8$ V

El efecto de la temperatura sobre la tensión del diodo (o la tensión base-emisor de un transistor de unión) es mucho mayor que sobre la tensión umbral del FET ya que la tensión nominal del diodo es sólo 0,7 V y, por tanto, una variación de 0,2 V representa una variación del 29 por 100 con respecto al valor nominal.

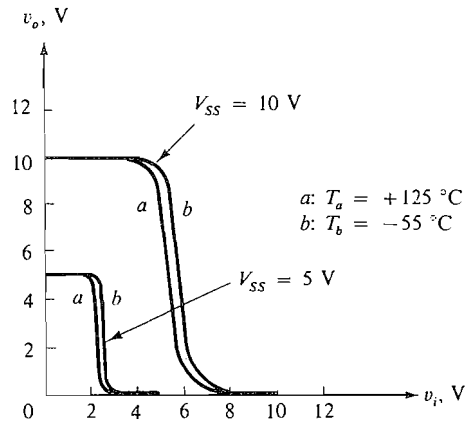


Figura 3.10-1. Característica entrada-salida de un inversor CMOS en función de la tensión de alimentación y la temperatura.

La resistencia de un FET también depende de la temperatura. Típicamente, R_{FET} aumenta en 0,7 por 100 por cada grado centígrado de elevación de la temperatura. Este aumento se puede representar por

$$R_2 = R_1 \epsilon^{K\Delta T}$$

donde K se halla observando que si $\Delta T = 1$ °C, $R_2/R_1 = 1{,}007$. De aquí que

$$1{,}007 = \epsilon^K \qquad \text{y} \qquad K = \ln 1{,}007 = 0{,}007$$

Así, si $R_{FET} = 50\ \Omega$ a 25 °C, si la temperatura aumenta hasta 125 °C, R_{FET} aumentará hasta

$$R_2 = 50\epsilon^{(0{,}007)(100)} = 100\ \Omega$$

La Figura 3.10-1 es la característica del inversor CMOS y muestra su variación típica con la temperatura. El efecto de la temperatura sobre la característica entrada-salida es despreciable en esta aplicación.

3.11. PROTECCION DE LA ENTRADA EN EL MOSFET

Si la tensión puerta-fuente en un MOSFET excede de aproximadamente 100 V, se produce la ruptura (ruptura de la capa del dióxido de silicio debajo de la puerta). Esto puede originar un deterioro permanente por excesivo flujo de corriente.

Puesto que la puerta de un FET es la placa de un condensador casi perfecto, la carga introducida en la puerta permanecerá almacenada en esta placa del condensador y no escapará. La carga electrostática parásita puede desarrollar fácilmente suficiente tensión en este condensador para producir la ruptura. Por ejemplo, una persona que se pasee sobre el suelo de un laboratorio puede generar tensiones estáticas tan elevadas como 10 kV en condiciones apropiadas. Si esta persona toca un terminal de entrada de un

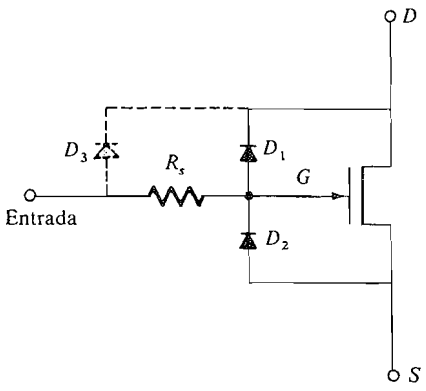


Figura 3.11-1. Circuito de protección con diodos.

dispositivo FET, la energía almacenada en la capacidad de su propio cuerpo (típicamente 300 pF) será suficiente para transferir suficiente tensión al FET y producir la ruptura.

Con el fin de evitar la ruptura, los fabricantes construyen un *circuito protector* con diodo en la entrada del FET. La Figura 3.11-1 representa un tipo de circuito de protección en el que se utilizan dos diodos D_1 y D_2 y una resistencia R_s (típicamente 250 Ω a 1,5 kΩ). El diodo D_3 se forma como resultado del proceso de fabricación empleado para construir R_s y no contribuye a la protección de la puerta.

El diodo D_1 protege la puerta contra grandes tensiones de entrada positivas (fija el nivel de tensión de la puerta al mismo valor que el del drenaje). El diodo D_2 protege la puerta contra tensiones negativas excesivas de entrada, fijándolo al mismo nivel que el de la tensión existente en el terminal de fuente. Los límites de la tensión de puerta debidos a esta acción de fijación son

$$v_S - 0{,}7 < v_G < 0{,}7 + v_D \tag{3.11-1}$$

Para el margen típico de las tensiones de fuente y drenaje, es decir, ± 20 V, esto es suficiente para prevenir la ruptura.

3.12. FET DE POTENCIA (VMOS)

Los JFET y MOSFET pueden ser construidos con grandes áreas superficiales por lo que pueden transmitir corrientes intensas y disipar altas potencias. Estos dispositivos pueden dejar pasar 2 A o más, disipar 50 W a 500 MHz y tener tensiones de ruptura mayores de 200 V. Por otra parte, estos FET de alta potencia tienen velocidades de conmutación tan bajas como 25 ns. Además, la potencia para excitar el conmutador FET es extremadamente baja, en comparación con la necesaria para excitar el BJT, ya que la puerta del FET absorbe una corriente muy pequeña.

La Tabla 3.12-1 puede servir para comparar el BJT de potencia, y el JFET y el MOSFET de potencia. Obsérvese que el BJT tiene valores nominales máximos más altos pero también apreciablemente menores que el FET. Una característica excelente del MOSFET es que puede ser excitado por un amplificador CMOS estándar. Por ejemplo, en la Figura 3.12-1 se muestra un circuito típico. Aquí el amplificador C_1 es un amplificador

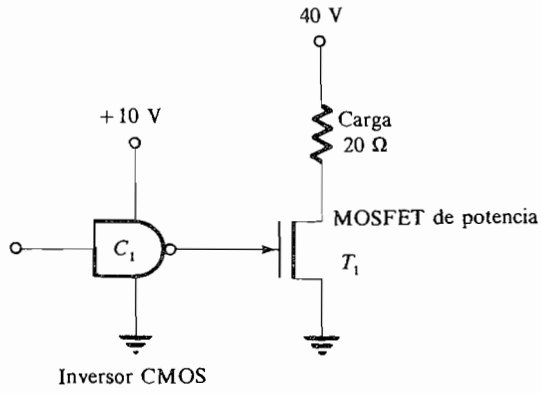
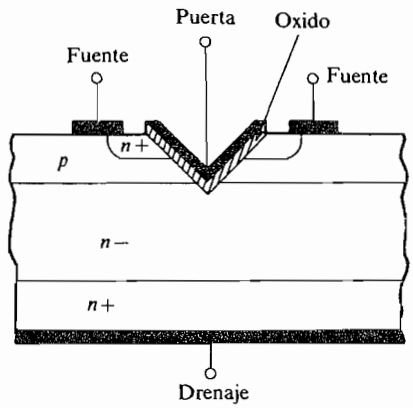


Figura 3.12-1. Inversor CMOS gobernando un MOSFET de gran potencia.



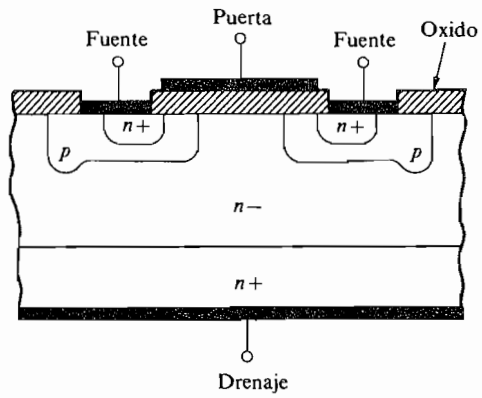


Figura 3.12-2. FET de potencia VMOS.

Tabla 3.12-1. Comparación de los transistores de potencia

Tipo	Valores extremos			Corriente de mando, 1 A de salida	Tensión de mando, V	Tiempo medio de conmutación, ns	Capacidad, pF/W	Resistencia térmica θ_{jc}(°C/W)
	Potencia, W	Corriente, A	Tensión, V					
BJT 2N6277	250	50	150	~100 mA	~1	300	1,5	1,5
JFET 2SK60	63	5	170	~100 μA	25	—	—	1,5
MOSFET 2N6761	75	4	450	~1 μA	20	30	1,0	1,5

Fuente. Cortesía de Motorola

CMOS conectado de manera que la salida pueda variar entre 0 y 10 V. El transistor T_1 es un MOSFET de potencia seleccionado para que cuando $v_{GS}(T_1) = 10$ V, la corriente drenaje-fuente sea 2 A. El corte del MOSFET de potencia se produce cuando $v_{GS} < V_T(\approx 2$ V).

Como el MOSFET de potencia disipa bastante potencia, se suelen emplear radiadores de calor, aspecto que será tratado en la Sección 4.6.

Un transistor de potencia debe ser capaz de generar grandes corrientes y no superar la densidad de corriente (amperios por metro cuadrado) que puede soportar el silicio. Para lograr esto se necesitan grandes áreas superficiales. Por esta razón un FET de potencia se fabrica con la fuente y la puerta en la parte superior de la superficie y el drenaje en la parte inferior, tal y como se puede observar en la Figura 3.12-2. El MOSFET de esta ilustración se denomina VMOSFET a causa de la estructura de surco en V. La figura muestra una vista lateral del MOSFET. Por lo tanto, la fuente es un «cono» alrededor de la puerta. Este dispositivo se emplea con tensiones relativamente bajas y está caracterizado por su alta velocidad de conmutación.

En la Figura 3.12-3 podemos ver que si la puerta es positiva con respecto a la fuente y el drenaje, los electrones se dirigirán hacia el interior del material *p*, hacia la puerta; por esta razón se invierte el material *p* y se forma material *n*. El canal resultante desde la fuente al drenaje puede ser considerado como una resistencia de bajo valor. (En efecto, el lector debe darse cueta también de que las unidades de k_n son amperios por voltio cuadrado). Por lo tanto, este dispositivo tiene una baja resistencia drenaje-fuente, r_{on}. Desafortunadamente, la puerta en surco en V distorsiona el campo eléctrico, lo que da lugar a una tensión de avalancha de menos de 100 V.

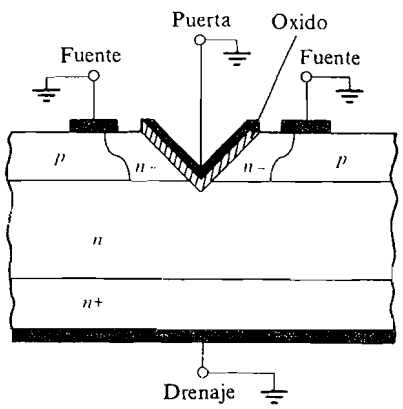


Figura 3.12-3. VMOS con el canal inducido.

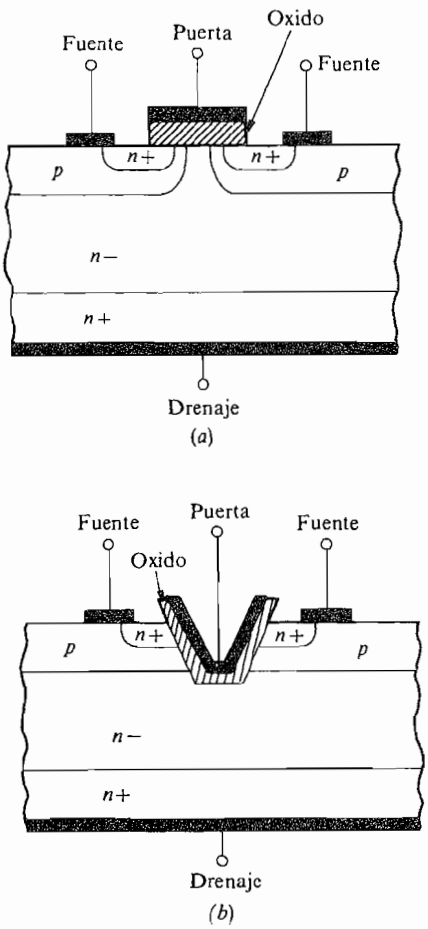


Figura 3.12-4. (*a*) MOSFET de doble difusión (DMOS); (*b*) MOSFET de surco en V truncada.

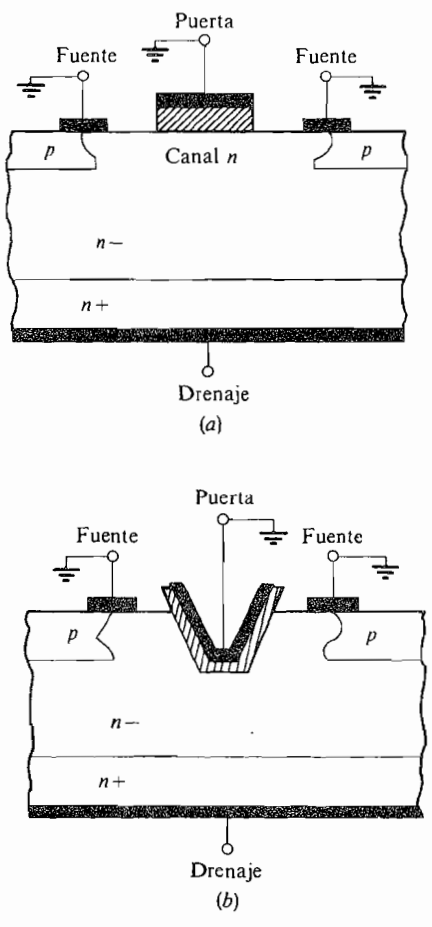


Figura 3.12-5. (*a*) MOSFET de doble difusión con puerta polarizada directamente; (*b*) MOSFET de surco en V truncada con puerta polarizada directamente.

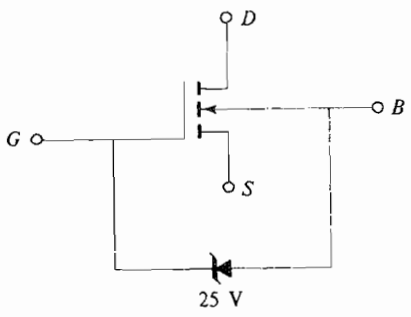


Figura 3.12-6. Protección de un FET de potencia mediante Zener.

Cuando se necesitan MOSFET capaces de soportar tensiones elevadas se usan configuraciones tales como la de doble difusión (DMOS) o la VMOSFET truncada, que se muestra en la Figura 3.12-4*a* y *b*. En cada uno de esos circuitos la tensión positiva de puerta (con respecto a la fuente y al drenaje) crea un canal *n* entre ambos como puede verse en la Figura 3.12-5*a* y *b*. En este caso, la resistencia drenaje-fuente en conducción cambia con la tensión de avalancha drenaje-fuente elevada a 2,5:

$$r_{on} \approx BV_{DS}^{2,5} \tag{3.12-1}$$

Son valores típicos $r_{on} = 0{,}1\ \Omega$ y $BV_{DS} = 500$ V.

Los fabricantes protegen al FET de potencia contra excesivas cargas estáticas conectando un diodo de 25 V entre la puerta y el sustrato como muestra la Figura 3.12-6. En la práctica el sustrato del transistor de potencia está unido interiormente a la caja conectada a masa de manera que el diodo Zener desacopla o desvía todos los transitorios de tensión no comprendidos en el margen $-0{,}7$ a $+25$ V.

Prestaciones

La Tabla 3.12-1 es una comparación entre transistores bipolares y FET de potencia. Nótese que hoy en día estos dispositivos trabajan a frecuencias, niveles de potencia y velocidad de conmutación similares.

3.13. EL DISPOSITIVO DE ACOPLAMIENTO DE CARGA

El dispositivo de acoplamiento de carga (CCD) se utiliza como una *línea de retardo* para señales analógicas y como un registro de desplazamiento (véase Sección 14.1) para señales digitales. Básicamente el CCD es un MOSFET construido con muchas puertas (habitualmente varios miles). La representación gráfica está recogida en la Figura 3.13.1*a*, la cual muestra un MOSFET de canal *p* con una tensión de entrada v_i aplicada a la fuente y una fuente de alimentación negativa $-V_{DD}$ aplicada al drenaje a través de la resistencia de carga.

La actuación como línea de retardo se obtiene con un apropiado ajuste de las tensiones en las puertas. Esto hace que la carga abandone la fuente y llegue al drenaje después de un retardo especificado que depende del número de puertas y de la variación de la tensión de puerta.

El CCD recibe las muestras de tensión $v_i(kT)$ de una tensión analógica de entrada o de una señal binaria de entrada. Consideramos que v_i es positiva en el instante $t = 0$ y que la tensión v_{G1} en la puerta 1 se hace negativa, de forma que v_{SG1} supera la tensión umbral V_T. Los huecos desde la fuente tipo *p* fluyen hacia el minicanal creado bajo la puerta 1. Esto aparece reflejado en la Figura 3.13-1*b*. Para detener el flujo de carga la tensión de entrada se reduce de modo que v_{SG1} sea menor que V_T. Los huecos permanecen ahora bajo la puerta 1 y no emigrarán más lejos puesto que dicha puerta tiene el potencial más negativo del dispositivo.

Para lograr que la carga se mueva hacia el drenaje reduciremos bruscamente la tensión en la puerta 2 y aumentaremos lentamente la de la puerta 1. El resultado se ilustra en la Figura 3.13-1*c* para el instante $t = \Delta T$. Finalmente, en $t = T$, todos los huecos se han movido ya hacia el pozo (es una práctica habitual denominar al minicanal pozo de

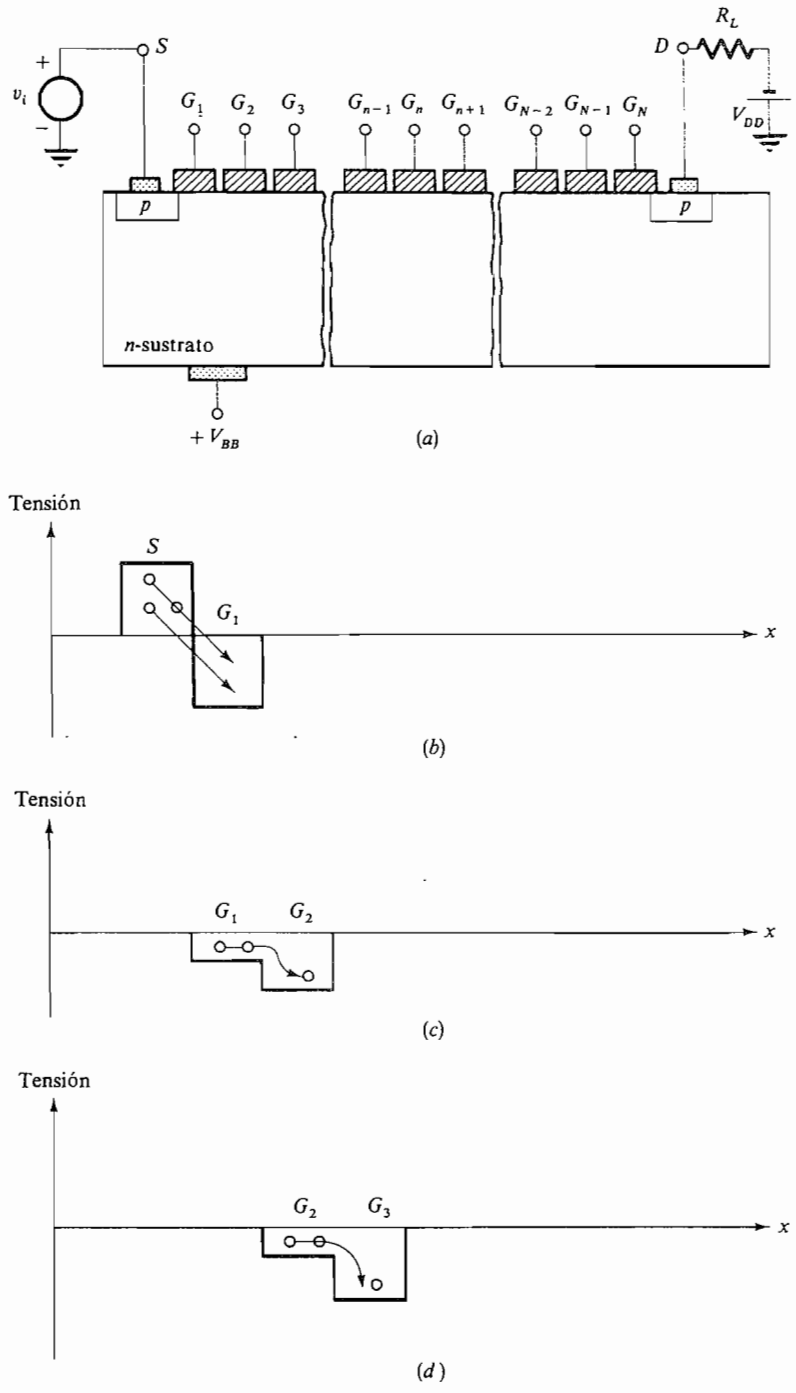
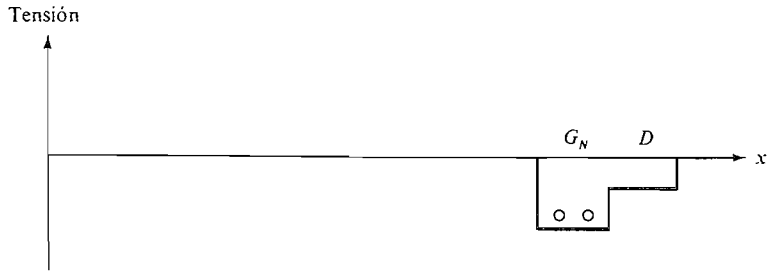


Figura 3.13-1. El dispositivo de acoplamiento de carga (CCD); (*a*) vista esquemática; (*b*) tensiones en el instante $t = 0$ mostrando cómo se mueven los huecos desde la fuente hasta la puerta 1; (*c*) tensiones en $t = \Delta t$; (*d*) tensiones en $t = T + \Delta T$ *(continúa en página siguiente)*.



(*e*)

Figura 3.13-1. *(Continuación).* (*e*) Tensiones en la puerta G_N y en el drenaje.

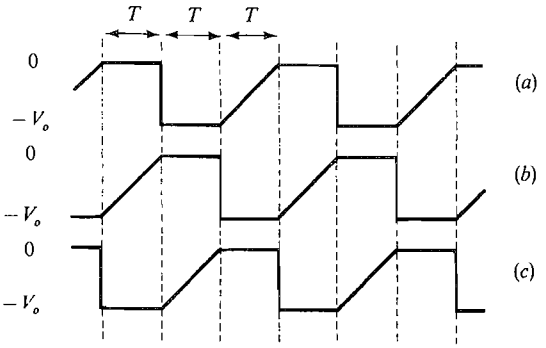


Figura 3.13-2. Formas de onda trifásicas de las tensiones de puerta: (*a*) G_1, G_4, G_7, ...; (*b*) G_2, G_5, G_8, ...; (*c*) G_3, G_6, G_9, ...

potencial o simplemente pozo ya que representa la región de menor potencial) bajo la puerta 2. La tensión en la puerta 1 es ahora $v_{G1} = 0$ V. Para mover la carga más adelante hacia el drenaje se repite el proceso disminuyendo bruscamente la tensión en la puerta 3 a la vez que se aumenta suavemente la tensión en la puerta 2. Esto se muestra en la Figura 3.10-1*d*. De igual forma, cada T se mueve la carga desde una puerta hasta la adyacente hasta que llegue a la puerta G_N. Las tensiones en la puerta G_N y en el drenaje se muestran en la Figura 3.13-1*e*. Hay que observar que la tensión en la puerta G_N es menor que la del drenaje. Sin embargo, esta diferencia es menor que V_T para asegurar que los huecos no circulan desde el drenaje hacia la puerta G_N. Cuando la tensión en la puerta G_N sube por encima de la del drenaje los huecos fluyen hacia él, provocando la aparición de un pulso de tensión a través de la carga R_L.

Si el tiempo que necesitan los huecos para moverse entre puertas adyacentes es T, el tiempo de retardo observado entre el instante en el cual la carga fue inyectada en la puerta 1 del CCD y el instante en el que el pulso de tensión se observa en la carga es $t_D = NT$.

En la práctica es necesario retardar una secuencia de tensiones más que una sola tensión. Si nos fijamos en las Figuras 3.13-1*a* hasta *d*, vemos que una segunda tensión no puede aplicarse a la fuente hasta que la puerta G_2 vuelva al valor 0 V, es decir, hasta que G_2 haya transferido toda su carga a G_3, puesto que si el potencial de G_1 cayese bruscamente mientras G_2 se encuentra transfiriendo carga a G_3, parte de la misma retornaría a G_1, dado que el potencial de G_1 (así como el de G_3) sería menor que el de G_2. Por esta razón la

tensión en G_1 se hace caer bruscamente a la vez que lo hace la tensión en G_4. A tal sistema sincronizado se le denomina *sistema trifásico* ya que las tensiones G_1, G_4, G_7, etc., cambian de igual modo que las tensiones G_2, G_5, G_8, etc., y que las G_3, G_6, G_9, etc. Las formas de onda típicas de la tensión en puerta están recogidas en la Figura 3.13-3.

Ruido en un CCD. Se puede deducir de la anterior discusión que el tiempo T entre desplazamientos puede hacerse arbitrariamente largo. Una situación distinta se produce cuando los huecos del sustrato tipo n tienden a fluir hacia el pozo creado bajo el pequeño potencial de puerta. Estos huecos constituyen una carga extraña que no se puede distinguir de la que intencionadamente está moviéndose en el pozo. En la práctica, con desplazamientos de la señal de carga del rango $1/T > 1$ kHz ($T < 1$ ms) y un retardo total aproximado de 1 s, el ruido debido a cargas extrañas no afecta seriamente al funcionamiento del circuito. Esta condición es especialmente importante cuando se retardan señales analógicas utilizando CCD. En este caso tales ruidos deterioran la calidad de la señal retardada.

REFERENCIAS

1. L. J. Sevin, «Fiel Effect Transistors», McGraw-Hill, New York, 1965.
2. M. S. Adler y S. R. Westbrook, «Power Semiconductor Switching Devices», *IEEE Transactions on Electronic Devices*, junio de 1982, págs. 947-955.
3. C. Belove, ed., «Handbook of Modern Electronics and Electric Engineering», Wiley, New York, 1986.
4. S. I. Long et al., «High Speed GaAs ICs», *Proceedings of the IEEE*, enero de 1982, pág. 35.

PROBLEMAS

3.1-1. Utilizando (3.1-5) hallar i_{DS} cuando

$$v_{GS} = V_{GSQ} + \epsilon \cos \omega t \text{ donde } \epsilon \ll V_{p0}$$

Demostrar que i_D contiene un término de alterna y un término estático (cc). Comentar la razón ϵ/V_{p0} respecto a un modelo lineal que represente a (3.1-5).

3.1.-2. Suponiendo que

$$v_{GS} = V_{GSQ} + \epsilon \cos \omega_0 t$$

y utilizando (3.2-2*b*) demostrar que el MOSFET puede «amplificar» señales. Explicar la respuesta en términos de la relación ϵ/V_{TN}.

3.2-2. Representar i_{DS} en función de v_{DS} a partir de (3.2-2) utilizando v_{GS} como parámetro. Suponer $k_n = \frac{3}{16}$ mA/V^2 y $V_{TN} = 1$ V. Hacer esto para $v_{GS} = 4{,}5$ y 6 V.

3.2-3. Utilizar (3.1-5) y (3.2-3) para comprobar el gráfico de la Figura 3.2-6.

3.6-1. (*a*) Para el MOSFET de la Figura P3.6-1 demostrar que el transistor está funcionando por encima del punto de estrangulamiento, es decir saturado.

(*b*) Hallar i_x en función de v_{DS} y representarla suponiendo que $k_n = \frac{3}{16} \times 10^{-3}$ A/V^2 y $V_{TN} = 1$ V. *Sugerencia:* $i_x = i_{DS}$. ¿Por qué?

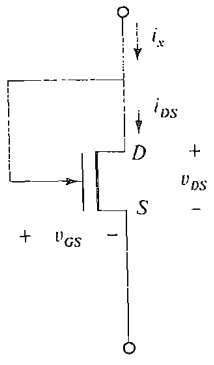
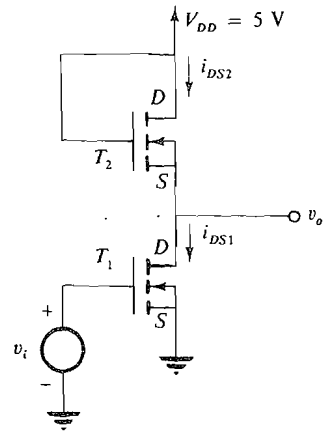


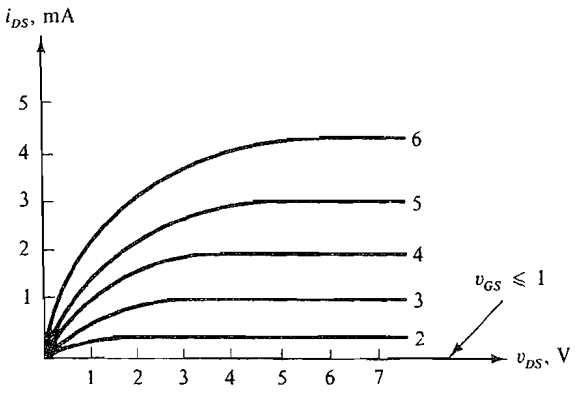
Figura P3.6-1.

3.6-2. La carga del MOSFET T_2 en la Figura P3.6-2*a* está caracterizada por las curvas representadas en la Figura P3.6-2*b*.

(*a*) Por el resultado de la parte (*b*) del Problema 3.6-1, $i_{DS2} = k_{n2}(v_{DS2} - V_{TN})^2$. Modificar esta ecuación para obtener i_{DS1} en función de v_{DS1}.



(*a*)



(*b*)

Figura P3.6-2.

(*b*) El resultado de la parte (*a*) es una recta de carga no lineal. Representar la recta de carga sobre las curvas de la Figura 3.6-2*b* si $V_{TN_2} = 1$ V y $k_{n2} = \frac{3}{16} \times 10^{-3}$ A/V^2.

(*c*) Representar v_o en función de v_i y compararla con la curva de la Figura 3.6-2*a*. (Las curvas de la Figura P3.6-2*b* corresponden a $k_{n1} = \frac{3}{16} \times 10^{-3}$ A/V^2 y $V_{TN_1} = 1$ V por lo que $\lambda = 1$).

3.6-3. El MOSFET de carga T_2 de la Figura P3.6-2*a* tiene una relación entre la anchura y la longitud del canal que es la cuarta parte del valor dado en el Problema 3.6-2, por lo que $k_{n2} = \frac{3}{64} \times 10^{-3}$ A/V^2. La tensión umbral V_{TN2} se supone que es 1 V.

(*a*) Representar la recta de carga sobre la curva de la Figura P3.6-2*a*. (Referencia al Problema 3.6-2.)

(*b*) Representar v_o en función de v_i y comparar con la Figura 3.6-3*a* ($\lambda = 4$).

3.6-4. (*a*) Para el MOSFET inversor de la Figura P3.6-2*a* utilizar las expresiones analíticas (3.2-2*a*) y (3.2-2*b*) y demostrar que la característica de transferencia está dada por el gráfico de la Figura P3.6-4. Observar que la mejor acción de conmutación está indicada por un valor grande de λ.

(*b*) Escribir la ecuación que describe la región lineal.

(*c*) Indicar los estados de los MOSFET en cada región.

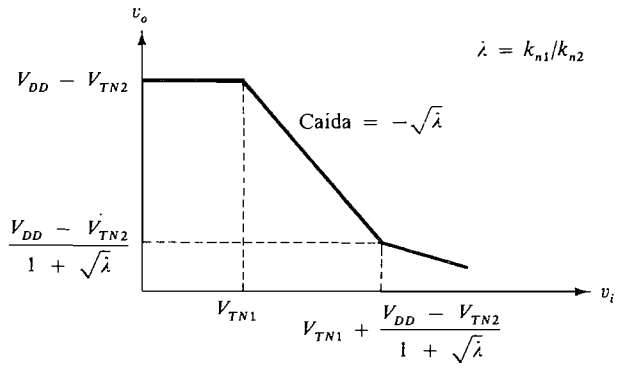


Figura P3.6-4.

3.6-5. Para el MOSFET de la Figura P3.6-5 descrito por las curvas de la Figura 3.2-5 (*a*) dibujar la recta de carga sobre las curvas y (*b*) representar v_o en función de v_G eligiendo $v_{GS} = 2, 3, 4, 5$ y 6 V. *Sugerencia:* Hallar i_{DS} por la recta de carga y despejar v_G y v_o.

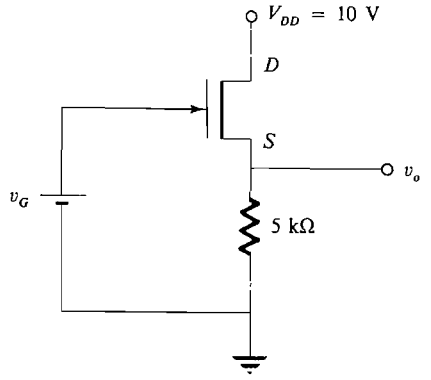


Figura P3.6-5.

3.6.6. Para el JFET inversor de la Figura P3.6-6 descrito por las curvas de la Figura 3.1-5 (*a*) dibujar la recta de carga sobre las curvas y (*b*) representar v_o en función de v_G eligiendo $v_{GS} = 0, -1, -2, -4, -5$ V.

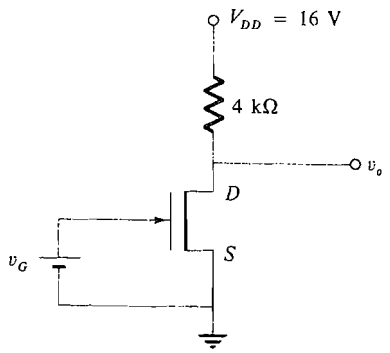


Figura P3.6-6.

3.6-7. Repetir el Problema 3.6-4 para la Figura 3.6-2 y la Figura 3.6-3*a*.

3.6-8. Hallar las características de transferencia del inversor MOSFET de las Figuras 3.6-2 y 3.6-3*b* utilizando la técnica del Problema 3.6-4. Comprobar que la parte superior de la curva está descrita por

$$\lambda(v_i - 2)^2 = (12 - v_o)^2 - 4$$

3.6-9. Hallar las características de transferencia del inversor MOSFET de las Figuras 3.6-2 y 3.6-3*c* utilizando la técnica del Problema 3.6-4. Comprobar que cuando T_1 y T_2 funcionan por encima del punto de estrangulamiento

$$v_i = \frac{2}{\sqrt{\lambda}} + 2$$

3.7-1. (*a*) Para el CMOS inversor de la Figura 3.7-1*b* utilizar las expresiones analíticas (3.2-2) y (3.4-1) y demostrar que la característica de transferencia la da el gráfico de la Figura P3.7-1.

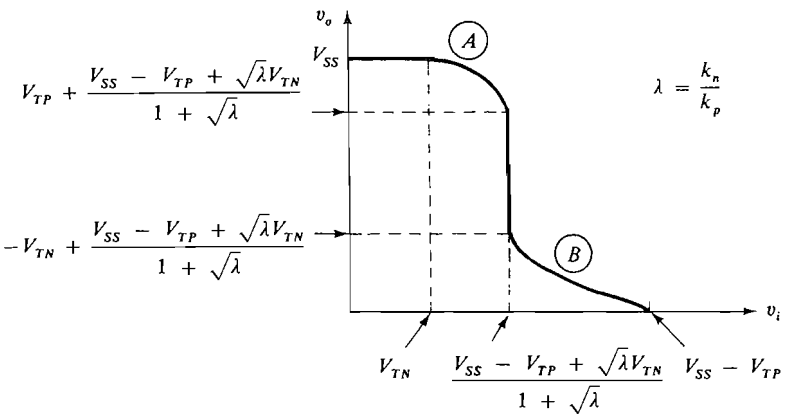


Figura P3.7-1.

(*b*) Indicar los estados de los MOSFET que constituyen el CMOS inversor en las regiones *A* y *B*.
(*c*) Suponer $V_{SS} = 10$ V y $V_{TP} = V_{TN} = 3$ V y comparar con la Figura 3.7-2. Utilizando estos valores hallar la ecuación que relacione v_o y v_i en la región A.
(*d*) Sean $V_{SS} = 10$ V, $V_{TP} = 4$ V y $V_{TN} = 2$ V. Trazar la curva de transferencia v_o en función de v_i.
(*e*) Repetir la parte (*d*) para $V_{SS} = 10$ V, $V_{TP} = 2$ V y $V_{TN} = 4$ V.

3.7-2. Para el CMOS inversor de la Figura 3.7-1*b*, (*a*) hallar la resistencia equivalente del transistor NMOS en el estado bajo suponiendo que $v_{DS1} \ll 2(v_i - V_{TN})$ y $v_i \approx V_{SS}$.
(*b*) Hallar la resistencia equivalente del transistor PMOS en el estado alto suponiendo que

$$V_{SD2} \ll 2(V_{SS} - v_i - V_{TP}) \text{ y } v_i \approx 0.$$

(*c*) Utilizar los resultados de las partes (*a*) y (*b*) para calcular las resistencias equivalentes con $k_n = k_p = 10^{-3}$ A/V^2, $V_{TN} = V_{TP} = 3$ V y $V_{SS} = 10$ V.

3.9-1. La finalidad del diodo en la Figura P3.9-1 es mejorar el límite de tensión del control del conmutador en estado de corte cuando la carga representa un cortocircuito, tal como una entrada de amplificador operacional (aquí se utiliza 10 Ω).
(*a*) Si $V_N = 15$ V, calcular R_{FET} y demostrar que el diodo está siempre abierto con el interruptor en conducción. Suponer una tensión de corte de diodo de 0,65 V.

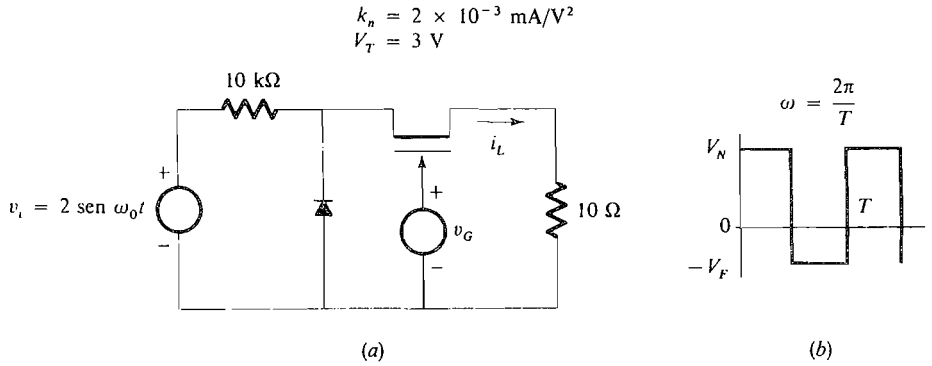


Figura P3.9-1.

(*b*) Hallar V_F para mantener el interruptor abierto o en corte y comparar con (3.9-4*b*).
(*c*) Representar i_L si $\omega = 2\pi/T = \omega_0/4$.

3.9-2. En la Figura 3.9-1 suponer $k_n = 1{,}5 \times 10^{-3}$ A/V^2, $V_T = 2$ V, $R_L = 6{,}8$ kΩ y $v_i = \text{sen } \omega_0 t$ V.
(*a*) Hallar V_F para mantener el interruptor abierto.
(*b*) Determinar V_N de modo que $R_{\text{FET}} < R_L/10$. ¿Es suficiente para mantener el interruptor cerrado, o sea, en conducción?
(*c*) Representar v_L si el período de la señal de control es igual a $T_0/2$.

3.9-3. El interruptor CMOS de la Figura 3.9-2 se caracteriza por los valores $k_n = k_p = 2 \times 10^{-3}$ A/V^2, $V_T = 3$ V y $R_L = 1$ kΩ. El margen de la señal de entrada es de -8 a 6 V.
(*a*) Diseñar la señal de control v_G para que el interruptor funcione correctamente.
(*b*) Calcular el valor de R_{CMOS} para el diseño de la parte (*a*).
(*c*) Ajustar la señal de control para $R_{\text{CMOS}} < 10$ Ω.

3.9-4. El interruptor CMOS de la Figura P3.9-4 está caracterizado por $k_n = k_p = 1$ mA/V^2, $V_T = 2$ V, $R_L = 10$ kΩ, $R_S = 5$ kΩ y $v_{in} = 6$ sen $\omega_0 t$ V.

(*a*) Determinar un valor satisfactorio de V_F.
(*b*) Demostrar que el interruptor permanecerá cerrado o en conducción en tanto que

$$V_N \geq V_T + \frac{(V_{in})_{máx}(R_L + R_{CMOS})}{R_{CMOS} + R_S + R_L} \quad \text{y} \quad V_N \geq V_T - \frac{(V_{in})_{mín}(R_{CMOS} + R_L)}{R_{CMOS} + R_S + R_L}$$

y hallar V_N suponiendo R_{CMOS} despreciable. Probar este supuesto mediante el cálculo de R_{CMOS} y compararlo con el valor de R_L.
(*c*) Repetir las partes (*a*) y (*b*) si $R_L = 1$ kΩ y $R_S = 500$ Ω.

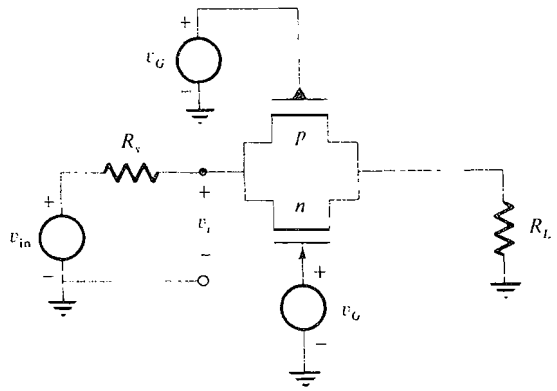


Figura P3.9-4.

3.9-5. Diseñar la señal de control en la Figura 3.9-3 para que $v_o \leq 0{,}02$ V cuando el interruptor está cerrado, es decir en conducción. La señal varía entre $-4 \leq v_i < 7$ V. Utilizar los valores del Ejemplo 3.9-1.

3.9-6. Repetir el Problema 3.9-5 para cuando está conectada una carga de 10 kΩ en paralelo con la salida v_o en la Figura 3.9-3.

CAPITULO

4

Estabilidad de la polarización

INTRODUCCION

En la práctica, en el diseño de circuitos con transistores se establece cuidadosamente el punto de reposo (Q) para que el transistor funcione en un margen determinado y para asegurar que se cumpla la linealidad (y a veces una excursión lineal máxima) y no se sobrepase la potencia $P_{C,\text{máx}}$. Diseñado el circuito, es necesario comprobar las variaciones del punto de reposo debidas a oscilaciones de temperatura y de los parámetros de un transistor a otro. Estas variaciones deben mantenerse dentro de límites aceptables tal como determinan las normas o especificaciones.

Entre los parámetros independientes que pueden producir un desplazamiento del punto Q en un transistor de unión están los siguientes:

1. La amplia variación de la amplificación de corriente β (5 a 1 o más) en un tipo particular de transistor.
2. Variación de la corriente de corte de colector I_{CBO} debida a su dependencia de la temperatura.
3. Variaciones de la tensión base-emisor en reposo V_{BEQ} debidas a su dependencia de la temperatura.
4. Variaciones de las tensiones de alimentación debidas a una imperfecta regulación.
5. Variación de las resistencias del circuito debidas a la tolerancia y/o a los efectos de la temperatura.

Alguno de estos parámetros, por ejemplo, los efectos de la temperatura, son importantes para todos los diseños mientras otros, por ejemplo, la tolerancia de las resistencias y la variación de β, son más importantes cuando se trata de una producción en serie de cierto número de amplificadores idénticos.

En un FET, la tensión umbral y el parámetro de corriente k son funciones de la temperatura. Estos parámetros también varían algo entre una y otra unidad a consecuencia de las diferencias de fabricación.

En este capítulo estudiaremos todos estos factores, así como los métodos para neutralizar el efecto de sus cambios sobre el punto de reposo.

4.1. DESPLAZAMIENTO DEL PUNTO DE REPOSO DEBIDO A LA INCERTIDUMBRE DE β

Cuando aparecieron los transistores, los diseñadores usaban las características de emisor común, como las representadas en la Figura 4.1-1, para fijar el punto de reposo Q de un amplificador. Tal como se indica, se trazaba una recta de carga de corriente continua adecuada y el punto de reposo se establecía para una corriente de base determinada I_{BQ}. El circuito de entrada se diseñaba para mantener la corriente de reposo de base en este valor. Sin embargo, surgió un problema cuando los amplificadores empezaron a producirse en grandes series. Como los factores β de distintos transistores del mismo tipo pueden estar sometidos a una variación de 5 a 1, la corriente de reposo del colector está sujeta a la misma variación (si I_{BQ} se mantiene constante). Esto tiene como resultado el cambio de i_C de modo que el punto de reposo, con un valor I_{BQ} fijo, puede encontrarse en la región de saturación de un circuito en el cual β tiene un valor elevado, o en la región de corte en otro, en el cual β tiene un valor bajo.

Cuando estudiamos el amplificador en emisor común en la Sección 2.3, encontramos que la corriente de reposo del colector podía estabilizarse, contra las variaciones de β de uno a otro transistor, utilizando una resistencia de emisor y manteniendo una cierta relación entre las resistencias de los circuitos de base y de emisor. Esta relación viene dada por la desigualdad

$$R_b \ll \beta R_e \tag{4.1-1}$$

Veremos ahora que cuando esta desigualdad se satisface, el punto de reposo es prácticamente independiente de las características del transistor. El circuito empleado se ha representado en la Figura 4.1-2. Obsérvese que la Figura 4.1-2 puede representar un circuito de emisor común, y también el circuito equivalente en continua de la configuración de base común, y si hacemos R_e igual a cero, el circuito representa la configuración en seguidor de emisor. Así la Figura 4.1-2 y todos los resultados que siguen pueden aplicarse igualmente a las tres formas de conexión.

Utilizando los resultados obtenidos en la Sección 2.3, tenemos:
Para la corriente de colector.

$$I_C = \beta I_B + (\beta + 1)I_{CBO} \tag{4.1-2}$$

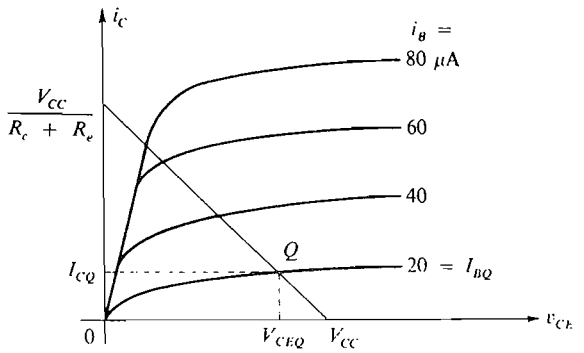


Figura 4.1-1. Características en emisor común.

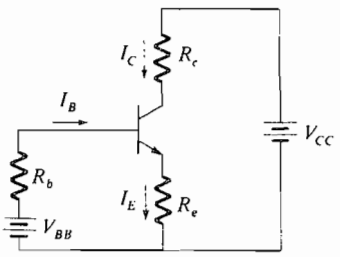


Figura 4.1-2. Circuito en emisor común.

Para el circuito de colector utilizando la ley de Kirchhoff de tensiones:

$$V_{CC} = I_C R_c + I_E R_e + V_{CE} \tag{4.1-3}$$

Para el circuito de base utilizando la ley de Kirchhoff de tensiones:

$$V_{BB} = I_B R_b + V_{BE} + I_E R_e \tag{4.1-4}$$

De (2.1-3)

$$I_B = \frac{I_E}{\beta + 1} - I_{CBO} \tag{4.1-5}$$

Combinando (4.1-4) y (4.1-5), se obtiene:

$$V_{BB} = V_{BE} - I_{CBO} R_b + I_E \left(R_e + \frac{R_b}{\beta + 1} \right) \tag{4.1-6}$$

Utilizando ahora

$$I_C = \frac{\beta}{\beta + 1} I_E + I_{CBO} \tag{4-1.7}$$

En (4.1-6), la corriente de colector en reposo es:

$$I_{CQ} = \frac{\beta(V_{BB} - V_{BE}) + (\beta + 1) I_{CBO}(R_e + R_b)}{(\beta + 1) R_e + R_b} \tag{4.1-8}$$

La tensión estática colector-emisor V_{CEQ} se puede obtener de (4.1-3) y (4.1-8). Estas ecuaciones se pueden simplificar considerablemente admitiendo tres suposiciones prácticas:

$$\alpha = \frac{\beta}{\beta + 1} \approx 1 \qquad \text{ya que } \beta \gg 1 \tag{4.1-9a}$$

y como I_{CBO} es muy pequeña en los transistores de silicio, también supondremos que (4.1-7) es

$$I_C \approx \frac{\beta}{\beta + 1} I_E \approx I_E \tag{4.1-9b}$$

Además supongamos que en el numerador de (4.1-8)

$$I_{CBO}(R_e + R_b) \ll \frac{\beta}{\beta + 1}(V_{BB} - V_{BE}) \approx V_{BB} - V_{BE} \tag{4.1-9c}$$

Con estos supuestos (4.1-3) se convierte en

$$V_{CC} \approx V_{CE} + I_C(R_c + R_e) \tag{4.1-10}$$

y (4.1-8) en

$$I_{CQ} \approx \frac{V_{BB} - V_{BE}}{R_e + R_b/(\beta + 1)} \tag{4.1-11a}$$

Si se cumple la desigualdad (4.1-1), (4.1-11*a*) se simplifica y puesto que se supone que V_{BE} es igual a 0,7 V para transistores de silicio

$$I_{CQ} \approx \frac{V_{BB} - V_{BE}}{R_e} \approx \frac{V_{BB} - 0{,}7}{R_e} \tag{4.1-11b}$$

La situación del punto Q viene dada por (4.1-11*b*) y vemos que es independiente de β cuando se satisface la desigualdad (4.1-1).

Ahora podemos prescribir un procedimiento de diseño:

1. Elegir una recta de carga de c.c. adecuada, así como un punto Q a base de consideraciones tales como tensión de alimentación disponible V_{CC}, excursión que se desee de corriente, disipación de potencia en reposo, etc. Entonces la pendiente de la recta de carga de c.c. fija $R_c + R_e$ y la intersección con el eje v_{CE} fija V_{CC}.
2. Habrá que determinar V_{BB}, R_b y R_c o R_e, pero hay un amplio margen para ello. Para determinar V_{BB} se puede utilizar la ecuación (4.1-11*b*) una vez que se ha elegido el valor adecuado de R_e. Para un valor dado de R_e (4.1-1) representa un límite superior de R_b. En el Capítulo 6 veremos que R_b debe ser tan grande como sea posible para que la ganancia de corriente no se pierda por atenuación en el circuito de entrada. Teniendo en cuenta este requisito suponemos que con un factor de 10 quedará satisfecha la desigualdad y escribimos

$$\frac{R_b}{\beta_{\min} + 1} = \frac{R_e}{10} \tag{4.1-12a}$$

de donde

$$R_b \approx \frac{\beta_{\min} R_e}{10} \tag{4.1-12b}$$

Con esto se fija R_b y, puesto que se conocen V_{BB} y V_{CC}, se podrá determinar el circuito práctico de polarización de la Figura 2.3-1 utilizando (2.3-1*c*) y (2.3-1*d*).

EJEMPLO 4.1-1

En el circuito de la Figura 4.1-2 sean $V_{CC} = 10$ V, $I_{CQ} = 10$ mA, $V_{CEQ} = 5$ V, $R_c = 400\ \Omega$ y $40 \leqslant \beta \leqslant 120$. Hallar los valores adecuados de (*a*) R_e y (*b*) R_b. (*c*) Con valores fijos de R_e, R_b y V_{BB} la corriente en reposo variará cuando varía β en todo el margen total indicado. Determinar V_{BB} para que cuando $\beta = 40$ y 120, las magnitudes de las variaciones de la corriente de reposo alrededor del valor nominal de 10 mA sean iguales. Calcular también la máxima variación de la corriente de colector.

Solución

Las especificaciones dan suficiente información para determinar la recta de carga y situar el punto Q representado en la Figura 4.1-3.

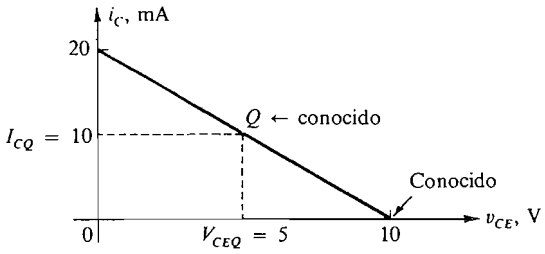


Figura 4.1-3. Rectas de carga para el Ejemplo 4.1-1.

(*a*) Por la recta de carga

$$R_c + R_e = \frac{10}{20 \times 10^{-3}} = 500\ \Omega$$

y como $R_c = 400\ \Omega$,

$$R_e = 100\ \Omega$$

(*b*) Por (4.1-12*b*)

$$R_b \approx \frac{\beta_{\min} R_e}{10} = \frac{(40)(100)}{10} = 400\ \Omega$$

(*c*) Para calcular el efecto de β sobre el punto Q utilizamos (4.1-11*a*) y suponemos que $\beta \approx \beta + 1$. Entonces

$$I_{CQ} \approx \frac{V_{BB} - 0{,}7}{R_e + R_b/\beta}$$

Cuando $\beta = 40$,

$$I_{CQ} = \frac{V_{BB} - 0{,}7}{100 + 400/40} = 10\ \text{mA} - \Delta I_{CQ}$$

Cuando $\beta = 120$,

$$I_{CQ} = \frac{V_{BB} - 0{,}7}{100 + 400/120} = 10 \text{ mA} + \Delta I_{CQ}$$

Despejando V_{BB} y ΔI_{CQ} se tienen

$$V_{BB} \approx 1{,}76 \text{ V} \qquad \text{y} \qquad \Delta I_{CQ} \approx 0{,}33 \text{ mA}$$

Así pues, una variación 3:1 de β produce una desviación despreciable del punto Q.

4.2. EFECTO DE LA TEMPERATURA SOBRE EL PUNTO DE REPOSO

En la sección anterior se analizó el desplazamiento del punto Q debido a variaciones de β de un transistor a otro y una disposición del circuito de polarización que minimizaba estas variaciones. Otra causa importante de la variación del punto Q es la temperatura de trabajo del transistor. En esta sección estudiaremos la variación del punto Q debida a que I_{CBO} y V_{EB} dependen de la temperatura.

Comenzaremos el análisis con la expresión exacta de la corriente de reposo de colector [Ec. (4.1-8)]. Esta expresión puede simplificarse teniendo en cuenta que normalmente $\beta R_e \gg R_b$, de forma que $R_e + R_b/(\beta + 1) \approx R_e$, ya que el circuito ha sido estabilizado contra las variaciones de β como se ve en la Sección 4.1. Luego la expresión (4.1-8) se convierte en

$$I_{CQ} \approx \frac{V_{BB} - V_{BE}}{R_e} + I_{CBO}\left(1 + \frac{R_b}{R_e}\right) \tag{4.2-1}$$

Esta es la relación deseada entre la corriente de colector y las dos variables dependientes de la temperatura I_{CBO} y V_{BE}.

En la sección anterior despreciábamos I_{CBO} y utilizábamos (4.1-11*b*) para hallar la corriente de reposo del colector. Las suposiciones que conducen a la expresión (4.1-11*b*) son válidas para temperatura ambiente. Para ver la validez de (4.1-11*b*) a elevadas temperaturas utilizaremos la ecuación (4.2-1).

La tensión base-emisor V_{BE} disminuye linealmente con la temperatura de acuerdo con la relación

$$\Delta V_{BE} = V_{BE2} - V_{BE1} = -k(T_2 - T_1) \tag{4.2-2}$$

donde $k \approx 2$ mV/°C $\quad T$ en °C

La corriente inversa de saturación I_{CBO} se duplica aproximadamente para cada 10 °C de aumento de la temperatura. Este hecho está comprendido en la fórmula

$$I_{CBO2} = I_{CBO1}\epsilon^{K(T_2 - T_1)} \tag{4.2-3}$$

donde, puesto que $\epsilon^{0.7} \approx 2$,

$$K \approx 0{,}07/°\text{C} \qquad T \text{ en } °\text{C}$$

El valor típico de I_{CBO} para transistores de baja potencia a temperatura ambiente es 1 μ/A o menos.

La variación de I_{CQ} con la temperatura puede determinarse a partir de (4.2-1). Suponiendo que sólo varían V_{BE} e I_{CBO}, tenemos

$$\frac{\Delta I_{CQ}}{\Delta T} = -\frac{1}{R_e}\frac{\Delta V_{BE}}{\Delta T} + \left(1 + \frac{R_b}{R_e}\right)\frac{\Delta I_{CBO}}{\Delta T} \tag{4.2-4}$$

De la expresión (4.2-2), con $\Delta T = T_2 - T_1$,

$$\frac{\Delta V_{BE}}{\Delta T} = -k \tag{4.2-5}$$

y de (4.2-3)

$$\frac{\Delta I_{CBO}}{\Delta T} = \frac{I_{CBO2} - I_{CBO1}}{\Delta T} = \frac{I_{CBO1}(\epsilon^{K\Delta T} - 1)}{\Delta T} \tag{4.2-6}$$

Sustituyendo (4.2-5) y (4.2-6) en (4.2-4), obtendremos

$$\frac{\Delta I_{CQ}}{\Delta T} = \frac{k}{R_e} + \left(1 + \frac{R_b}{R_e}\right) I_{CBO1}\frac{\epsilon^{K\Delta T} - 1}{\Delta T} \tag{4.2-7}$$

de donde

$$\Delta I_{CQ} = \frac{k\ \Delta T}{R_e} + \left(1 + \frac{R_b}{R_e}\right) I_{CBO1}(\epsilon^{K\Delta T} - 1) \tag{4.2-8}$$

En el ejemplo siguiente, se calcularán algunos valores típicos.

EJEMPLO 4.2-1

Considerar el circuito de la Figura 4.1-2, con $R_b = 400\ \Omega$, $R_e = 100\ \Omega$, e $I_{CQ} = 10$ mA, a temperatura ambiente (25 °C). Calcular la variación de I_{CQ} si la temperatura aumenta a 55 °C.

Solución

Sustituyendo los valores dados en la Ecuación (4.2-8) con $\Delta T = 30$ °C.

$$\Delta I_{CQ} = \frac{(2 \times 10^{-3})(30)}{100} + (1 + 4)(I_{CBO1})(7{,}2) = (0{,}6 \times 10^{-3}) + 36 I_{CBO1}$$

Un valor típico para un transistor de silicio de baja potencia es

$$I_{CBO1} = 0{,}1\ \mu\text{A}$$

Por consiguiente $\Delta I_{CQ} = (0{,}6 + 0{,}0036) \times 10^{-3} \approx 0{,}6$ mA

Mediante este ejemplos vemos que la variación de I_{CQ} en el transistor de silicio sería despreciable en la mayoría de aplicaciones. Obsérvese también que la mayor contribución al cambio de corriente viene de la variación de la tensión base-emisor V_{BE}. Esto es lo que suele ocurrir, y en consecuencia se tiende a despreciar el efecto de las variaciones de I_{CBO}.

4.3. ANALISIS DEL FACTOR DE ESTABILIDAD

Este método se utiliza a menudo en ingeniería. El problema es el siguiente: dada una variable física (en nuestro caso I_{CQ}), ¿qué cambio sufrirá cuando las variables de las que depende (en nuestro caso, I_{CBO}, V_{BE}, β, V_{CC}, etc.) varíen en cantidades determinadas (generalmente pequeñas)? Este método recibe varios nombres: análisis de sensibilidad, análisis de variabilidad y análisis del factor de estabilidad, por ejemplo. Todos estos métodos se basan en el supuesto de que, para variaciones pequeñas, la variable considerada es una función lineal de las otras variables y puede expresarse en forma diferencial total. En nuestro caso, podemos escribir:

$$I_{CQ} = I_{CQ}(I_{CBO}, V_{BE}, \beta, \ldots) \tag{4.3-1}$$

La diferencial total es

$$dI_{CQ} = \frac{\partial I_{CQ}}{\partial I_{CBO}} dI_{CBO} + \frac{\partial I_{CQ}}{\partial V_{BE}} dV_{BE} + \frac{\partial I_{CQ}}{\partial \beta} d\beta + \cdots \tag{4.3-2}$$

Definamos ahora los factores de estabilidad

$$S_I = \frac{\Delta I_{CQ}}{\Delta I_{CBO}} \tag{4.3-3a}$$

$$S_V = \frac{\Delta I_{CQ}}{\Delta V_{BE}} \tag{4.3-3b}$$

$$S_\beta = \frac{\Delta I_{CQ}}{\Delta \beta} \tag{4.3-3c}$$

Si los cambios de las variables independientes I_{CBO}, V_{BE}, β, etc., son pequeños

$$S_I \approx \frac{\partial I_{CQ}}{\partial I_{CBO}} \qquad S_V \approx \frac{\partial I_{CQ}}{\partial V_{BE}} \qquad S_\beta \approx \frac{\partial I_{CQ}}{\partial \beta} \tag{4.3-4a}$$

y $$\Delta I_{CQ} \approx dI_{CQ} \qquad \Delta I_{CBO} \approx dI_{CBO} \qquad \Delta V_{BE} \approx dV_{BE} \qquad \Delta\beta \approx d\beta \tag{4.3-4b}$$

Por tanto $$\Delta I_{CQ} \approx S_I \Delta I_{CBO} + S_V \Delta V_{BE} + S_\beta \Delta\beta + \cdots \tag{4.3-5}$$

Podemos deducir fácilmente de esta relación ΔI_{CQ} para variaciones de cualquiera de las variables independientes si estas variaciones son suficientemente pequeñas para que se cumpla nuestra suposición de que el incremento ΔI sea aproximadamente igual al diferencial

dI. Si esta suposición no es válida, habrá que calcular el incremento real. (Este es usualmente el caso cuando se consideran las variaciones de β*.)

La Ecuación (4.1-8) es la relación completa entre I_{CQ} y las variables que interesan en el amplificador convencional con configuración en emisor común. Tomando las derivadas parciales indicadas en (4.3-4*a*) hallamos, suponiendo $R_e \gg R_b/(\beta + 1)$,

$$S_I = \frac{\partial I_{CQ}}{\partial I_{CBO}} = \frac{R_e + R_b}{R_e + R_b/(\beta + 1)} \approx 1 + \frac{R_b}{R_e} \tag{4.3-6a}$$

y

$$S_V = \frac{\partial I_{CQ}}{\partial V_{BE}} = \frac{-\beta}{(\beta + 1)R_e + R_b} \approx -\frac{1}{R_e} \tag{4.3-6b}$$

Para hallar S_β debemos calcular el incremento real ya que está implicada una variación grande. Como $V_{BB} - V_{BE} \gg I_{CBO}(R_e + R_b)$ en la región activa, el término I_{CBO} se desprecia en (4.1-8). Así

$$I_{CQ} \approx \frac{\beta(V_{BB} - V_{BE})}{R_b + (\beta + 1)R_e} \tag{4.3-7}$$

Ahora supongamos que β_1 y β_2 representan los límites superior e inferior, respectivamente, de β, siendo I_{CQ2} e I_{CQ1} las respectivas corrientes de colector. A continuación formamos la relación

$$\frac{I_{CQ2}}{I_{CQ1}} = \frac{\beta_2}{\beta_1}\left[\frac{R_b + (\beta_1 + 1)R_e}{R_b + (\beta_2 + 1)R_e}\right] \tag{4.3-8}$$

Se resta la unidad de ambos miembros de (4.3-8) y se opera para obtener

$$\frac{I_{CQ2} - I_{CQ1}}{I_{CQ1}} = \frac{\Delta I_{CQ}}{I_{CQ1}} = \frac{\Delta\beta(R_b + R_e)}{\beta_1[R_b + (\beta_2 + 1)R_e]} \tag{4.3-9}$$

donde $\Delta I_{CQ} = I_{CQ2} - I_{CQ1}$ y $\Delta\beta = \beta_2 - \beta_1$

Por consiguiente

$$S_\beta \equiv \frac{\Delta I_{CQ}}{\Delta\beta} = \frac{I_{CQ1}}{\beta_1}\left[\frac{R_b + R_e}{R_b + (\beta_2 + 1)R_e}\right] \tag{4.3-10}$$

Finalmente (4.3-5) se convierte en

$$\Delta I_{CQ} \approx \left(1 + \frac{R_b}{R_e}\right)\Delta I_{CBO} - \frac{1}{R_e}\Delta V_{BE} + \frac{I_{CQ1}}{\beta_1}\left[\frac{R_b + R_e}{R_b + (\beta_2 + 1)R_e}\right]\Delta\beta + \cdots \tag{4.3-11a}$$

---

* Si I_{CQ} es una función lineal de una variable x, entonces $\Delta I_{CQ}/\Delta x = dI_{CQ}/dx$ incluso cuando Δx sea grande (puesto que la pendiente de una recta es constante). Sin embargo, si I_{CQ} no es una función lineal de x, $\Delta I_{CQ}/\Delta x$ no representa la pendiente de la curva excepto en el límite donde $\Delta x \to dx$.

Se observará que como la variación de β es grande, la variación total ΔI_{CQ} en I_{CQ} siempre se puede determinar como en (4.3-11*a*). En el caso presente, los factores de estabilidad S_I y S_V no contienen β; por tanto, (4.3-11*a*) es correcta. Sin embargo, si tenemos, por ejemplo, $R_e = 0$, S_I y S_V dados por (4.3-6) contendrían β. Como β puede tener cualquier valor desde β_1 hasta β_2, no podemos saber cuál debe ser el valor de β incluido en los factores de estabilidad. En tal caso se debe obtener directamente la variación total de I_{CQ}, es decir:

$$\Delta I_{CQ} = I_{CQ}(I_{CBO2}, V_{BE2}, \beta_2) - I_{CQ}(I_{CBO1}, V_{BE1}, \beta_1) \tag{4.3-11b}$$

donde se eligen las variables independientes para maximizar ΔI_{CQ} en previsión de la peor condición posible.

Los incrementos de I_{CBO} y V_{BE} pueden estar directamente relacionados con la temperatura haciendo uso de (4.2-2) y (4.2-3). Así

$$\Delta V_{BE} = -k\ \Delta T \tag{4.2-2}$$

y

$$\Delta I_{CBO} = I_{CBO1}(\epsilon^{K\Delta T} - 1) \tag{4.2-3}$$

Obsérvese que es relativamente fácil tener en cuenta otros factores que podrían afectar a I_{CQ}. Por ejemplo, si también hay que hallar las variaciones de I_{CQ} debidas a variaciones de V_{CC} y R_e, escribiremos

$$\Delta I_{CQ} = S_I\ \Delta I_{CBO} + S_V\ \Delta V_{BE} + S_\beta\ \Delta\beta + S_{V_{CC}}\ \Delta V_{CC} + S_{R_e}\ \Delta R_e \tag{4.3-12}$$

donde

$$S_{V_{CC}} \approx \frac{\partial I_{CQ}}{\partial V_{CC}} \quad \text{y} \quad S_{R_e} \approx \frac{\partial I_{CQ}}{\partial R_e} \tag{4.3-13}$$

para pequeñas variaciones de I_{CQ}.

La ecuación (4.3-12) indica que la variación total de la corriente de reposo, ΔI_{CQ}, es proporcional a las variaciones de cada una de las variables independientes y a sus factores de estabilidad. Luego, al diseñar para pequeños ΔI_{CQ}, proyectamos reducir al mínimo los factores de estabilidad. En la aplicación normal de la expresión (4.3-12) no se requiere una gran exactitud y se acostumbra a utilizar este tipo de análisis para variaciones relativamente grandes (20 por 100 o más) y para aplicar un criterio práctico a la interpretación de los resultados. Los ejemplos que siguen dan órdenes típicas de estas magnitudes.

EJEMPLO 4.3-1

Hallar V_{BB}, R_b y R_e en el amplificador representado en la Figura 4.3-1 de modo que i_C tenga una excursión mínima de ± 5 mA. β varía de 40 a 120 y V_{BEQ} está comprendida entre 0,6 y 0,8 V. La tensión de saturación colector-emisor $V_{CE,\,sat}$ es 0,1 V.

Solución

Para tener una excursión de cresta de ± 5 mA se necesita que la corriente de reposo I_{CQ} se encuentre limitada por I_{CQ1} e I_{CQ2} como se indica en la Figura 4.3-2. El punto Q_1 asegura que i_C podrá variar en -5 mA antes del corte, mientras que Q_2

asegura que i_C podrá variar +5 mA antes de la saturación. Suponiendo que el corte se presenta para $i_C = 0$, $I_{CQ1} = 5$ mA. En la Figura 4.3-2, I_{CQ2} viene dado por la intersección de las rectas de carga de c.c. y c.a.

Recta de carga de corriente continua:

$$V_{CC} = V_{CEQ2} + I_{CQ2}(R_c + R_e)$$

Recta de carga de corriente alterna:

$$V_{CEQ2} - V_{CE.\,sat} = R_c(I_{CQ2} + 5 \times 10^{-3} - I_{CQ2})$$

Eliminando V_{CEQ2} obtenemos:

$$I_{CQ2} = \frac{V_{CC} - 5 \times 10^{-3}R_c - V_{CE.\,sat}}{R_c + R_e} = \frac{15 - 5 - 0{,}1}{1000 + R_e} \approx \frac{10}{1000 + R_e}$$

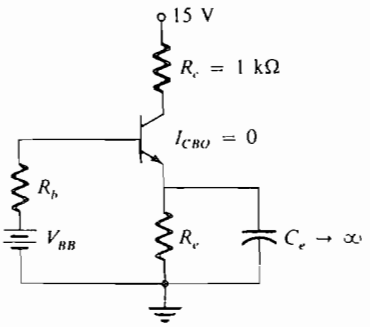


Figura 4.3-1. Circuito para el Ejemplo 4.3-1.

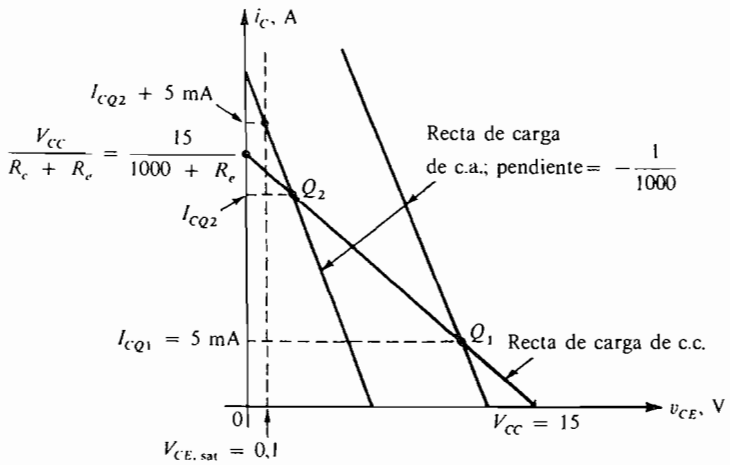


Figura 4.3-2. Rectas de carga para el Ejemplo 4.3-1.

La corriente de reposo de colector debe satisfacer, pues, la desigualdad

$$I_{CQ1} \leqslant I_{CQ} \leqslant I_{CQ2}$$

o bien

$$5 \text{ mA} \leqslant I_{CQ} \leqslant \frac{10}{1000 + R_e} \text{ mA}$$

Resolviendo esta desigualdad, encontramos que R_e debe ser menor que 1 kΩ para asegurar que el punto de reposo esté situado entre Q_1 y Q_2.

A continuación, veamos el efecto de las variaciones de β y V_{BEQ}. La relación adecuada es

$$I_{CQ} = \frac{\beta(V_{BB} - V_{BE})}{R_b + (\beta + 1)R_e} \tag{4.3-7}$$

De (4.3-11*a*)

$$\Delta I_{CQ} \approx -\frac{1}{R_e}\Delta V_{BE} + \frac{I_{CQ1}}{\beta_1}\frac{R_b + R_e}{R_b + (\beta_2 + 1)R_e}\Delta\beta$$

El caso más desfavorable se presentará cuando $\Delta V_{BE} = -0{,}2$ V y $\Delta\beta = 120 - 40 = 80$.

Luego

$$\Delta I_{CQ} \approx \frac{0{,}2}{R_e} + \frac{I_{CQ1}}{40}\frac{(R_b + R_e)(80)}{R_b + 120R_e}$$

$$\approx \frac{0{,}2}{R_e} + \frac{I_{CQ1}}{60}\left(1 + \frac{R_b}{R_e}\right) \qquad 120R_e \gg R_b$$

Es evidente que existe una amplia gama de valores de R_b, R_e y V_{BB} que mantienen el punto Q entre los límites Q_1 y Q_2. Si elegimos

$$R_e = 500\ \Omega \qquad R_b = 2000\ \Omega \qquad V_{BB} = 3{,}7 \text{ V}$$

el límite inferior de I_{CQ} se presentará cuando $V_{BE} = 0{,}8$ V y $\beta = 40$. De (4.3-7)

$$I_{CQ,\,\text{mín}} = \frac{(40)(3{,}7 - 0{,}8)}{2000 + (40)(500)} \approx 5{,}3 \text{ mA}$$

y

$$\Delta I_{CQ} = \frac{0{,}2}{500} + \frac{5{,}3}{60} \times 10^{-3}\left(1 + \frac{2000}{500}\right) \approx 0{,}8 \text{ mA}$$

Luego

$$I_{CQ,\,\text{máx}} = 5{,}3 + 0{,}8 = 6{,}1 \text{ mA}$$

Las rectas de carga representadas en la Figura 4.3-3 indican el posible desplazamiento del punto Q bajo estas condiciones. Se ve que la corriente de colector puede tener una excursión de ± 5 mA en la gama especificada de valores de β y V_{EE}.

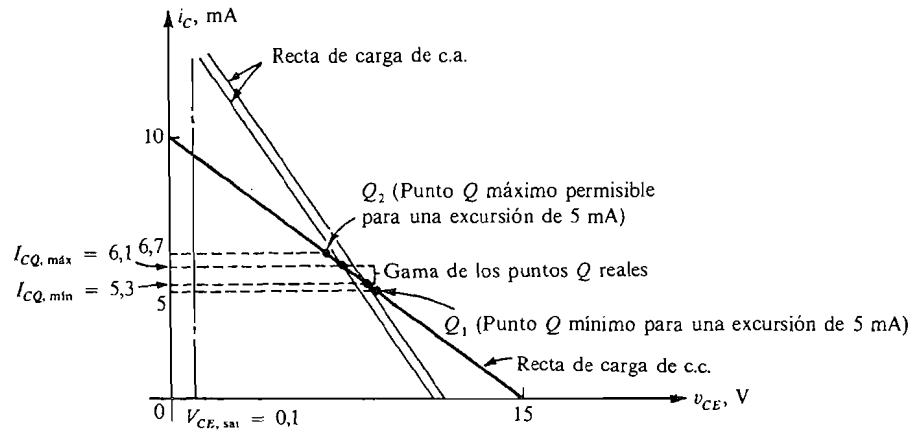


Figura 4.3-3. Variación del punto Q en el Ejemplo 4.3-1.

EJEMPLO 4.3-2

(*a*) Utilizando los valores nominales dados en la Figura 4.3-4, hallar I_{CQ} a temperatura ambiente. (*b*) Hallar ΔI_{CQ} para las tolerancias indicadas de V_{CC}, R_e y β. La temperatura ambiente está comprendida entre 25 y 125 °C.

Solución

(*a*) De (4.1-8), la corriente nominal de reposo, si se desprecia I_{CBO}, es

$$I_{CQ} = \frac{\beta(V_{BB} - V_{BEQ})}{(\beta + 1)R_e + R_b}$$

$$= \frac{\beta\{[R_1/(R_1 + R_2)]V_{CC} - V_{BEQ}\}}{(\beta + 1)R_e + R_b}$$

$$= \frac{75[(0{,}5/5{,}5)20 - 0{,}7]}{(76)(100) + 455} = 10{,}6 \text{ mA}$$

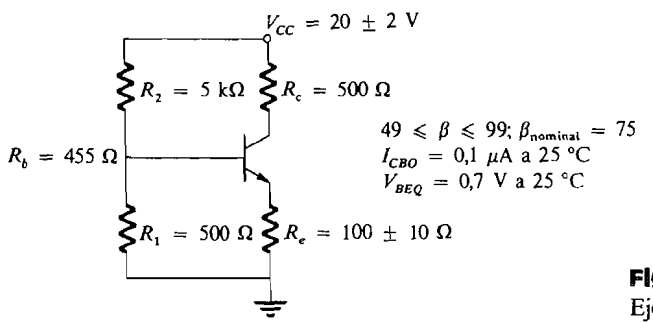


Figura 4.3-4. Circuito para el Ejemplo 4.3-2.

(*b*) Para hallar ΔI_{CQ} hacemos uso de (4.3-5). Los factores de estabilidad necesarios son S_I, S_V, S_β, $S_{V_{cc}}$ y S_{R_e}. Por (4.3-6*a*)

$$S_I = \frac{R_e + R_b}{R_e + R_b/(\beta + 1)} \approx \frac{100 + 455}{100} = 5{,}5 \text{ mA/mA}$$

y como $\beta R_e \gg R_b$, se pueden utilizar las aproximaciones en (4.3-6). Por (4.3-6*b*)

$$S_V \approx -\frac{1}{R_e} = -0{,}01 \text{ A/V} = -10 \text{ mA/V}$$

Con $\beta_1 = 49$, la I_{CQ1} correspondiente es $I_{CQ1} = 10{,}2$ mA. Luego por (4.3-10)

$$S_\beta \approx \frac{10{,}2}{49} \times 10^{-3} \frac{455 + 100}{455 + 10\,000} \approx 0{,}01 \text{ mA por unidad de cambio en } \beta$$

Para hallar $S_{V_{cc}}$ nos referimos a la parte (*a*). Entonces

$$S_{V_{cc}} = \frac{\partial I_{CQ}}{\partial V_{CC}} = \frac{\beta}{(\beta + 1)R_e + R_b}\left(\frac{R_1}{R_1 + R_2}\right) \approx \frac{R_1}{(R_1 + R_2)R_e}$$
$$= \frac{500}{(5500)(100)} \approx +0{,}9 \text{ mA/V}$$

Para hallar S_{R_e} aplicamos la definición a (4.1-8)

$$S_{R_e} = \frac{\partial I_{CQ}}{\partial R_e} \approx \frac{-(V_{BB} - V_{BE})}{[R_e + R_b/(\beta + 1)]^2} \approx \frac{-1{,}1}{(100)^2}$$
$$\approx -10^{-4} \text{ A/}\Omega = -0{,}1 \text{ mA/}\Omega$$

Así quedan determinados todos los factores de estabilidad. El paso siguiente en la solución será hallar ΔI_{CBO}, ΔV_{BE}, $\Delta\beta$, ΔV_{CC} y ΔR_e. Usando (4.2-3), tenemos

$$\Delta I_{CBO} = I_{CBO1}(\epsilon^{K\Delta T} - 1) = 0{,}1 \times 10^{-6}(\epsilon^{(0{,}07)(100)} - 1) \approx 0{,}1 \text{ mA}$$

y por (4.2-2)

$$\Delta V_{BE} = -k\,\Delta T = -(2 \times 10^{-3})(100) = -200 \text{ mV}$$

Por las especificaciones

$$\Delta\beta = 50 \qquad \Delta V_{CC} = 4 \text{ V} \qquad \Delta R_e = 20\ \Omega$$

La peor desviación posible del punto Q con respecto al valor mínimo será:

$$\Delta I_{CQ} = |S_I\ \Delta I_{CBO}| + |S_V\ \Delta V_{BE}| + |S_\beta\ \Delta\beta| + |S_{I_{cc}}\ \Delta V_{CC}| + |S_{R_e}\ \Delta R_e|$$
$$= (5,5)(0,1) + (10)(0,2) + (0,01)(50) + (0,9)(4) + (0,1)(20)$$
$$= 0,55 + 2 + 0,5 + 3,6 + 2 \text{ mA}$$

y
$$\Delta I_{CQ} \leqslant 8,65 \text{ mA}$$

La máxima variación posible con respecto al valor nominal de 10,6 mA será entonces aproximadamente la mitad de este valor, o $\approx \pm 4,3$ mA.

Se nos pregunta cómo puede reducirse esta gran variación de corriente. La gran variación con la temperatura, debida principalmente a variaciones de V_{BE}, originó aproximadamente 2,55 mA de la variación total de 8,65 mA de la corriente en reposo. En la Sección 4.4 se presentarán algunas técnicas para minimizar las variaciones de V_{BE} debidas a la temperatura. Para reducir las variaciones debidas a V_{CC} y R_e se utilizó una fuente regulada tal que $\Delta V_{CC} = 0,1$ V en lugar de 4 V y se empleó una resistencia con tolerancia del 1 por 100 en vez de un 10 por 100, para que $\Delta R_e = \pm 1\ \Omega$. Así se modifican los cálculos anteriores para obtener

$$\Delta I_{CQ} \leqslant \pm 1,67 \text{ mA}$$

Incluso esta variación, de aproximadamente 20 por 100 de la I_{CQ} nominal, es significativa. Este procedimiento de análisis es, pues, extremadamente importante, ya que la información capacita al diseñador para determinar si puede ser obtenida la máxima excursión de la corriente de colector. De lo contrario será necesario un nuevo diseño.

4.4. COMPENSACION DE LAS VARIACIONES DE TEMPERATURA MEDIANTE LA POLARIZACION POR DIODO

En las secciones anteriores hemos visto que los cambios de temperatura ambiente podían producir una variación importante en la corriente de reposo de colector. Esta variación es debida principalmente a la tensión base-emisor V_{BE}, que es función de la temperatura (el efecto de I_{CBO} es generalmente despreciable).

Un método para reducir esta variación de corriente resulta obvio al considerar el factor de estabilidad S_V de (4.3-6*b*). Si R_e aumenta, S_V disminuye e ΔI_{CQ} se incrementa. Sin embargo, se reduce también la corriente en el equilibrio. Así, con esta forma de minimizar S_V no se consigue demasiado.

4.4-1. Compensación con un solo diodo

Otro método para reducir las variaciones de la tensión base-emisor consiste en utilizar la compensación por diodo. Para comprenderlo consideraremos el circuito de la Figura 4.4.1.

En este circuito, la polarización se efectúa por una fuente de corriente constante, I_{BB}. Si se elige el diodo de modo que se adapte a la característica de la unión base-emisor del transistor, para que sus dependencias de la temperatura sean las mismas, tendremos

$$\frac{\Delta V_D}{\Delta T} = \frac{\Delta V_{BE}}{\Delta T} \tag{4.4-1}$$

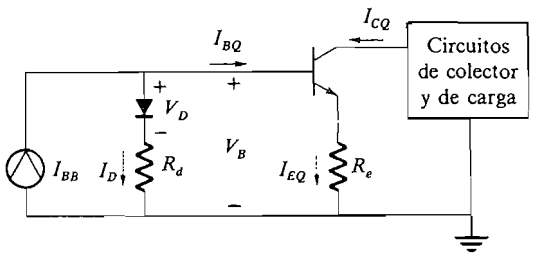


Figura 4.4-1. Polarización por diodo: circuito simplificado.

La corriente de la fuente de polarización es constante de modo que

$$I_{BB} = I_D + I_{BQ} = I_D + \frac{I_{EQ}}{\beta + 1} = \text{constante} \tag{4.4-2}$$

La tensión de base del circuito es

$$V_B = V_D + I_D R_d = V_{BEQ} + I_{EQ} R_e \tag{4.4-3}$$

Luego, utilizando las expresiones (4.4-2) y (4.4-3), la corriente de reposo del emisor es

$$I_{EQ} = \frac{V_D - V_{BEQ} + I_{BB} R_d}{R_e + R_d/(\beta + 1)} \tag{4.4-4}$$

Ya que I_{BB} es constante

$$\frac{\Delta I_{EQ}}{\Delta T} = \frac{\Delta V_D/\Delta T - \Delta V_{BE}/\Delta T}{R_e + R_d/(\beta + 1)} = 0 \tag{4.4-5}$$

Por lo tanto, I_{EQ} es insensible a las variaciones de temperatura.

Obsérvese también en la expresión (4.4-4) que la corriente de emisor I_{EQ} es relativamente independiente de las variaciones de β, si

$$R_e \gg \frac{R_d}{\beta + 1} \tag{4.4-6}$$

Es evidente que el grado de estabilización con la temperatura depende de la adaptación o igualdad entre el diodo exterior y el diodo base-emisor del transistor. Cuando se usan componentes discretos debe tenerse cuidado en la elección del diodo. Sin embargo, en circuitos integrados (CI) los diodos están formados por transistores conectando la base al colector, como muestra la Figura 4.4-2. Habitualmente, estos transistores integrados son muy similares (curvas adaptadas) a causa de la naturaleza del proceso de fabricación y, por tanto, la compensación en temperatura es bastante buena.

Obsérvese que como (4.4-5) es independiente del valor de R_d se puede obtener teóricamente una perfecta compensación si $R_d = 0$. Sin embargo, en tales circuitos $V_D > V_{BE}$, por lo que la corriente suministrada al circuito de polarización excede de la corriente del transistor. Esto da lugar a mayor disipación de potencia.

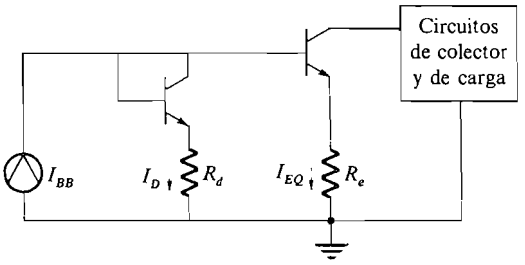


Figura 4.4-2. Polarización por diodo: con un transistor conectado como diodo.

EJEMPLO 4.4-1

La Figura 4.4-3 muestra un circuito de polarización por diodo en que la fuente de la corriente de polarización I_{BB} ha sido reemplazada por una fuente de tensión en serie con una resistencia. Determinar el efecto de las variaciones de temperatura sobre la corriente de emisor en reposo.

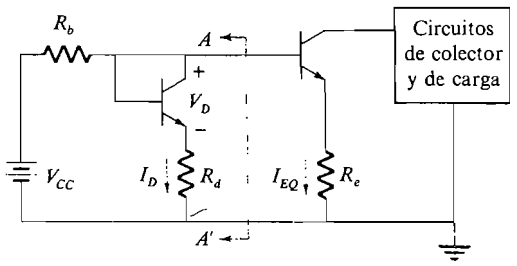


Figura 4.4-3. Circuito práctico de polarización por diodo.

Solución

Comenzamos por obtener el equivalente Thévenin de la red de polarización. Para ello representamos el diodo por una fuente de tensión V_D. El circuito equivalente resultante está entonces representado en la Figura 4.4-4. Aplicando la segunda ley de Kirchhoff (de tensiones) al lazo base-emisor y observando que $(\beta + 1)I_{BQ} = I_{EQ}$, hallamos la corriente de emisor en reposo

$$I_{EQ} \approx \frac{(V_{CC}R_d + V_D R_b)/(R_b + R_d) - V_{BE}}{R_e}$$

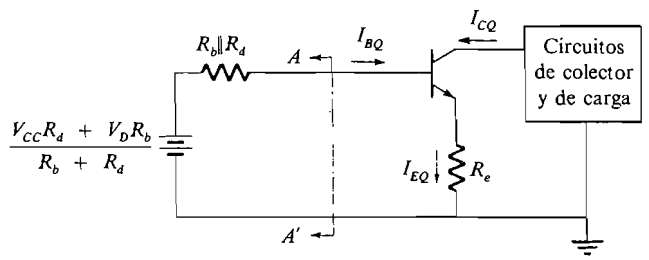


Figura 4.4-4. Circuito equivalente.

donde hemos supuesto $R_e \gg (R_b \parallel R_d)/(\beta + 1)$. Esta corriente se puede fijar en el valor deseado ajustando R_b y R_d. La variación de I_{EQ} debida a un cambio de temperatura es

$$\frac{\Delta I_{EQ}}{\Delta T} = \frac{1}{R_e} \frac{R_b}{R_b + R_d} \frac{\Delta V_D}{\Delta T} - \frac{\Delta V_{BEQ}}{\Delta T}$$

Pero $$\frac{\Delta V_D}{\Delta T} = \frac{\Delta V_{BEQ}}{\Delta T} = -k \qquad \text{donde } k \approx 2 \text{ mV/°C}$$

Luego $$\frac{\Delta I_{EQ}}{\Delta T} = +\frac{k}{R_e} \frac{1}{1 + R_b/R_d}$$

En la Sección 4.3 vimos que sin compensación del diodo y si se desprecia I_{CBO}

$$\frac{\Delta I_{EQ}}{\Delta T} = +\frac{k}{R_e}$$

Así, la compensación del diodo, cuando se emplea como antes, reduce la sensibilidad a la temperatura; por ejemplo, si $R_b = 2{,}5$ kΩ y $R_d = 250$ Ω, se tiene

$$\frac{\Delta I_{EQ}}{\Delta T} = \frac{k}{11R_e}$$

y los efectos de temperatura se reducen a la onceava parte, comparados con los de una etapa de amplificador sin estabilización por diodo.

4.4-2. Compensación por dos diodos

El Ejemplo 4.4-1 ilustra el hecho de que utilizando un circuito de polarización con un solo diodo no se puede obtener una perfecta compensación de temperatura. Sin embargo, cuando se emplean dos o más diodos, como en la Figura 4.4-5, $\Delta I_{EQ}/\Delta T$ se puede hacer igual a cero para obtener una perfecta compensación. Para algunas aplicaciones es conveniente dar un valor positivo o negativo determinado a $\Delta I_E/\Delta T$. Tal ajuste de la variación de temperatura de I_{EQ} es posible utilizando el circuito de la Figura 4.4-5*a*.

Con el fin de determinar las condiciones necesarias para hacer $\Delta I_{EQ}/\Delta T = 0$ primero obtenemos el circuito equivalente de la red de polarización, como muestra la Figura 4.4-5*b*. Luego, aplicando la ley de tensiones de Kirchhoff al bucle base-emisor y suponiendo que $R_e \gg (R_b \parallel R_d)/(\beta + 1)$, hallamos I_{EQ}

$$I_{EQ} = \frac{(V_{BB}R_d + 2V_DR_b)/(R_b + R_d) - V_{BE}}{R_e} \tag{4.4-7}$$

Puesto que $\Delta V_D/\Delta T = \Delta V_{BE}/\Delta T$, la corriente de emisor en reposo es independiente de las variaciones de temperatura si

$$\frac{\Delta I_{EQ}}{\Delta R} = \frac{2R_b/(R_b + R_d)\ \Delta V_D/\Delta T - \Delta V_D/\Delta T}{R_e} = 0 \tag{4.4-8}$$

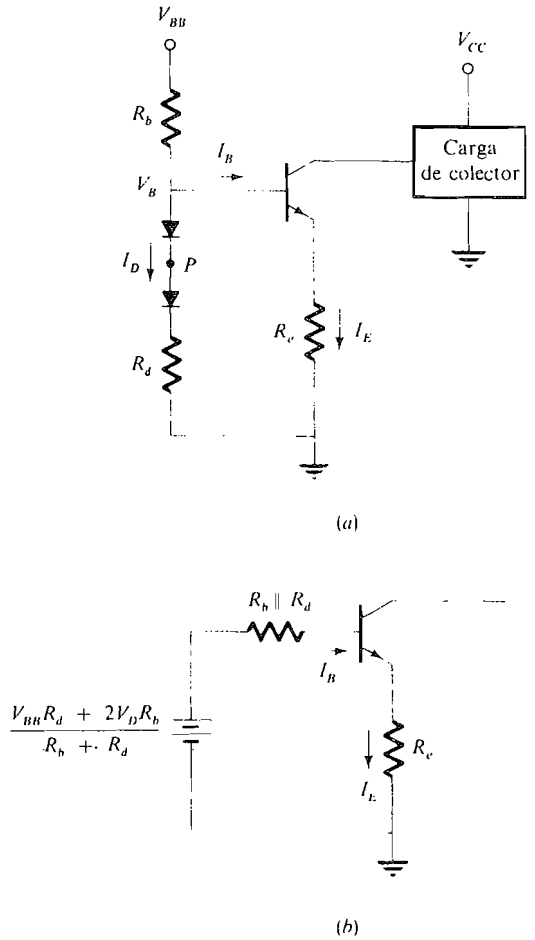


Figura 4.4-5. Polarización con dos diodos: (*a*) circuito; (*b*) circuito equivalente.

Esto se cumple cuando

$$R_b = R_d \tag{4.4-9}$$

Queda, pues, demostrado que en el circuito de la Figura 4.4-5 con $R_b = R_d$ la corriente de emisor es independiente de la temperatura. El ejemplo siguiente explica el diseño de un circuito con un transistor polarizado por dos diodos.

EJEMPLO 4.4-2

El circuito de polarización por dos diodos de la Figura 4.4-5 se emplea para obtener compensación de temperatura de la corriente de emisor I_E. Si $I_E R_c = 2$ V, hallar V_{BB}. Si $I_E = 1$ mA, determinar un valor adecuado para $R_b = R_d$.

Solución

Despreciando la corriente de base I_B en comparación con I_D, se observa que la tensión en el punto P es igual a $V_{BB}/2$ (puesto que $R_b = R_d$). Observamos también que la tensión en P es igual a la tensión de emisor si la corriente de diodo $I_D = I_E$. Por tanto.

$$V_P = \frac{V_{BB}}{2} = I_E R_e$$

De aquí que $V_{BB} = 4$ V. Además tenemos

$$I_D R_d = V_P - V_{D2} = \frac{V_{BB}}{2} - 0{,}7 = 1{,}3 \text{ V}$$

Con $I_D = I_E = 1$ mA $R_b = R_d = 1{,}3$ kΩ

(Un valor estándar sería 1,2 kΩ). Si para ahorrar potencia, decidimos hacer I_D mucho menor que I_E ya no sería válido este procedimiento de cálculo puesto que V_{D1} sería menor que V_{BE}. Un procedimiento adecuado en este caso es el que se da en el Problema 4.4-6.

En el Ejemplo 4.4-2 hallamos $V_{BB} = 4$ V. Generalmente este valor de V_{BB} es menor que la tensión de colector V_{CC}. Entonces V_{BB} y R_b se obtienen a partir de V_{CC} utilizando una red resistiva como divisor de tensión (véase Figura 2.3-2).

4.5. ESTABILIDAD DE LA POLARIZACION EN EL FET

Las características *vi* del FET cambian con la temperatura, lo mismo que las del BJT. Sin embargo, las características de los FET del mismo tipo no varían, contrariamente a la gran variación de β en los BJT del mismo tipo. En esta sección estudiaremos diversos tipos de circuitos de polarización que controlan la variación de polarización en el JFET y en el MOSFET. Aunque aquí se usan dispositivos de canal *n*, se pueden utilizar las mismas técnicas para polarizar los FET de canal *p*.

4.5-1. Polarización del JFET

La Figura 4.5-1 muestra un amplificador JFET. Deseamos polarizar esta etapa para un valor nominal determinado de tensión drenaje-fuente en reposo, V_{DSQ}. La variación del punto Q con la variación de los parámetros del FET se debe mantener dentro de unos límites determinados. Para ello, debemos polarizar el JFET con el fin de que la variación de la corriente en reposo drenaje-fuente no exceda de los límites, ya que las variaciones de I_{DSQ} se reflejan directamente en V_{DSQ}.

Las características de transferencia de la Figura 4.5-2 muestran la variación en el peor de los casos de la corriente drenaje-fuente en función de la tensión puerta-fuente para un tipo

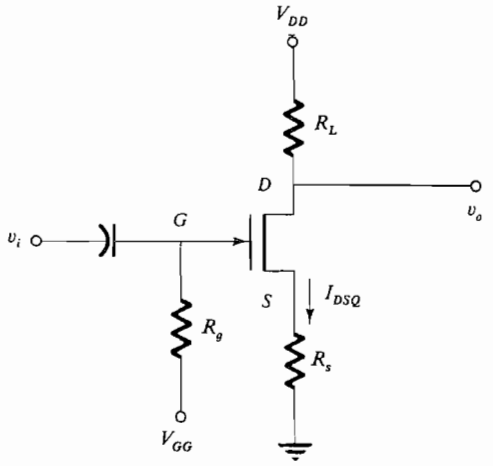


Figura 4.5-1. Amplificador JFET.

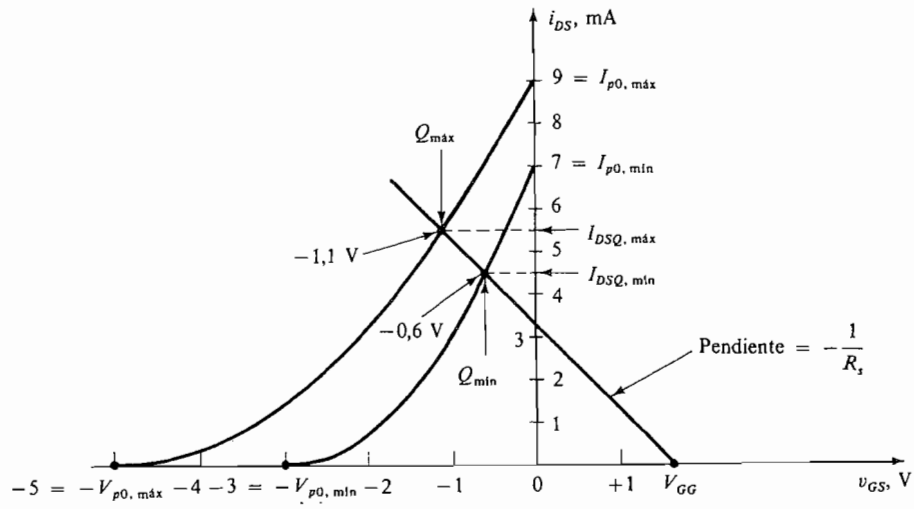


Figura 4.5-2. Características de transconductancia en el caso más desfavorable.

particular de FET. Las curvas de transferencia están dibujadas suponiendo que el FET funciona en la región de saturación, por lo que se aplica (3.2-3):

$$i_{DS} = I_{p0}\left(1 + \frac{v_{GS}}{V_{p0}}\right)^2 \tag{3.2-3}$$

Hay dibujadas dos curvas que representan los valores correspondientes al caso peor de I_{p0} y V_{p0}; estos valores los proporciona el fabricante para cada tipo de FET. Las características de cualquier FET de este tipo estarán, pues, comprendidas entre estas dos curvas, con los valores nominales aproximadamente en el centro de la región.

Las curvas se utilizan para determinar V_{GG} y R_s en el circuito de la Figura 4.5-1, de la manera siguiente: primero, se elige una corriente nominal en reposo y en la máxima desviación permisible con respecto al valor nominal. Típicamente podemos permitir una variación de ± 10 por 100 en I_{DSQ}. Por tanto, $I_{DSQ,\,máx} = 1{,}1\ I_{DSQ}$ e $I_{DSQ,\,mín} = 0{,}9\ I_{DSQ}$. Estos valores están indicados en las dos curvas de transconductancia en los puntos $Q_{máx}$ y $Q_{mín}$ de la Figura 4.5-2, y los valores correspondientes de V_{GSQ} están también indicados en esas curvas.

De la Figura 4.5-1, tenemos

$$V_{GG} = V_{GSQ} + I_{DSQ}R_s \tag{4.5-1}$$

La recta que representa esta ecuación debe pasar por los puntos $Q_{máx}$ y $Q_{mín}$, como en la Figura 4.5-2. La intersección de esta recta con el eje v_{GS} da V_{GG} y la pendiente de la recta es $-1/R_s$.

Para concluir el cálculo del circuito de polarización, cuando V_{DSQ} y V_{DD} son conocidas la resistencia de carga R_L se puede calcular fácilmente. El Ejemplo 4.5-1 ilustra el procedimiento de diseño.

EJEMPLO 4.5-1

Diseñar el circuito de polarización para el amplificador JFET representado en la Figura 4.5-1 hallando V_{GG} y R_s. $V_{p0,\,máx} = 5$ V, $V_{p0,\,mín} = 3$ V, $I_{p0,\,máx} = 9$ mA, $I_{p0,\,mín} = 7$ mA. $I_{DSQ,\,nom} = 5$ mA y se permite una variación de ± 10 por 100. Siendo el valor nominal de $V_{DSQ} = 6$ V y $V_{DD} = 15$ V, hallar la variación de V_{DSQ} y determinar R_L.

Solución

En la Figura 4.5-2 se dan las curvas de transconductancia correspondientes al caso peor. $I_{DSQ,\,máx}$ corta a la curva de arriba en $Q_{máx}$, donde $V_{GS} = -1{,}1$ V. $I_{DSQ,\,mín}$ corta la curva inferior a $v_{GS} = -0{,}6$ V ($Q_{mín}$). En la Figura 4.5-2 está representada la Ecuación (4.5-1) que pasa por los puntos $Q_{máx}$ y $Q_{mín}$. La resistencia de fuente R_s hallada es

$$R_s = \frac{\Delta V_{GS}}{I_{DSQ,\,máx} - I_{DSQ,\,mín}} = \frac{1{,}1 - 0{,}6}{1 \times 10^{-3}} = 500\ \Omega$$

La tensión de polarización V_{GG} hallada es $V_{GG} = 1{,}65$ V. Con $V_{DD} = 15$ V y V_{DSQ} ajustada nominalmente en 6 V, tenemos

$$R_L + R_s = \frac{V_{DD} - V_{DSQ}}{I_{DSQ,\,nom}} = \frac{15 - 6}{5 \times 10^{-3}} = 1800\ \Omega$$

Como $R_s = 500\ \Omega$, $R_L = 1{,}3$ kΩ (un valor estándar sería 1,2 kΩ). En la Figura 4.5-1 vemos que

$$\Delta V_{DSQ} = -\Delta I_{DSQ}(R_L + R_s)$$

Puesto que $\Delta I_{DSQ} = \pm 0{,}5$ mA, la variación de la tensión drenaje-fuente es $\Delta V_{DSQ} = \pm 0{,}9$ V (± 15 por 100 del valor nominal comparado con el ± 5 por 100 especificado para I_{DSQ}).

4.5-2. Polarización del MOSFET

En la Figura 4.5-3 está representado un amplificador NMOSFET. La polarización de la puerta está fijada por la tensión de drenaje a través de la resistencia R_g. Como por la puerta del MOSFET no puede circular ninguna corriente continua, tampoco circula en R_g y la tensión c.c. en la puerta es igual a la tensión c.c. en el drenaje, es decir.

$$V_{GS} = V_{DS} \tag{4.5-2}$$

Este circuito de polarización es igual que el utilizado para polarizar el JFET en cuanto a lo siguiente: En el circuito JFET de la Figura 4.5-1, cualquier aumento de la corriente de drenaje produce un aumento de la tensión de fuente y por consiguiente la tensión puerta-fuente se hace más negativa. Esto tiende a reducir la corriente, reduciendo por tanto el aumento de corriente que inició el ciclo. Esta secuencia de eventos es lo que se llama *realimentación negativa* (véase Sección 10.1). En el circuito MOSFET representado en la Figura 4.5-3, un aumento de I_{DS} hace que V_{DS} disminuya. Como $V_{DS} = V_{GS}$, la tensión de puerta también disminuye, lo que tiende a reducir el aumento original de la corriente. El Ejemplo 4.5-2 ilustra cuantitativamente la influencia estabilizadora del circuito de polarización.

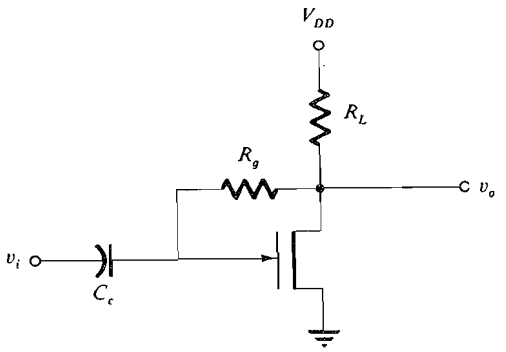


Figura 4.5-3. Polarización del MOSFET.

EJEMPLO 4.5-2

La Figura 4.5-4 muestra las características de transferencia *vi* máxima y mínima en el caso más desfavorable para un determinado NMOSFET que está polarizado utilizando el circuito representado en la Figura 4.5-3. Como $V_{DS} = V_{GS}$, el FET está funcionando en la región de saturación por lo que la corriente i_{DS} es independiente de la tensión drenaje-fuente y varía con el cuadrado de la tensión puerta-fuente como en (3.3-2*b*). Las ecuaciones correspondientes al caso más desfavorable son

$$i_{DS} = k_{\text{máx}}(v_{GS} - V_{T,\,\text{min}})^2 \tag{4.5-3a}$$

y

$$i_{DS} = k_{\text{mín}}(v_{GS} - V_{T,\,\text{máx}})^2 \tag{4.5-3b}$$

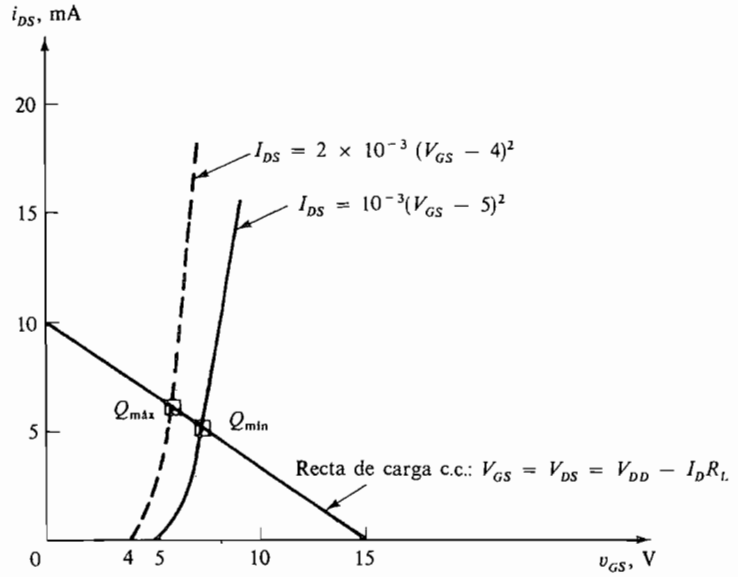


Figura 4.5-4. Características *vi* de un MOSFET para variaciones de los parámetros en el caso más desfavorable.

La ecuación (4.5-3*a*) da el mayor valor de i_{DS} para un valor dado de V_{GS}, mientras (4.5-3*b*) produce la i_{DS} más pequeña. La característica dibujada con línea de trazos tiene los parámetros $V_T = 4$ V y $k_n = 2 \times 10^{-3}$ A/V^2, y la dibujada con línea continua tiene los parámetros $V_T = 5$ V y $k_n = 10^{-3}$ A/V^2, $V_{DD} = 15$ V y $R_L = 1{,}5$ kΩ. Hallar las máximas variaciones posibles de I_{DSQ} y V_{DSQ}.

Solución

La ecuación de la recta de carga

$$V_{DD} = V_{DS} + I_{DS}R_L$$

está dibujada en los mismos ejes de coordenadas que las características de transferencia *vi*, como muestra la Figura 4.5-4. Los puntos de funcionamiento o de reposo $Q_{máx}$ y $Q_{mín}$ están en la intersección de las dos curvas *vi* y la recta de carga. En este ejemplo $Q_{máx}$ y Q_{min} están representados en el gráfico por

$Q_{máx}$: $I_{DSQ} = 6{,}2$ mA $V_{DSQ} = 5{,}7$ V

$Q_{mín}$: $I_{DSQ} = 5{,}3$ mA $V_{DSQ} = 7{,}1$ V

Así pues, el punto Q nominal corresponde a los valores medios $I_{DSQ} \approx 5{,}7$ mA y $V_{DSQ} \approx 6{,}5$ V. La máxima variación de I_{DSQ} es, pues, $\Delta I_{DSQ} = \pm 0{,}5$ mA, o aproximadamente el 10 por 100 del valor nominal de I_{DSQ}, mientras $\Delta V_{DSQ} = \pm 0{,}8$ V, que es aproximadamente el 11 por 100 del valor nominal de V_{DSQ}.

El ejemplo anterior demuestra que la polarización con realimentación produce un punto Q que se establece a pesar de las grandes variaciones de los parámetros. Se deja como ejercicio demostrar que si no se emplease realimentación y el FET estuviese polarizado como en la Figura 4.5-5, las variaciones de la magnitud representada en la Figura 4.5-4 producirían variaciones sustancialmente mayores en la posición del punto Q.

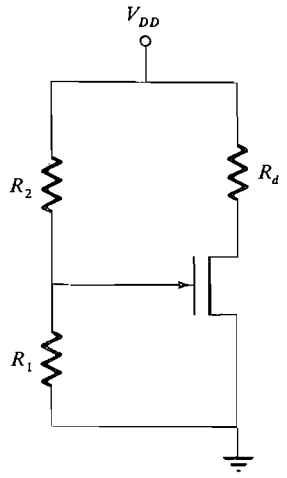


Figura 4.5-5. FET polarizado sin realimentación.

4.6. CONSIDERACIONES TERMICAS AMBIENTALES EN LOS AMPLIFICADORES CON TRANSISTORES

En esta sección consideraremos el efecto de la disipación de potencia y de la temperatura ambiente sobre el funcionamiento de los circuitos con transistores. Como en la mayoría de los circuitos amplificadores de potencia se emplea el BJT, nos referiremos a este dispositivo. Los amplificadores FET de potencia se estudian en la Sección 4.6-1.

El diseño práctico de los circuitos con transistores casi siempre implica consideraciones térmicas y también eléctricas a causa de que la máxima potencia media que puede disipar el transistor está limitada por la temperatura de la unión colector-base. Así, el diseño del circuito deberá incluir el cálculo de las condiciones térmicas para que no sea excedida la máxima temperatura permisible de la unión. Esta temperatura está comprendida en el margen de 150 a 200 °C para el silicio; a temperaturas más altas se deteriorará el transistor. La potencia media disipada en el colector P_c es igual a la media del producto de la corriente de colector y la tensión colector-base, y la máxima potencia media de colector permisible es especificada por el fabricante. Se puede exceder momentáneamente este valor nominal siempre que el transistor no tenga suficiente tiempo para calentarse hasta el punto de quemarse.

El análisis de la situación térmica en un transistor es el mismo que para el diodo de unión considerado en la Sección 1-11. La configuración física representada en la Figura 4.6-1 está descrita exactamente por (1.11-7) y lo dicho acerca de esta ecuación es directamente aplicable. La información sobre la resistencia térmica θ_{jc} y θ_{ca} la da usualmente el fabricante del transistor.

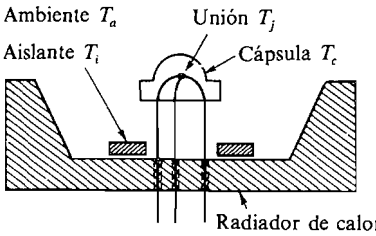


Figura 4.6-1. Transistor y radiador de calor.

EJEMPLO 4.6-1

Un transistor de silicio tiene las siguientes características térmicas:

$$T_{j,\,máx} = 150\ °C \qquad \theta_{jc} = 0{,}7\ °C/W$$

Hallar: (*a*) la potencia que este transistor podría disipar si la cápsula pudiera mantenerse a 50 °C, independientemente de la temperatura de la unión; (*b*) la potencia que podría disipar con una temperatura ambiente de 50 °C y un radiador de calor con una resistencia térmica $\theta_{ca} = 1\ °C/W$.

Solución

(*a*) Para esta condición

$$P_j = \frac{T_j - T_c}{\theta_{jc}} = \frac{150 - 50}{0{,}7} \approx 143\ W$$

(*b*) Utilizando la expresión (1.11-6), obtenemos

$$P_j = \frac{T_j - T_a}{\theta_{jc} + \theta_{ca}} = \frac{150 - 50}{0{,}7 + 1} \approx 59\ W$$

Así, un radiador «infinito» de calor como el del caso (*a*) permite al transistor disipar más del doble de la potencia admitida cuando se utiliza el radiador «real» definido por (*b*).

Curvas de degradación o reducción de los valores nominales. La variación de la disipación máxima de colector con la temperatura de la cápsula es una característica importante que suministra el fabricante del transistor. La Figura 4.6-2 ilustra una curva típica. Para temperaturas de la cápsula inferiores a T_{co}, el transistor puede disipar su potencia máxima admisible. Para temperaturas superiores a T_{co} la disipación máxima admisible del colector decrece, tal como se indica en la figura.

La disipación admitida de colector en esta región viene dada por la ecuación

$$\frac{T_{j,\,máx} - T_{co}}{P_{C,\,máx}} = \frac{T_{j,\,máx} - T_c}{P_C} \tag{4.6-1}$$

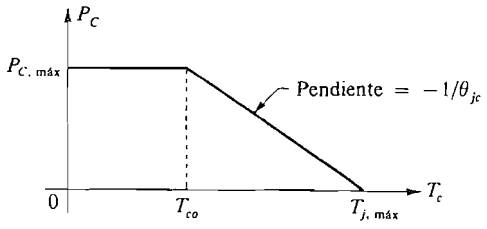


Figura 4.6-2. Curva de degradación.

Como

$$T_j - T_c = P_C\theta_{jc} \tag{4.6-2}$$

vemos que

$$\theta_{jc} = \frac{T_{j,\,máx} - T_{co}}{P_{C,\,máx}} \tag{4.6-3}$$

EJEMPLO 4.6-2

Un transistor de silicio de elevada potencia puede disipar 150 W mientras la temperatura de la cápsula sea menor de 45 °C. Por encima de esta temperatura la potencia de colector decrece linealmente, como indica la Figura 4.6-2. La temperatura máxima de la unión es de 120 °C. El amplificador debe ser capaz de trabajar a temperaturas ambientes muy elevadas, de hasta 80 °C. Determinar la potencia máxima que este transistor puede disipar y la resistencia térmica necesaria del radiador de calor y del aislante para evitar que la temperatura de la unión supere su valor máximo admitido.

Solución

$T_j = T_{j,\,máx} = 120$ °C y θ_{jc} se puede hallar utilizando (4.6-3):

$$\theta_{jc} = \frac{120 - 45}{150} = 0{,}5\ °C/W$$

Para no exceder el máximo de temperatura de la unión, necesitamos:

$$T_{j,\,máx} = T_{a,\,máx} + P_C\theta_{ja}$$

Así $$120 - 80 = 40 = P_C\theta_{ja} = P_C(\theta_{jc} + \theta_{ca}) = P_C(0{,}5 + \theta_{ca})$$

La selección debe hacerse siguiendo criterios de ingeniería. Es evidente que con un radiador de calor infinito, $P_C = 80$ W. Sin embargo, como esto no es posible, habrá que conformarse con un buen radiador (con aislante), el cual podría tener una resistencia térmica de 0,5 °C/W. Así

$$P_{C,\,máx} = 40\ W$$

Obsérvese que el transistor de 150 W sólo puede disipar 40 W a causa del requisito de alta temperatura ambiente.

4.6-1. Condiciones térmicas para el uso del FET de potencia

En la Sección 3.12 hemos visto algunas de las características de un FET de potencia. En esta sección consideraremos el efecto del aumento de temperatura sobre el funcionamiento de este dispositivo.

El interruptor FET, cuando está cerrado o en conducción, tiene una resistencia efectiva R_{FET} que aumenta con la temperatura a razón del 0,7 por 100 por grado centígrado. La relación entre la resistencia y la temperatura se puede expresar por

$$R_{\text{FET}}(T_2) = R_{\text{FET}}(T_1)\epsilon^{0,007(T_2 - T_1)} \tag{4.6-4}$$

donde T_2 y T_1 son dos temperaturas de interés. (Obsérvese que $\epsilon^{0,007} \approx 1,007$, por lo que cuando $T_2 - T_1 = 1$ °C, la resistencia ha aumentado 0,7 por 100.)

La potencia P_F disipada por el FET en conducción es

$$P_F = I_{DS}^2 R_{\text{FET}} \tag{4.6-5}$$

donde I_{DS} es la corriente continua que circula por el interruptor. Como en el FET se está disipando potencia, su temperatura aumentará y R_{FET} también aumentará, haciendo que la disipación de potencia aumente aún más. La relación entre la potencia disipada y el aumento de temperatura T viene dada por (véase Sec. 1.12)

$$\Delta T = T_j - T_a = \theta_{ja} P_F \tag{4.6-6a}$$

Sustituyendo (4.6-5) en (4.6-6*a*) se tiene

$$\Delta T = T_j - T_a = \theta_{ja} I_{DS}^2 R_{\text{FET}}(T_j) \tag{4.6-6b}$$

La Ecuación (4.6-4) relaciona $R_{\text{FET}}(T_2 = T_j)$ con $R_{\text{FET}}(T_1 = T_a)$. Haciendo la sustitución en (4.4-6*b*) se tiene

$$\Delta T\epsilon^{-0,007\Delta T} = \theta_{ja} I_{DS}^2 R_{\text{FET}}(T_a) \tag{4.6-7}$$

En la Figura 4.6-3 está dibujada $\Delta T\epsilon^{-0,007\Delta T}$ en función de ΔT.

Para determinar la resistencia térmica necesaria del radiador de calor se pueden utilizar la Ecuación (4.6-7) y la Figura 4.6-3, como se explica en el Ejemplo 4.6-3.

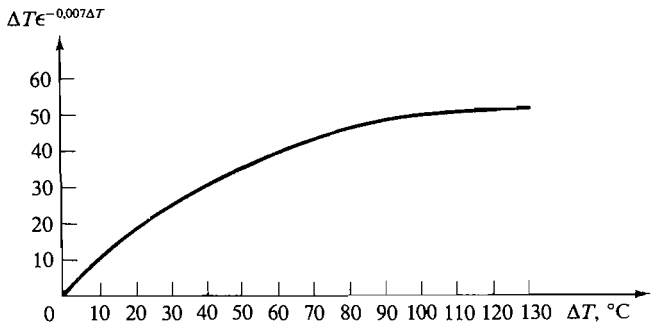


Figura 4.6-3. Gráfico de $\Delta T\epsilon^{-0,007T}$ en función de ΔT.

EJEMPLO 4.6-3

Un FET de potencia admite una máxima temperatura en la unión de 175 °C y tiene una resistencia térmica $\theta_{jc} = 4$ °C/W. Cuando el transistor conduce, la corriente drenaje-fuente es 1 A y la resistencia del FET en conducción a temperatura ambiente de 25 °C es $R_{FET}(25\ ^\circ C) = 10\ \Omega$. Si la temperatura de la unión ha de ser 125 °C o menos, calcular (*a*) la resistencia térmica necesaria del radiador de calor θ_{ca}, (*b*) la resistencia del FET cuando $T_j = 125$ °C y la potencia disipada en el FET a $T_j = 25$ y 125 °C suponiendo que I_{DS} se mantenga en 1 A. (*c*) ¿En qué condiciones se puede suponer que I_{DS} se mantiene constante aunque cambie R_{FET}?

Solución

(*a*) Por (4.6-7) tenemos

$$\theta_{ja} = \theta_{jc} + \theta_{ca} = \frac{\Delta T \epsilon^{-0.007\Delta T}}{I_{DS}^2 T_{FET}(T_a)}$$

Utilizando la Figura 4.6-3 con $\Delta T = 125 - 25 = 100$ °C, hallamos

$$\Delta T \epsilon^{-0.007\Delta T} \approx 50$$

de donde

$$\theta_{ja} \approx \frac{50}{(1)^2(10)} = 5\ ^\circ C/W$$

Como $\theta_{jc} = 4$ °C/W, la resistencia térmica del radiador debe ser menor que 1 °C/W.

(*b*) Utilizando (4.6-4), tenemos

$$R_{FET}(125\ ^\circ C) = 10\epsilon^{(0.007)(100)} = 20\ \Omega$$

Por tanto, $P_F(25\ ^\circ C) = 10$ W y $P_F(125\ ^\circ C) = 20$ W.

(*c*) Suponemos que I_{DS} se mantiene constante mientras R_{FET} aumenta de 10 a 20 Ω si la resistencia de carga excede considerablemente de la resistencia del FET, que es 20 Ω. Así, si el conmutador FET está activando una carga de 100 Ω, la variación de la corriente debida al aumento de R_{FET} es despreciable.

4.7. ESPECIFICACIONES DE LOS FABRICANTES PARA TRANSISTORES DE ALTA POTENCIA ($P_{C,máx} > 1$ W)

En esta sección se describen algunas especificaciones comunes dadas por los fabricantes de transistores. Las especificaciones que abajo se dan son para un transistor de potencia de silicio *npn* de unión difundida.

Tipo de transistor: 2N6277, silicio *npn*

A. Máxima resistencia térmica $\theta_{jc} = 0{,}7$ °C/W.

B. Máxima disipación de colector con radiador de calor infinito a 25 °C, $P_C = 250$ W.

C. Máxima temperatura de unión $T_{j,máx} = 200$ °C.

D. Máximos valores nominales absolutos a 25 °C:
   1. $I_C = 50$ A.
   2. $I_B = 20$ A.
   3. Tensión de ruptura.
      a. Colector-base $(BV_{CBO}) = 180$ V.
      b. Emisor-base $(BV_{EBO}) = 6$ V.
      c. Colector-emisor $(BV_{CEO}) = 150$ V.

E. Amplificación de corriente β en $I_C = 20$ A: $30 < \beta \leqslant 120$.

Explicación de los símbolos. La máxima resistencia térmica θ_{jc}, la máxima disipación de colector $P_{C,\,máx}$ y la máxima temperatura de la unión $T_{j,\,máx}$, de las que se trata en las Secciones 1.12 y 4.6, pueden ser resumidas utilizando la curva de degradación de potencia representada en la Figura 4.7-1. Así, si se emplea un radiador de calor infinito ($\theta_{ca} = 0$), se pueden disipar 250 W cuando la temperatura de la cápsula (que es igual a la temperatura ambiente con radiador de calor infinito) es menor que 25 °C. Si la temperatura de la cápsula aumenta por encima de este valor, la disipación de potencia permisible en el transistor disminuye como se muestra.

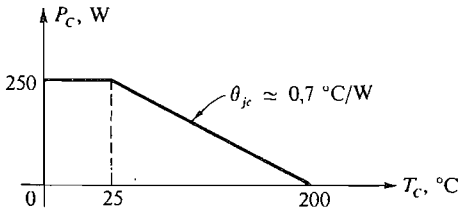


Figura 4.7-1. Curva de degradación.

Los máximos valores nominales absolutos especificados indican cuáles son los límites de la corriente y tensión del transistor. Así pues, nunca se debe superar una corriente de colector de 50 A. Tampoco se debe superar una corriente de base de 20 A (para tener la seguridad de que $I_C < 50$ A). Asimismo nunca se deben sobrepasar las tensiones colector-base y colector-emisor de 180 ó 150 V, respectivamente. Estas son las llamadas tensiones de ruptura. Cuando se supera esta tensión, la unión entra en disrupción (como en el diodo Zener) y la multiplicación de la corriente de avalancha produce una característica *vi* como la representada en la Figura 1.10-1.

Se ve que el factor de amplificación de corriente β toma sólo valores de 30 a 120. Esto es debido a problemas de fabricación. En un transistor de alta potencia la región de base es más ancha para aumentar la tensión de ruptura y en consecuencia β es menor. Sin embargo, el estado del arte de las técnicas de fabricación permite obtener mayores tensiones de ruptura con una región de base más estrecha dando como resultado el mantenimiento de valores de β altos.

PROBLEMAS

4.1-1. El transistor de silicio que se desea utilizar en el circuito de la Figura P4.1-1 tiene una β que varía de 50 a 200. Si $V_{BB} = 3$ V y $R_e = 200\ \Omega$, hallar la variación del punto Q para $R_b = 1$ kΩ y $R_b = 10$ kΩ.

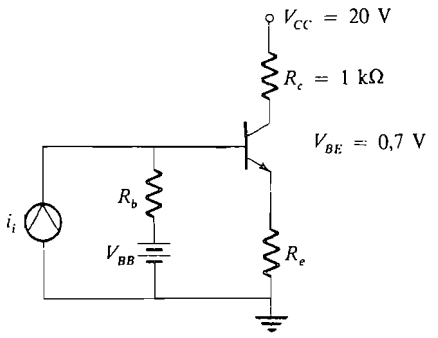


Figura P4.1-1.

4.1-2. Se desea utilizar el transistor del Problema 4.1-1 en el circuito de la Figura P4.1-2. Hallar la variación de la corriente en reposo cuando β varía de 50 a 200.

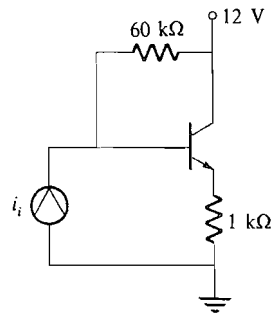


Figura P4.1-2.

4.1-3. El amplificador representado en la Figura P4.1-3 debe ser calculado para que tenga la máxima excursión simétrica. Si β varía de 50 a 150 en este tipo de transistor, hallar V_{BB}, R_e y la máxima excursión de i_C.

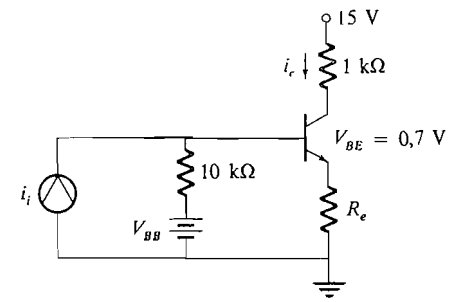


Figura P4.1-3.

4.2-1. En el circuito de la Figura P4.1-1, V_{BB} = 3 V, I_{CBO} = 0,1 μA, R_b = 1 kΩ y R_e = 200 Ω. Hallar la variación de la corriente en reposo cuando la temperatura varía de 25 a 175 °C. Suponer β = 100.

4.2-2. En el circuito de la Figura P4.1-2, I_{CBO} = 10 μA y β = 100. Hallar la variación de la corriente en reposo cuando la temperatura varía de 25 a 175 °C y de 25 a −55 °C.

4.2-3. Calcular v_C cuando la temperatura varía de 25 a 100 °C en la Figura P4.2-3. Suponer que T_1 y T_2 son transistores de silicio idénticos, con I_{CBO} = 1 μA y β = 20.

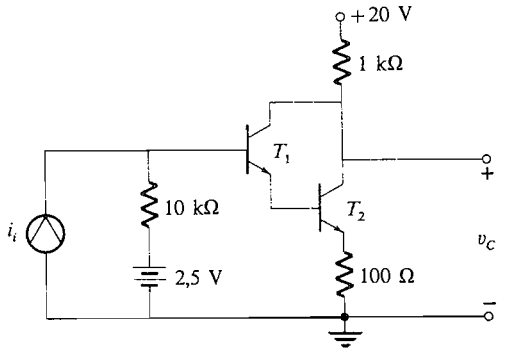


Figura P4.2-3.

4.2-4. El amplificador representado en la Figura P4.2-4 debe ser calculado para que tenga la máxima excursión simétrica. El margen de temperatura es de -55 a $+125$ °C. $I_{CBO} = 0{,}1\ \mu A$, $\beta \to \infty$, ΔI_{CQ} debe ser menor que 1 mA. Hallar (*a*) V_{BB} y R_e y (*b*) la máxima excursión.

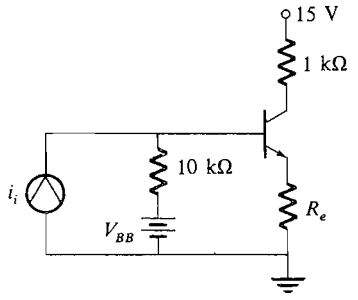


Figura P4.2-4.

4.3-1. Utilizando el factor de estabilidad S_β en el circuito de la Figura P4.1-1. Hallar para R_e y R_b valores tales que la tensión entre los terminales de R_c no varíe más de $\pm 0{,}5$ V cuando β varía de 50 a 200. La corriente en reposo debe ser aproximadamente de 10 mA.

4.3-2. En el circuito de la Figura P4.3-2.

$$50 < \beta < 200 \quad 25\ °C < T < 75\ °C$$
$$V_{CC} = 6\ V \pm 0{,}2\ V \quad I_{CBO} = 0{,}01\ \mu A \text{ a } 25\ °C$$

Hallar la corriente en reposo, todos los factores de estabilidad pertinentes y la variación de la corriente en reposo en el caso más desfavorable.

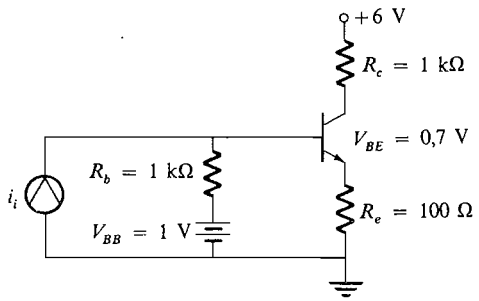


Figura P4.3-2.

4.3.3. (*a*) El circuito de la Figura P4.3-3 ilustra el uso de la realimentación de colector para polarizar un transistor. Demostrar que

$$I_{CQ} = \frac{\beta[V_{CC} - V_{BEQ} + (R_c + R_b)I_{CBO}]}{(\beta + 1)R_c + R_b}$$

(*b*) Hallar S_I, S_V y S_β.

4.3-4. En la Figura P4.3-3, $V_{CC} = 20$ V y $R_c = 1$ kΩ. Hallar R_b para que $I_{CQ} \approx 10$ mA. Calcular S_I, S_V y S_β. Determinar la excursión del punto Q para $50 < \beta < 200$ y $25\ ^\circ\text{C} < T < 100\ ^\circ\text{C}$, con I_{CBO} (25 °C) = 1 μA.

4.3-5. (*a*) Se añade una resistencia de emisor R_e al circuito de la Figura P4.3-3. Demostrar que

$$I_{CQ} = \frac{\beta(R_e + R_b + R_c)I_{CBO} + \beta(V_{CC} - V_{BEQ})}{R_b + (\beta + 1)(R_e + R_c)}$$

(*b*) Hallar S_I, S_V y S_β.

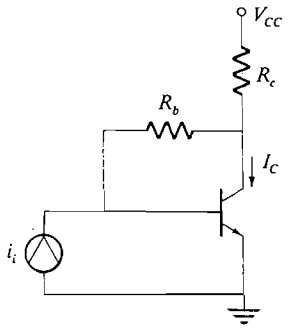


Figura P4.3-5.

4.3-6. Utilizando los resultados del Problema 4.3-5, hallar el desplazamiento del punto Q cuando $50 < \beta < 200$, $25\ ^\circ\text{C} < T < 100\ ^\circ\text{C}$, e $I_{CBO} = 1$ μA a temperatura ambiente. Hallar R_b tal que $I_{CQ} = 10$ mA cuando $V_{CC} = 20$ V, $R_C = 800\ \Omega$ y $R_e = 200\ \Omega$.

4.3-7. El amplificador representado en la Figura P4.3-7 debe funcionar en un margen de temperatura de -25 a 75 °C. El margen de β para el transistor utilizado es de 100 a 300. El transistor tiene $I_{CBO} = 0{,}1$ μA y $V_{BE} = 0{,}7$ V a temperatura ambiente. Si $R_1 \parallel R_2 \geq 1$ kΩ, hallar la máxima excursión simétrica posible. Especificar R_1, R_2 y R_e.

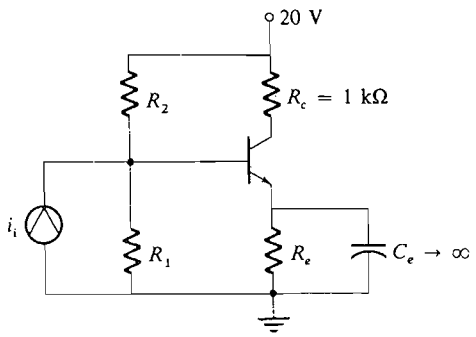


Figura P4.3-7.

4.4-1. Los amplificadores representados en la Figura P4.4-1 deben funcionar en el margen de temperatura de 25 a 90 °C.

(*a*) Calcular la variación de la corriente en reposo para los amplificadores no compensados y compensados y comparar los resultados.

(*b*) Calcular V_{BB} para el amplificador de la Figura P4.4-1*b*.

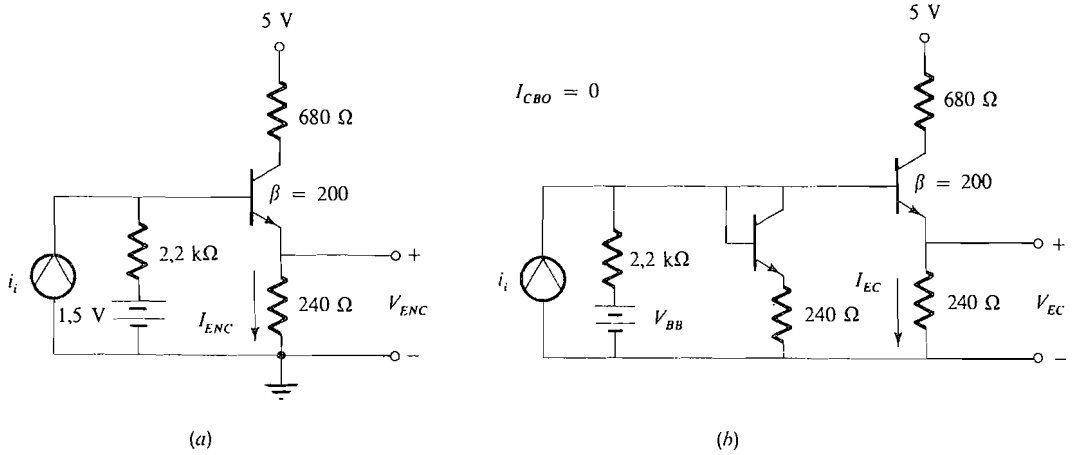


Figura P4.4-1.

4.4-2. Determinar R_2, R_1 y R_d en la Figura P4.4-2 para la máxima excursión simétrica. Suponer $I_D = I_E$ y $\beta = 250$. *Sugerencia:* Utilizar equivalente Thévenin, obteniendo V_{BB} y R_b como en la Figura 4.4-5*a*.

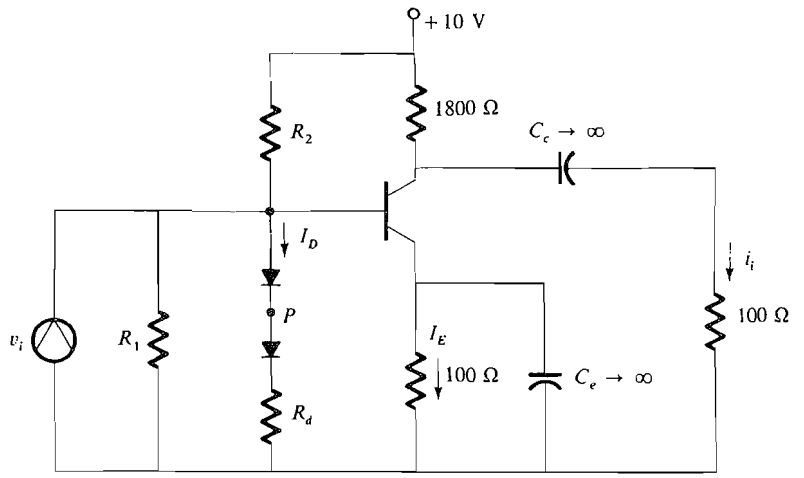


Figura P4.4-2.

4.4-3. Una conexión de circuito integrado comúnmente utilizada para que se comporte aproximadamente como varios diodos en serie es la representada en la Figura P4.4-3*a*. Utilizar el modelo de transistor de la Figura P4.4-3*b* y demostrar que el resultado es el circuito de la Figura P4.4-3*c*. *Sugerencia:* Escribir $v_D = i_{R2}R_2 + i_{R1}R_1$ y hallar i_{R2} e i_{R1} en términos de i_D.

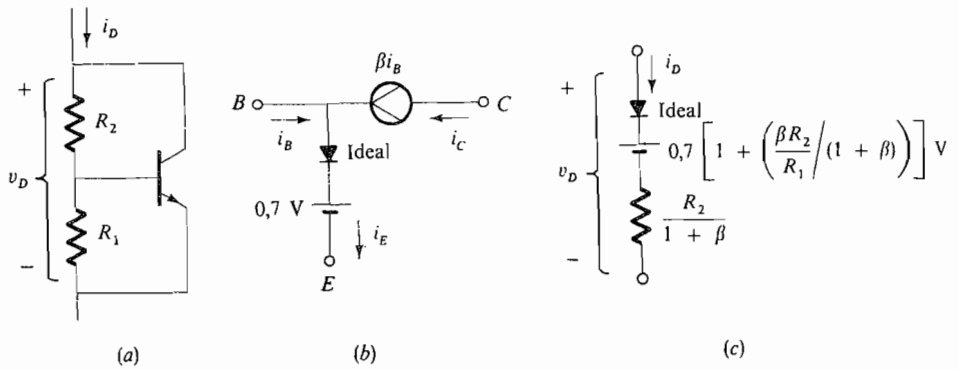


Figura P4.4-3.

4.4-4. El circuito de la Figura 4.4-3 con $R_d = R_c = 0$ se utiliza a menudo en la polarización de circuitos integrados y se le denomina *espejo de corriente*. Está dibujado de nuevo en la Figura P4.4-4. Suponiendo que los transistores están adaptados, demostrar que

$$I_{EQ} = \frac{(V_{BB} - 0{,}7)/R_b}{1 + 1/(1 + \beta_2)}$$

Hallar S_I.

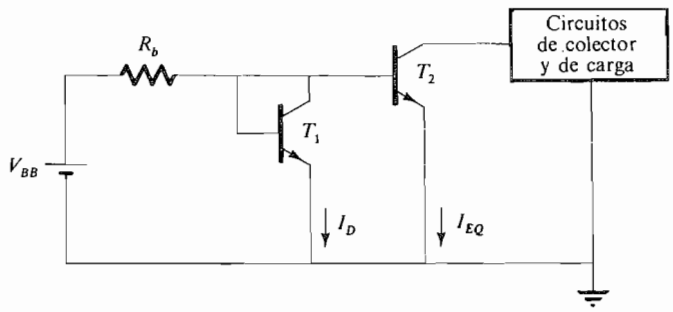


Figura P4.4-4.

4.4-5. Insertando una resistencia R_e, en el circuito de emisor de T_2 en la Figura P4.4-4, se pueden obtener pequeños valores de I_{EQ}.

(*a*) Suponiendo transistores adaptados $i_D \gg I_{EQ}$, demostrar que

$$R_e = \frac{25 \times 10^{-3}}{I_{EQ}} \ln \frac{I_D}{I_{EQ}} \qquad I_D = \frac{V_{BB} - 0{,}7}{R_b}$$

Sugerencia: Utilizar (1.2-4*d*).

(*b*) Dados $V_{BB} = 6$ V y $R_b = 2$ kΩ, calcular R_e para que $I_{EQ} = 10$ μA.

4.4-6. (*a*) Con referencia a la Figura 4.4-5*b*, demostrar que cuando $R_b = R_d$

$$I_E = \frac{V_{BB}/2 - 25 \times 10^{-3} \ln (I_E/I_D)}{R_e + R_b/2(\beta + 1)}$$

(*b*) Lo mismo que en el Ejemplo 4.4-2, sean $I_E = 1$ mA y $R_e = 2$ kΩ. Se supone $\beta = 100$ y sea $I_D = 0{,}01$ mA para ahorrar potencia. Utilizar una regla empírica análoga a (2.3-5*b*) y calcular V_{BB} y R_b.

4.4-7. En la Figura 4.4-3 utilizar n diodos en lugar de un único diodo. Demostrar que $\Delta I_{EQ}/\Delta T = 0$ cuando $R_b = R_{di}/(n - 1)$.

4.5-1. En el circuito de la Figura 4.5-1 se utiliza un JFET caracterizado por las curvas de la Figura 3.1-5. Sean $V_{DD} = 16$ V, $V_{GG} = 0$ V, $V_{GS} = -2$ V e $I_{DS} = 2$ mA.
(*a*) Hallar V_{DS}.
(*b*) Calcular R_d y R_s.

4.5-2. En el circuito de la Figura 4.5-1 se utiliza un MOSFET caracterizado por las curvas de la Figura 3.2-5. Sean $V_{DD} = 12$ V, $V_{GS} = 4$ V e $I_{DS} = 0{,}5$ mA.
(*a*) Hallar V_{DS}.
(*b*) Calcular R_d y V_{GG}.

4.5-3. En el circuito de la Figura 4.5-3 se utiliza el MOSFET caracterizado o descrito por la Figura 3.2-5. Sean $V_{DD} = 12$ V, $R_g = 1$ MΩ, $V_{GS} = 4$ V e $I_{DS} = 0{,}5$ mA. Hallar V_{DS} y R_L.

4.5-4. El JFET 2N4223 (caracterizado en el Apéndice C) utilizado en el circuito de la Figura P4.5-4 está polarizado con $V_{GS} = -2$ V y $V_{DS} = 10$ V. Si $V_{DD} = 16$ V, hallar (*a*) R_{s1}, R_{s2} y (*b*) v_o.

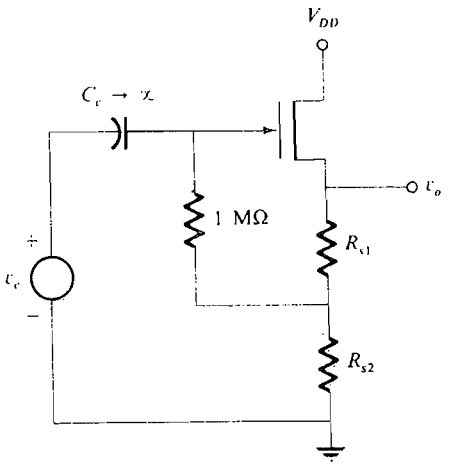


Figura P4.5-4.

4.5-5. En el circuito de la Figura 4.5-5 se utiliza el MOSFET descrito en la Figura 4.5-4. Sean $V_{DD} = 15$ V y $R_D = 1{,}5$ kΩ.
(*a*) Sean $R_1 \parallel R_2 = 1$ MΩ. Hallar R_1 y R_2 para que $V_{GSQ} = 5{,}8$ V.
(*b*) Por el resultado de la parte (*a*) calcular la variación de I_{DSQ} y compararla con la variación utilizando realimentación como en el Ejemplo 4.5-2.

4.5-6. Repetir el Ejemplo 4.5-1 si $I_{DSQ,\,nom} = 3$ mA y se permite una variación del 10 por 100. Suponer un valor nominal de $V_{DSQ} = 8$ V y $V_{DD} = 20$ V.

4.5-7. En la Figura 4.5-3, $R_g = 1$ MΩ, $R_L = 3{,}3$ kΩ y $V_{DD} = 10$ V. El MOSFET está caracterizado por (4.5-3*a*) y (4.5-3*b*) y está representado en la Figura 4.5-4. Hallar las máximas variaciones posibles de I_{DSQ} y V_{DSQ}.

4.6-1. Un transistor de potencia, de silicio, tiene las siguientes especificaciones térmicas.

$$P_{C,\,máx} = 200 \text{ W} \qquad T_{j,\,máx} = 175 \text{ C} \qquad \theta_{jc} = 0.7 \text{ C/W}$$

(*a*) Hallar la potencia que puede disipar este transistor para que la cápsula se mantenga a temperatura ambiente (25 °C).

(*b*) El transistor está montado directamente sobre un radiador de calor, de aluminio, que tiene θ_{sa} = 8 °C/W. El montaje directo da θ_{cs} = 0,2 °C/W. Hallar la máxima disipación permisible.

4.6-2. (*a*) El radiador de calor de la parte (*b*) del Problema 4.6-1 se debe utilizar con el transistor en cuestión, pero éste está aislado eléctricamente del radiador por una arandela de mica, por lo que θ_{cs} aumenta hasta 2 °C/W. Hallar la máxima disipación permisible.

(*b*) Hallar las temperaturas de la cápsula y del radiador de calor.

4.6-3. (*a*) Se utiliza el transistor del Problema 4.6-1 con un radiador de calor constituido por una aleta grande, que tiene $\theta_{sa} \approx 0{,}9$ °C/W. Hallar la máxima disipación permisible cuando el transistor está montado directamente y cuando está aislado eléctricamente por una arandela de mica, como en el Problema 4.6-2.

(*b*) Hallar la temperatura de la cápsula y del radiador de calor.

4.6-4. Repetir el Ejemplo 4.6-3 para un FET de potencia cuya máxima temperatura de la unión es 160 °C y tiene una resistencia térmica de 5 °C/W. Cuando el FET está conduciendo, la corriente drenaje-fuente es 0,8 A y la resistencia en conducción a temperatura ambiente de 25 °C es R_{FET} (25 °C) = 12 Ω. La temperatura de la unión debe ser 125 °C o menor.

CAPITULO

5

Amplificadores lineales de potencia en audiofrecuencia

INTRODUCCION

En este capítulo se analizarán varios problemas importantes de los amplificadores que deben suministrar potencias elevadas. La finalidad de la mayor parte de aplicaciones es suministrar la potencia necesaria tan económicamente como sea posible cumpliendo a la vez otras condiciones, que pueden incluir limitaciones de tamaño, peso, tensión de alimentación de corriente continua, distorsión, etc. El diseñador muchas veces tiene que considerar varias condiciones para conseguir el óptimo. A menudo, los transistores trabajan en los límites de su gama de funcionamiento útil y es necesario un proyecto bien estudiado para asegurar su integridad ante un exceso de temperatura.

Los amplificadores de potencia se clasifican de acuerdo con la parte del ciclo de la onda senoidal de entrada durante la cual circula corriente de carga (Fig. 5.1). Para obtener una amplificación con baja distorsión de las señales de audiofrecuencia, parece que sólo puede aplicarse la amplificación de clase A, pero si se utiliza *simetría complementaria* o una disposición push-pull como las descritas en las Secciones 5.3 y 5.4, también los amplificadores de clase AB y de clase B pueden proporcionar una amplificación lineal. Los amplificadores de potencia de clase C se utilizan extensamente en radiofrecuencias en que los circuitos sintonizados suprimen la distorsión que resulta del funcionamiento no lineal del circuito.

En este capítulo se estudian la situación del punto Q y las relaciones de potencia en los circuitos BJT de audiofrecuencia de clase A y de clase B más comúnmente utilizados.

5.1. EL AMPLIFICADOR DE POTENCIA EN EMISOR COMUN DE CLASE A

En el Capítulo 2 se observó que la resistencia de colector R_c disipaba una gran cantidad de potencia debido a la corriente de reposo de colector I_{CQ}. Esto daba una eficacia de funcionamiento máxima del 25 por 100. Así, si debe disiparse 1 W de potencia en la carga bajo condiciones máximas de señal de entrada, la fuente de alimentación deberá suministrar

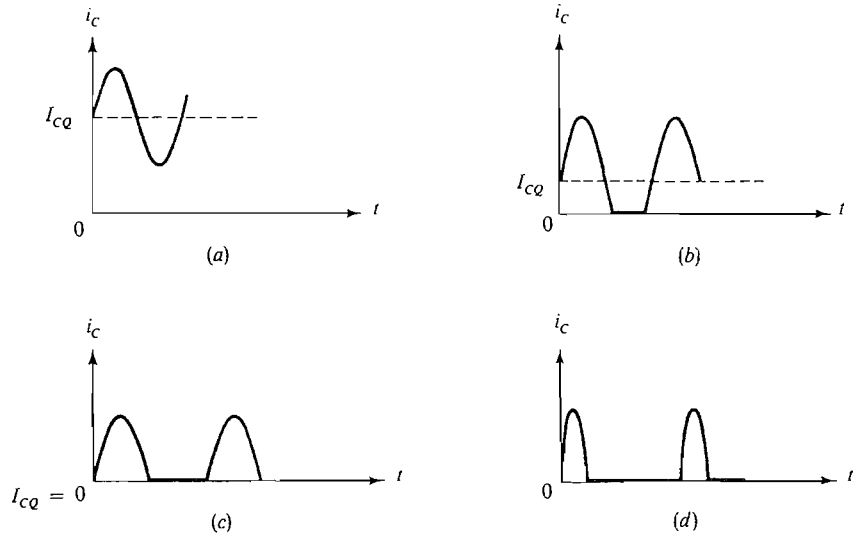


Figura 5.1. (*a*) Clase A: la corriente circula durante los 360° (operación de ciclo completo); (*b*) clase AB: la corriente circula durante más de un semiciclo pero menos que un ciclo completo; (*c*) clase B: la corriente circula durante un semiciclo; (*d*) clase C: la corriente circula durante menos de un semiciclo.

constantemente 4 W. En esta sección se demostrará que reemplazando R_c por una bobina de valor elevado (llamado a menudo *choque*) se elimina parte de esta disipación y se incrementa la eficacia máxima hasta el 50 por 100.

5.1-1. Situación del punto de reposo

La Figura 5.1-1*a* representa un circuito amplificador de clase A con acoplamiento por bobina. El circuito se ha diseñado de modo que todos los condensadores son prácticamente cortocircuitos y la bobina es prácticamente un circuito abierto para las frecuencias de señal. Para la corriente continua los condensadores son circuitos abiertos, mientras que la bobina es un cortocircuito. Para mayor sencillez se supone que la bobina no tiene resistencia interna.

Para determinar el punto de reposo, se aplica la ley de Kirchhoff de tensiones al circuito de colector incluyendo sólo las caídas de tensión para la corriente continua. La ecuación de la recta de carga de corriente continua de este amplificador es por tanto

$$V_{CC} = v_{CE} + i_C R_e \tag{5.1-1}$$

La resistencia de emisor se mantiene lo más pequeña posible para minimizar la pérdida de potencia en el circuito de polarización manteniendo al mismo tiempo una estabilidad adecuada del punto de reposo. Así, la pendiente de la recta de carga de corriente continua es casi vertical, como se indica en la Figura 5.1-2.

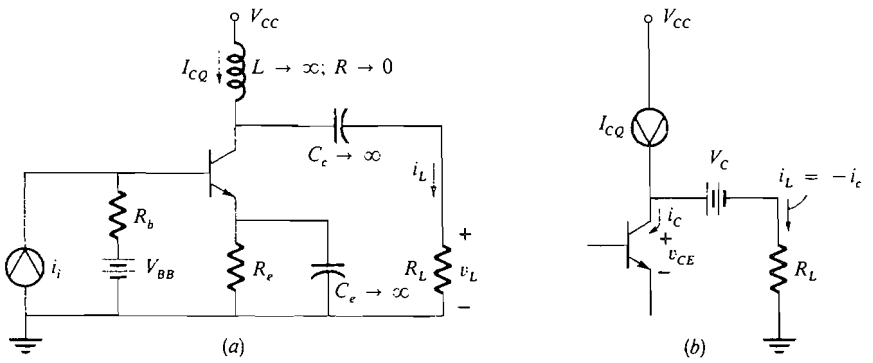


Figura 5.1-1. Amplificador de potencia acoplado por inductor: (*a*) circuito; (*b*) circuito equivalente.

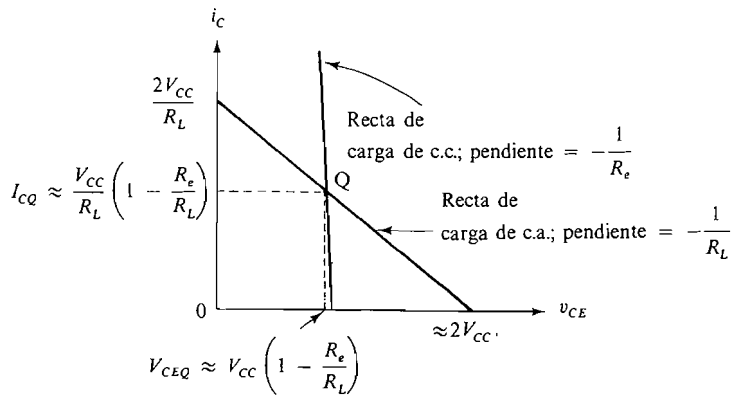


Figura 5.1-2. Rectas de carga del amplificador de potencia.

Aplicando la ley de Kirchhoff de tensiones al circuito de colector (Fig. 5.1-1*a*), teniendo en cuenta sólo las caídas de tensión para corriente alterna, se obtiene la siguiente ecuación de la recta de carga de corriente alterna.

$$v_{ce} = -i_c R_L = i_L R_L \tag{5.1-2a}$$

que puede escribirse

$$i_C - I_{CQ} = -\frac{1}{R_L}(v_{CE} - V_{CEQ}) \tag{5.1-2b}$$

Para situar el punto Q de modo que se obtenga una excursión simétrica máxima, fijamos $i_{c,\,máx} = 2I_{CQ}$ para $v_{CE} \approx 0$ V.

Entonces (5.1-2*b*) se transforma en:

$$I_{CQ} = \frac{V_{CEQ}}{R_L} \tag{5.1-2c}$$

Sustituyendo (5.1-2*c*) en (5.1-1) en el punto Q queda

$$I_{CQ} = \frac{V_{CC}}{R_L + R_e} = \frac{V_{CC}/R_L}{1 + R_e/R_L} \tag{5.1-3a}$$

La tensión colector-emisor en el punto Q se halla poniendo $v_{CE} = V_{CEQ}$ e $i_C = I_{CQ}$ en (5.1-1) y utilizando el valor de I_{CQ} dado en (5.1-3*a*). El resultado es

$$V_{CEQ} = V_{CC}\frac{R_L}{R_L + R_e} = \frac{V_{CC}}{1 + R_e/R_L} \tag{5.1-3b}$$

Habitualmente $R_L \gg R_e$, por lo que (5.1-3*a*) y (5.1-3*b*) se reducen a

$$I_{CQ} \approx \frac{V_{CC}}{R_L}\left(1 - \frac{R_e}{R_L}\right) \approx \frac{V_{CC}}{R_L} \tag{5.1-3c}$$

y

$$V_{CEQ} \approx V_{CC}\left(1 - \frac{R_e}{R_L}\right) \approx V_{CC} \tag{5.1-3d}$$

La recta de carga de c.a. que pasa por el punto de reposo tiene una pendiente de $-1/R_L$, tal como se ve en la Figura 5.1-2. Obsérvese que la excursión máxima de la corriente de colector está comprendida entre 0 y $2I_{CQ}$ al variar v_{CE} de $2V_{CC}$ a 0. Obsérvese, también, que v_{CE} está limitada por la tensión de saturación del transistor a un mínimo de $V_{CE,\,sat}$. Para simplificar los cálculos se supone que la tensión de saturación es cero. Sin embargo, el efecto de la tensión de saturación se considerará en los ejemplos.

Es interesante considerar que la tensión colector-emisor puede llegar a ser el doble de la tensión de alimentación. Como la inductancia es muy grande, no circulará corriente alterna por ella y, a efectos de análisis, puede reemplazarse por una fuente de corriente constante de intensidad I_{CQ}. Como la reactancia capacitiva es muy pequeña, en bornes del condensador no aparecerá ninguna tensión alterna y puede reemplazarse por una fuente de tensión V_{CC}, la tensión que existe en sus bornes en ausencia de señal. Con estas dos sustituciones, el circuito colector-carga toma la forma equivalente indicada en la Figura 5.1-1*b*. Supongamos que se aplica una señal senoidal y consideremos un instante en el cual $i_C = 0$. En este instante, $i_L = I_{CQ}$, de modo que $v_{CE} = V_{CC} + i_L R_L$. De la ecuación (5.1-3) se obtiene $I_{CQ}R_L = i_L R_L = V_{CC}$, por lo que $v_{CE} = 2V_{CC}$. Esto constituye el límite superior de v_{CE}. Cuando la polaridad de la señal se invierte, $i_C = 2I_{CQ}$. Entonces i_L debe ser igual a $-I_{CQ}$ de modo que $v_{CE} = 0$, lo cual establece el límite inferior.

5.1-2. Cálculos de potencia

Con el amplificador polarizado como en (5.1-3), las corrientes y tensiones que nos interesan son (la tensión en bornes de la resistencia de emisor se desprecia para mayor simplicidad)

$$i_C = I_{CQ} + i_c = \frac{V_{CC}}{R_L} + i_c \tag{5.1-4a}$$

$$i_L = -i_c \tag{5.1-4b}$$

$$i_{\text{alimentación}} = i_L + i_C = i_{CQ} = \frac{V_{CC}}{R_L} \tag{5.1-4c}$$

De la Figura 5.1-1*b* tenemos

$$v_{CE} = V_{CC} - i_c R_L \tag{5.1-5a}$$

y

$$v_L = +i_L R_L = -i_c R_L \tag{5.1-5b}$$

Si la corriente de la señal es senoidal

$$i_i = I_{im} \operatorname{sen} \omega t \tag{5.1-6a}$$

luego

$$i_c = I_{cm} \operatorname{sen} \omega t \tag{5.1-6b}$$

Debe tenerse en cuenta que el valor máximo de cresta de la corriente alterna de colector es I_{CQ}, de modo que

$$i_{c,\,\text{máx}} = I_{CQ} \operatorname{sen} \omega t \tag{5.1-7a}$$

Luego

$$I_{cm} \leqslant I_{CQ} \tag{5.1-7b}$$

La potencia suministrada, la potencia disipada en el colector y en la carga y el rendimiento se hallan de la misma manera que en la Sección 2.4. Los resultados vienen dados por las expresiones (5.1-8) a (5.1-11) y se han trazado en la Figura 5.1-3.

Potencia suministrada

$$P_{CC} = V_{CC} I_{CQ} \approx \frac{V_{CC}^2}{R_L} \tag{5.1-8}$$

que es constante e independiente de la corriente de señal mientras la distorsión sea despreciable.

Potencia transferida a la carga

$$P_L = \frac{I_{Lm}^2 R_L}{2} = \frac{I_{cm}^2 R_L}{2} \tag{5.1-9a}$$

ya que $i_L = -i_c$, $I_{Lm} = -I_{cm}$.

La máxima potencia media disipada por la carga tiene lugar cuando

$$I_{cm} = I_{CQ}$$

Luego

$$P_{L,\,\text{máx}} = \frac{I_{CQ}^2 R_L}{2} = \frac{V_{CC}^2}{2R_L} \tag{5.1-9b}$$

Disipación en el colector

$$P_C = P_{CC} - P_L = \frac{V_{CC}^2}{R_L} - \frac{I_{cm}^2 R_L}{2} \tag{5.1-10a}$$

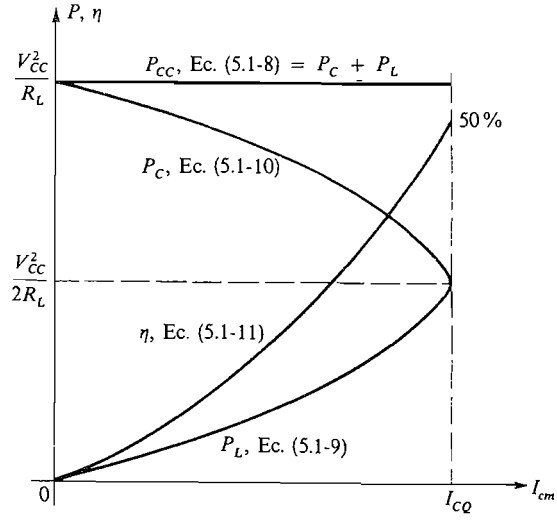


Figura 5.1-3. Variación de la potencia y el rendimiento en función de la corriente de colector.

Entonces, la potencia mínima disipada tiene lugar cuando se produce la máxima disipación de potencia en la carga:

$$P_{C,\,\text{mín}} = \frac{V_{CC}^2}{2R_L} \tag{5.1-10b}$$

La potencia máxima disipada por el colector tiene lugar en ausencia de señal.

$$P_{C,\,\text{máx}} = \frac{V_{CC}^2}{R_L} = V_{CEQ}I_{CQ} \tag{5.1-10c}$$

Rendimiento. El rendimiento del amplificador acoplado por bobina para una señal senoidal es

$$\eta = \frac{P_L}{P_{CC}} = \frac{I_{cm}^2(R_L/2)}{V_{CC}I_{CQ}} = \frac{1}{2}\left(\frac{I_{cm}}{I_{CQ}}\right)^2 \tag{5.1-11a}$$

Luego el rendimiento máximo tiene lugar para la máxima señal. Así

$$\eta_{\text{máx}} = \tfrac{1}{2} = 50\,\% \tag{5.1-11b}$$

El rendimiento se ha logrado utilizando una bobina en vez de la resistencia R_c en el circuito c.c. de colector.

Las variaciones de potencia de alimentación, potencia en la carga, potencia disipada en el colector y rendimiento se han dibujado en la Figura 5.1-3 en función de la corriente de colector para señales senoidales. Obsérvese que al aumentar la potencia suministrada a la carga, la disipación de potencia en el colector disminuye ($P_{CC} = P_C + P_L$) permaneciendo constante su suma. Obsérvese también que P_C es máxima en ausencia de señal.

Factor de calidad. La relación entre las potencias máximas disipadas en el colector y en la carga es una cifra útil en los amplificadores de potencia. Utilizando (5.1-10*c*) y (5.1-9*b*) o la Figura 5.1-3, tenemos

$$\frac{P_{C,\,máx}}{P_{L,\,máx}} = 2 \tag{5.1-12}$$

Es el mismo resultado que el obtenido en la Sección 2.4. Así, si $P_{L,\,máx} = 25$ W, la unión de colector debe ser capaz de disipar, por lo menos, 50 W. En el Capítulo 4 se demostró que para trabajar con temperaturas ambiente elevadas, los transistores han de suministrar potencias menores de lo normal. Luego, para disipar 25 W se requeriría un transistor con una disipación de colector admitida de unos 100 W, si la temperatura ambiente fuese alta.

5.1-3. Hipérbola de disipación máxima

Cuando se conoce la potencia máxima a suministrar a la carga y la gama de temperaturas, puede determinarse la potencia nominal del transistor y seleccionar éste. La disipación máxima admitida en el colector, como antes se ha establecido, generalmente es menor que la potencia máxima disipable por el transistor.

Además de tener la potencia máxima especificada, el transistor debe ser capaz de trabajar con corrientes de hasta $2I_{CQ}$ (Fig. 5.1-2) y con tensiones colector-emisor de hasta $2\,V_{CC}$. También ha de tener una frecuencia de funcionamiento tan elevada como la frecuencia de la señal. Generalmente estos valores nominales vienen dados por el fabricante (Sec. 4.7).

Las características del transistor incluyen, en general, los siguientes datos:

$$i_{C,\,máx}$$
$$BV_{CEO}$$
y
$$P_{C,\,máx} = V_{CEQ}I_{CQ} \tag{5.1-10c}$$

Estos valores máximos limitan la región de funcionamiento del transistor como se ve en la Figura 5.1-4. La figura indica que para un funcionamiento seguro, el punto de reposo debe estar situado sobre la hipérbola o debajo de ella

$$v_{CE}i_C = P_{C,\,máx}$$

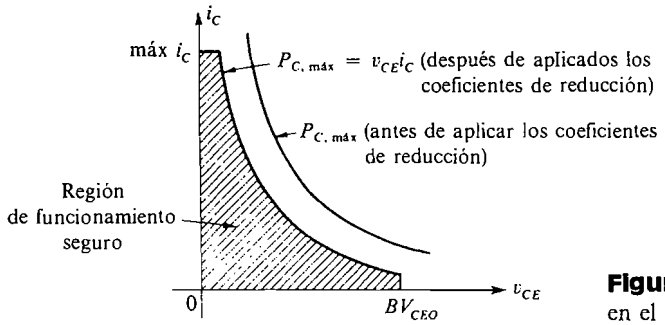


Figura 5.1-4. Hipérbola de máxima disipación en el colector.

Esta hipérbola representa el lugar geométrico de todos los puntos de funcionamiento en los cuales la disipación en el colector es igual a $P_{C,\,máx}$.

La recta de carga de corriente alterna, con una pendiente $-1/R_L$, debe pasar por el punto Q, cortar al eje v_{CE} para una tensión menor que BV_{CEO}, y cortar al eje i_C para una corriente menor que i_C, o sea,

$$2V_{CC} \leqslant BV_{CEO} \tag{5.1-13a}$$

$$2I_{CQ} \leqslant i_{C,\,máx} \tag{5.1-13b}$$

Para obtener una excursión simétrica máxima deberemos tener

$$I_{CQ} = \frac{1}{R_L} V_{CEQ} \tag{2.5-4}$$

Combinando (2.5-4) y (5.1-10c) el punto Q estará situado en

$$I_{CQ} = \sqrt{\frac{P_{C,\,máx}}{R_L}} \tag{5.1-14a}$$

y

$$V_{CEQ} = \sqrt{P_{C,\,máx} R_L} \tag{5.1-14b}$$

Es importante observar que en el punto de reposo la pendiente de la hipérbola es

$$\frac{\partial i_C}{\partial v_{CE}} = -\frac{I_{CQ}}{V_{CEQ}} = -\frac{1}{R_L} \tag{5.1-15}$$

Luego la pendiente de la recta de carga de corriente alterna es la misma que la de la hipérbola y cuando la recta de carga de corriente alterna es tangente a la hipérbola en el punto Q, se tiene la excursión simétrica máxima.

EJEMPLO 5.1-1

En el circuito de la Figura 5.1-1 se ha utilizado un transistor de las siguientes características:

$P_{C,\,máx} = 4$ W (una vez aplicados los factores de reducción o degradación)

$BV_{CEO} = 40$ V $\qquad i_{C,\,máx} = 2$ A

La resistencia de carga R_L es de 10 Ω. Determinar el punto de reposo de modo que la carga disipe la potencia máxima. Determinar también la tensión de alimentación V_{CC}.

Solución

La Figura 5.1-5 indica la gama de funcionamiento admisible. El punto de reposo se obtiene trazando la ecuación

$$i_C = \frac{1}{R_L} v_{CE} = \frac{v_{CE}}{10} \tag{2.5-4}$$

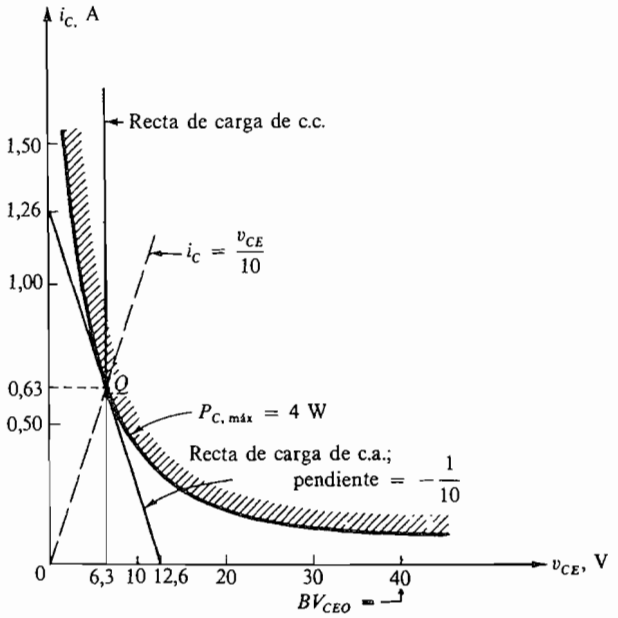


Figura 5.1-5. Rectas de carga de hipérbola de máxima disipación para el Ejemplo 5.1-1.

sobre la característica *vi* y hallando la intersección de esta ecuación con la hipérbola $P_{C,\text{máx}}$. La intersección es el punto de reposo deseado y la recta de carga de corriente alterna es tangente a la hipérbola en este punto.

El punto de reposo Q se obtiene gráficamente como en la Figura 5.1-5, o analíticamente, utilizando (5.1-14*a*) y (5.1-14*b*):

$$I_{CQ} = \sqrt{\tfrac{4}{10}} \approx 0{,}63 \text{ A} \qquad \text{y} \qquad V_{CEQ} = \sqrt{(4)(10)} \approx 6{,}3 \text{ V}$$

Estos resultados verifican los obtenidos gráficamente.

La tensión de la fuente de alimentación V_{CC} es igual a V_{CEQ} (se desprecia la caída de tensión en R_e). Luego

$$V_{CC} = 6{,}3 \text{ V}$$

y el valor máximo de v_{CE} es igual a 12,6 V y menor que la tensión de ruptura. La corriente máxima de colector i_C es igual a 1,26 A y menor que la corriente máxima admitida.

La potencia máxima entregada a la carga será

$$P_{L,\text{máx}} = \frac{I_{CQ}^2 R_L}{2} = \frac{(0{,}63)^2(10)}{2} = 2 \text{ W} \qquad (5.1\text{-}9b)$$

Selección de R_e, R_b *y* V_{BB}. Debe observarse que el punto de reposo se obtiene utilizando los métodos del Capítulo 2. Con respecto a la Figura 5.1-1*a*, R_b se elige de acuerdo con la regla dada en (2.3-5*b*)

$$R_b = \tfrac{1}{10}\beta R_e$$

Además, R_e se toma pequeña de modo que su disipación de potencia sea despreciable. Por ejemplo, podemos escoger $R_e = 1\ \Omega$ de modo que

$$P_{Re} = I_{CQ}^2 \times 1 = 0{,}4\ \text{W} \ll P_{C,\text{máx}} = 4\ \text{W}$$

Si $\beta = 40$,

$$R_b \approx 4\ \Omega$$

La tensión de alimentación de la base es:

$$V_{BB} \approx 0{,}7 + (0{,}63)(1) = 1{,}33\ \text{V}$$

Si el efecto de R_e se incluye en el cálculo, el punto Q se desplaza ligeramente y da lugar a un incremento de la tensión V_{CC} necesaria.

Consideremos el mismo problema con la corriente de colector máxima $i_C = 1$ A. La solución anterior da una corriente $i_{C,\text{máx}} = 1{,}26$ A, que sobrepasa la nueva corriente máxima admitida. Si el punto de reposo permanece invariable, la amplitud de pico de c.a. admitida se reduce a 0,37 A. Si la señal es senoidal la corriente máxima es

$$i_C = 0{,}37 \operatorname{sen} \omega t \qquad \text{A}$$

y la potencia máxima disipada en la carga es

$$P_{L,\text{máx}} = (\tfrac{1}{2})(0{,}37)^2(10) \approx 0{,}69\ \text{W}$$

Como la carga de 10 Ω es fija, la pendiente de la recta de carga de corriente alterna es fija. Sin embargo, si la recta de carga se desplaza cortando al eje i_c entonces $i_{C,\text{máx}} = 1$ A y el punto de reposo se sitúa en las nuevas coordenadas

$$I_{CQ} = 0{,}5\ \text{A} \qquad V_{CEQ} = V_{CC} = 5\ \text{V}$$

el valor máximo de la componente alterna de la corriente de colector es

$$i_C = 0{,}5 \operatorname{sen} \omega t \qquad \text{A}$$

y la potencia máxima disipada en la carga es

$$P_{L,\text{máx}} = (\tfrac{1}{2})(0{,}5)^2(10) = 1{,}25\ \text{W}$$

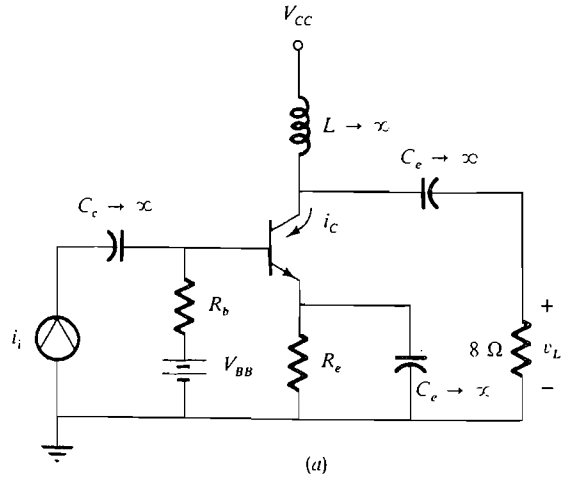
En cualquier caso, la potencia suministrada está muy por debajo de la posible de 2 W. Esto es debido a la incapacidad de compensar la reducción de la corriente máxima de colector admitida. En la sección siguiente se considera el amplificador de potencia acoplado por transformador. Utilizando este circuito, el punto de reposo puede situarse sin tener en cuenta la resistencia de carga real utilizando la propiedad de transformación de impedancias del transformador. De esta forma queda solucionado el problema anterior de no poder suministrar la potencia máxima disponible a la carga.

EJEMPLO 5.1-2

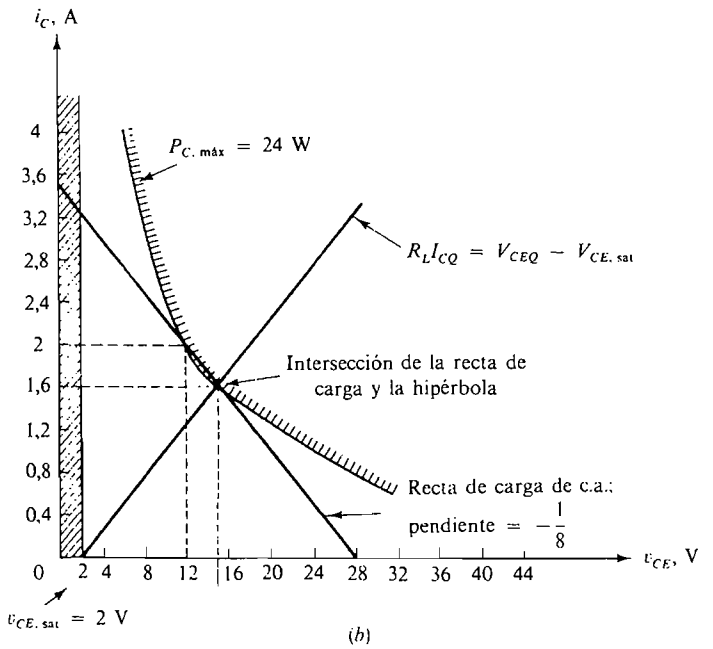
El circuito de la Figura 5.1-6*a* utiliza un transistor de silicio *npn* junto con una resistencia de carga de 8 Ω. Las especificaciones máximas de este transistor son

$$P_{C,\,máx} = 24 \text{ W (después de aplicar los coeficientes de reducción)}$$
$$BV_{CEO} = 80 \text{ V} \qquad V_{CE,\,sat} = 2 \text{ V}$$

Determinar la amplitud máxima y la potencia máxima disipada por la carga.



(*a*)



(*b*)

Figura 5.1-6. Ejemplo 5.1-2: (*a*) circuito; (*b*) condiciones de funcionamiento.

Solución

El circuito amplificador y la característica *vi* del transistor se han representado en la Figura 5.1-6. La carga disipa la potencia máxima cuando la amplitud de la corriente de colector es máxima. La ecuación de la recta de carga de corriente alterna es

$$R_L(i_C - I_{CQ}) = -(v_{CE} - V_{CEQ})$$

Cuando i_C es máxima, $i_C = 2I_{CQ}$ (Sec. 2.5) y $v_{CE} = V_{CE,\,sat}$. Luego

$$R_L I_{CQ} = V_{CEQ} - V_{CE,\,sat} \tag{5.1-16}$$

Para no sobrepasar la disipación media máxima en el colector, podemos establecer

$$I_{CQ}V_{CEQ} = P_{C,\,máx} \tag{5.1-17}$$

Combinando las expresiones (5.1-16) y (5.1-17) y resolviendo la ecuación resultante se obtienen los siguientes valores de I_{CQ} y V_{CEQ}

$$I_{CQ} = -\frac{V_{CE,\,sat}}{2R_L} + \sqrt{\frac{P_{C,\,máx}}{R_L} + \left(\frac{V_{CE,\,sat}}{2R_L}\right)^2} \tag{5.1-18a}$$

y

$$V_{CEQ} = \frac{V_{CE,\,sat}}{2} + \sqrt{P_{C,\,máx}R_L + \left(\frac{V_{CE,\,sat}}{2}\right)^2} \tag{5.1-18b}$$

El punto de reposo puede, naturalmente, obtenerse también gráficamente por intersección de las ecuaciones (5.1-16) y (5.1-17) tal como aparece en la Figura 5.1-6*b*. El punto de reposo resulta ser

$$I_{CQ} \approx 1{,}6 \text{ A} \qquad \text{y} \qquad V_{CEQ} \approx 15 \text{ V}$$

De este modo la tensión de alimentación del colector V_{CC} es 15 V, despreciando la caída en R_e.

Obsérvese que la recta de carga de corriente alterna corta a la hipérbola de potencia máxima. Esto no quiere decir que la potencia media máxima disipada en el colector exceda a $P_{C,\,máx}$. Como la disipación máxima en el colector se presenta en ausencia de señal y en estas condiciones la disipación en el colector es $P_{C,\,máx}$ [Ec. (5.1-17)], no se sobrepasará la disipación máxima en el colector.

El valor máximo de pico de la componente alterna de la corriente de colector es 1,6 A, y la potencia media máxima disipada en la carga es

$$P_{L,\,máx} = \frac{\frac{1}{2}I_{CQ}^2 R_L}{2} = (\tfrac{1}{2})(1{,}6)^2(8) = 10{,}2 \text{ W}$$

Obsérvese que el rendimiento máximo, despreciando las pérdidas en R_e, es solamente

$$\eta_{máx} = \frac{R_{L,\,máx}}{P_{CC}} = \frac{10{,}2}{(15)(1{,}6)} = 42\,\%$$

5.2. AMPLIFICADOR ACOPLADO POR TRANSFORMADOR

La Figura 5.2-1 presenta un amplificador de clase A acoplado por transformador. En el estudio se supondrá el transformador ideal. Esto implica que

$$v_c = Nv_L \tag{5.2-1}$$

y

$$Ni_c = -i_L \tag{5.2-2}$$

Multiplicando (5.2-1) y (5.2-2) da

$$v_c(-i_c) = v_L i_L \tag{5.2-3}$$

Dividiendo (5.2-1) por (5.2-2) se obtiene

$$\frac{v_c}{-i_c} = N^2 \frac{v_L}{i_L} = N^2 R_L \equiv R'_L \tag{5.2-4}$$

Por consiguiente, la impedancia para corriente alterna R'_L es N^2 veces la resistencia de carga R_L.

La ecuación de la recta de carga de corriente continua para este amplificador es la misma que la del amplificador acoplado por bobina

$$V_{CC} = v_{CE} + i_E R_e \approx v_{CE} + i_C R_e \tag{5.2-5}$$

En este caso R_e también es pequeña. La recta de carga de corriente alterna puede obtenerse directamente de (5.2-4) teniendo en cuenta que $v_{ce} = v_c$. De este modo, la pendiente de la recta de carga de corriente alterna es

$$\frac{i_c}{v_{ce}} = -\frac{1}{R'_L} \tag{5.2-6}$$

En la Figura 5.2-2 se han trazado las rectas de carga de c.c. y c.a. Si R_e se elige de modo que

$$R_e \ll R'_L$$

la corriente de reposo para una excursión simétrica máxima es

$$I_{CQ} \approx \frac{V_{CC}}{R'_L}\left(1 - \frac{R_e}{R'_L}\right) \tag{5.2-7a}$$

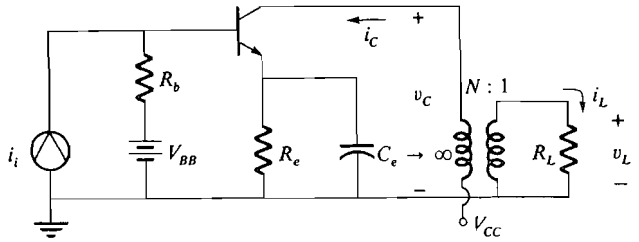


Figura 5.2-1. Amplificador de potencia acoplado por transformador.

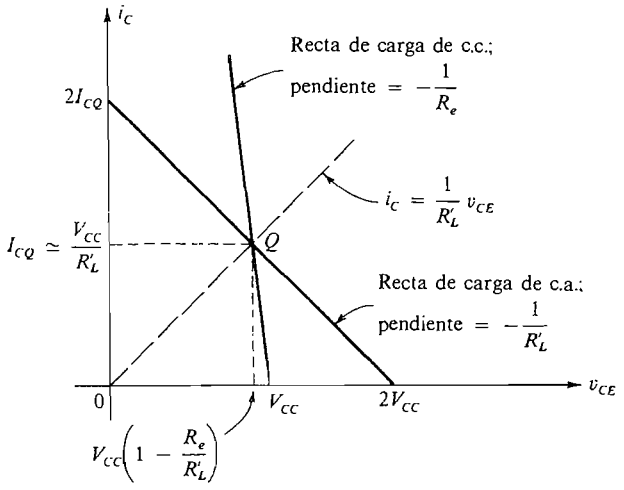


Figura 5.2-2. Rectas de carga de un amplificador acoplado por transformador.

y la tensión colector-emisor en reposo, hallada por sustitución de (5.2-7*a*) en (5.2-5), es

$$V_{CEQ} \approx V_{CC}\left(1 - \frac{R_e}{R'_L}\right) \tag{5.2-7b}$$

De esta forma, la relación de transformación de impedancias proporciona el grado de libertad necesario para situar el punto Q de modo que se obtenga una transferencia máxima de potencia a la carga.

5.2-1. Calculos de potencia

Los cálculos de potencia que siguen son idénticos a los de la Sección 5-1, cambiando R_L por R'_L. La señal i_i es senoidal, luego

$$i_c = I_{cm} \operatorname{sen} \omega t \tag{5.2-8}$$

Potencia suministrada

$$P_{CC} = V_{CC} I_{CQ} = \frac{V_{CC}^2}{R'_L} \tag{5.2-9}$$

Potencia transferida a la carga. Cuando la señal es senoidal, la corriente de carga también es senoidal (despreciando la distorsión):

$$i_L = I_{Lm} \operatorname{sen} \omega t \tag{5.2-10}$$

Por lo tanto

$$P_L = \frac{I_{Lm}^2}{2} R_L \tag{5.2-11}$$

Utilizando (5.2-2)

$$I_{Lm} = N I_{cm} \tag{5.2-12}$$

Por consiguiente

$$P_L = \frac{I_{cm}^2}{2} R'_L \tag{5.2-13a}$$

y

$$P_{L,\text{máx}} = \frac{I_{CQ}^2}{2} R'_L = \frac{V_{CC}^2}{2R'_L} \tag{5.2-13b}$$

Disipación en el colector

$$P_C = \frac{V_{CC}^2}{R'_L} - \frac{I_{cm}^2}{2} R'_L \tag{5.2-14a}$$

y la disipación máxima en el colector cuando no hay señal es

$$P_{C,\text{máx}} = \frac{V_{CC}^2}{R'_L} = V_{CEQ} I_{CQ} \tag{5.2-14b}$$

Rendimiento. El rendimiento permanece también invariable.

$$\eta = \frac{1}{2} \left(\frac{I_{cm}}{I_{CQ}} \right)^2 \tag{5.2-15a}$$

y

$$\eta_{\text{máx}} = 50\,\% \tag{5.2-15b}$$

Factor de calidad. El factor de calidad del transistor sigue siendo

$$\frac{P_{C,\text{máx}}}{P_{L,\text{máx}}} = 2 \tag{5.2-16}$$

De las ecuaciones anteriores se deduce que el transformador realiza sólo una función además de las del acoplamiento inductancia-capacidad de la Figura 5.1-1*a*: la transformación de la impedancia de carga. Este factor proporciona la flexibilidad necesaria para situar la zona de funcionamiento para corrientes alternas en la óptima posición. En el estudio anterior se ha supuesto que esta transformación tiene lugar sin pérdida de potencia. En la práctica, sin embargo, el transformador no es ideal y tienen lugar pérdidas de potencia, reduciendo la potencia de la carga y el rendimiento. Además, los transformadores de audiofrecuencia son siempre del tipo de núcleo de hierro y por lo tanto pueden ser pesados y voluminosos y provocar distorsión.

EJEMPLO 5.2-1

Utilizando el transistor del Ejemplo 5.1-1 donde $i_{C,\text{máx}} = 1$ A, con acoplamiento por transformador a una carga de 10 Ω diseñar de nuevo el amplificador para obtener una transferencia máxima de potencia a la carga. Especificar la tensión necesaria, la potencia disipada en la carga y la relación del número de espiras N del transformador.

Solución

En la Figura 5.2-3 se ha representado la característica *vi* que indica la región de funcionamiento posible. El punto de reposo que dará una transferencia máxima de potencia a la carga puede obtenerse gráfica o analíticamente utilizando (5.1-14).

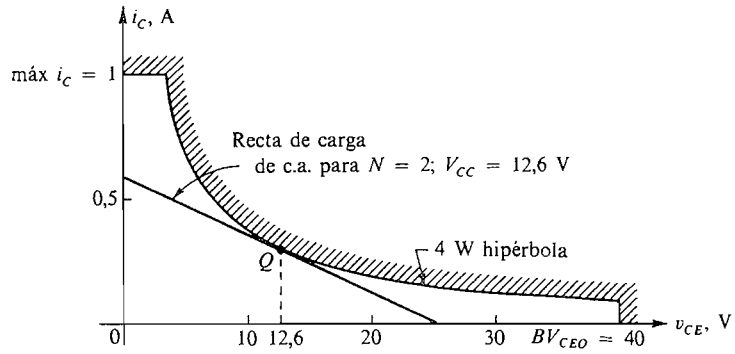


Figura 5.2-3. Región de funcionamiento y recta de carga óptima para el Ejemplo 5.2-1.

$$I_{CQ} = \sqrt{\frac{P_{C,\text{máx}}}{N^2 R_L}} = \sqrt{\frac{0{,}4}{N^2}} = \frac{0{,}63}{N} \text{ A} \tag{5.2-17a}$$

y

$$V_{CEQ} = \sqrt{P_{C,\text{máx}} N^2 R_L} = 6{,}3N \text{ V} \tag{5.2-17b}$$

Así, utilizando un transformador, el punto de reposo puede fijarse casi arbitrariamente, siempre que

$$2I_{CQ} = \frac{1{,}26}{N} < 1 = i_{C,\text{máx}} \tag{5.2-18a}$$

y

$$2V_{CEQ} = 12{,}6N < 40 = BV_{CEO} \tag{5.2-18b}$$

Estas desigualdades fijan los límites de la relación de transformación, esto es,

$$1{,}26 < N < 3{,}17$$

Cuando se tiene el problema de escoger entre una amplia gama de puntos Q, deben tenerse en cuenta otras consideraciones. Por ejemplo, es práctico utilizar la menor corriente posible ya que cuanto mayor es la corriente que debe suministrar la fuente de alimentación de corriente continua mayor es su tamaño y coste. A menudo debe utilizarse una tensión de alimentación determinada y esto determina V_{CC} (y por tanto V_{CEQ}). Una consideración muy importante es la disponibilidad de un transformador con la relación de espiras adecuadas. Una relación de espiras normal es $N = 2$; si se escoge un transformador con esta relación

$$I_{CQ} \approx 0{,}32 \text{ A} \quad \text{y} \quad V_{CEQ} = 12{,}6 \text{ V} \approx V_{CC}$$

Luego

$$P_{L,\text{máx}} = (\tfrac{1}{2})(0{,}32)^2(2)^2(10) = 2 \text{ W}$$

La recta de carga para estas condiciones se ha representado en la Figura 5.2-3.

5.3. AMPLIFICADORES DE POTENCIA SIMETRICOS DE CLASE B (PUSH-PULL)

Como se ha determinado en las anteriores secciones, el rendimiento máximo en clase A es el 50 por 100, debido a que el valor de pico de alterna no excede nunca del valor de la corriente de reposo de colector. En el amplificador de clase B, la corriente continua de colector es menor que el valor de pico de alterna. Ello da lugar a una menor disipación en el colector y un aumento del rendimiento. El amplificador push-pull de clase B de la Figura 5.3-1 tiene un rendimiento máximo del 78,5 por 100 y por lo tanto un aumento del 28,5 por 100 sobre los amplificadores de clase A estudiados en las Secciones 5.1 y 5.2.

Examinemos primero el funcionamiento de este circuito, suponiendo transistores ideales, para determinar los límites superiores del rendimiento y la potencia de salida. El funcionamiento del circuito se explica mediante las formas de onda de la Figura 5.3-2. El transformador de entrada con toma central suministra dos corrientes de base de amplitudes iguales pero desfasadas 180° (Fig. 5.3-2*b* y *c*). En el primer semiciclo i_{B1} es cero, y como T_1 está polarizado en la región de corte, i_{C1} es cero como en el gráfico (*d*) de la figura. Sin embargo, en este mismo intervalo de tiempo, i_{B2} es positivo, T_2 conduce, y la corriente de colector i_{C2} es la indicada en (*e*). Por consiguiente, un transistor está en corte mientras que el otro conduce. En el segundo semiciclo, los papeles se han invertido: T_2 está en corte y T_1 conduce. Cuando T_2 conduce, la corriente representada en la Figura 5.3-2*e* circula a través de la parte superior del arrollamiento primario y el flujo resultante variable con el tiempo en el núcleo del transformador induce una tensión en el devanado secundario. Esta tensión a su vez, produce el primer semiciclo de corriente a través de la carga (*f*). Cuando T_1 conduce, la corriente i_{C1} induce un flujo en el núcleo en dirección opuesta al flujo del semiciclo anterior, dando lugar al segundo semiciclo de corriente de carga. La corriente de carga final bajo estas condiciones ideales es, por tanto, directamente proporcional a la corriente de señal i_i. En la Figura 5.3-1 se ve que la corriente de carga i_L está relacionada con las corrientes individuales por la expresión

$$i_L = N(i_{C1} - i_{C2}) \tag{5.3-1}$$

Si en la práctica se usara el circuito de la Figura 5.3-1, la corriente de carga estaría muy distorsionada cerca de cero, como indica el oscilograma de la Figura 5.3-2*g*. Este efecto se llama *distorsión de cruce* o de paso por cero y es debido a que la tensión base-emisor, v_{BE}, es cero en ausencia de señal. Sin embargo, el funcionamiento lineal del transistor sólo empieza cuando i_B es lo bastante positiva para que v_{BE} exceda la tensión de umbral, que se supone 0,65 V para el silicio. Esta distorsión está representada en línea de puntos en la Figura 5.3-2*d* a *f*, y es perfectamente visible en el oscilograma de la Figura 5.3-2*g*.

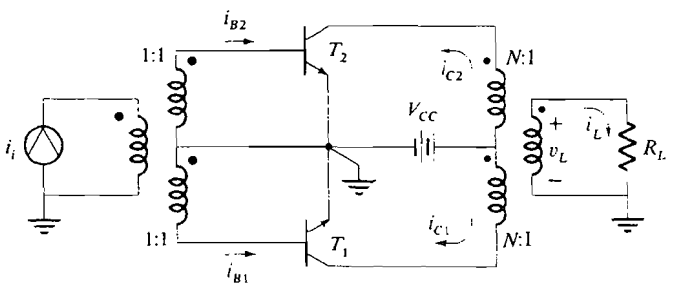
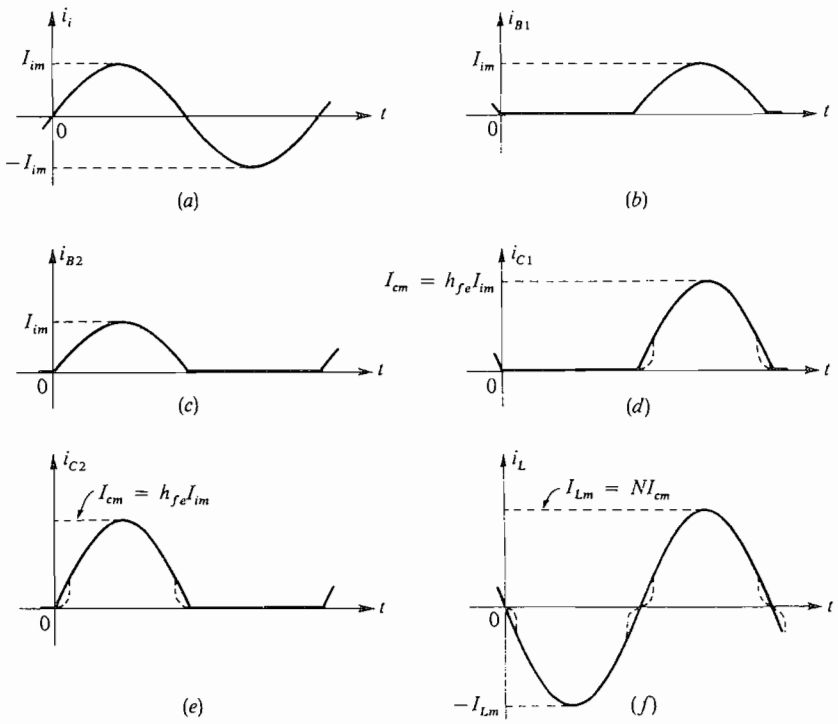
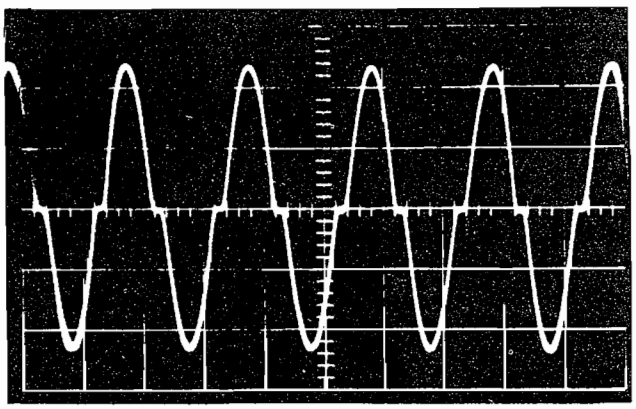


Figura 5.3-1. Amplificador push-pull.





(g)

Figura 5.3-2. Formas de onda en el amplificador push-pull: (*a*) corriente de entrada; (*b*) corriente de base en T_1; (*c*) corriente de base en T_2; (*d*) corriente de colector en T_1; (*e*) corriente de colector en T_2; (*f*) corriente de carga; (*g*) oscilograma de la forma de onda de la corriente de carga, mostrando la distorsión de cruce (crossover).

Para eliminar esta distorsión, las uniones base-emisor se polarizan aproximadamente a 0,65 V. El resultado es un funcionamiento en clase AB en vez de clase B, aunque está tan cercano a éste que generalmente se llama, también, clase B. Este tipo de polarización se denomina polarización de disparo o de conducción. En la práctica, a menudo, se permite la existencia de la distorsión de cruce y se confía en el transformador y capacidades internas y parásitas para eliminarla.

5.3-1. Determinación de la recta de carga

Como cada transistor funciona simétricamente y sólo la mitad del tiempo, basta estudiar el funcionamiento de uno solo de los transistores. Consideremos el transistor T_2 representado en la Figura 5.3-3. Este circuito nos permite describir el funcionamiento del amplificador. La recta de carga de corriente continua es una línea vertical, $v_{CE} = V_{CC}$, y la recta de carga de corriente alterna tiene una pendiente de

$$\frac{i_C}{v_{CE}} = \frac{1}{R'_L} \tag{5.3-2}$$

donde $R'_L = N^2 R_L$, tal y como se indica en la Figura 5.3-4. Mientras T_2 no conduce, $i_{C2} = 0$ y

$$v_{CE2} = V_{CC} + Nv_L$$

varía desde V_{CC} (que tiene lugar cuando $v_{CE1} = V_{CC}$ y, por tanto, $Nv_L = 0$) hasta $2V_{CC}$ (que se presenta cuando $v_{CE1} = 0$ y, por lo tanto, $Nv_L = V_{CC}$). Luego, mientras el transistor no conduce, la recta de carga de corriente alterna es horizontal, con $i_{C2} = 0$.

El valor máximo de i_{C1} e i_{C2} (Figs. 5.3-2*d*, *e* y 5.3-4) es

$$I_{cm} = \frac{V_{CC}}{R'_L} \tag{5.3-3}$$

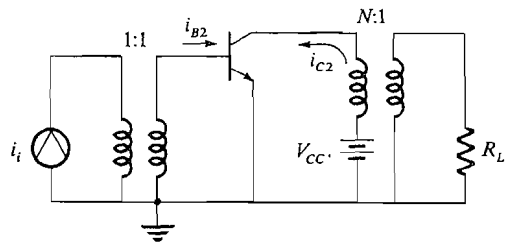


Figura 5.3-3. Mitad de la etapa push-pull de clase B.

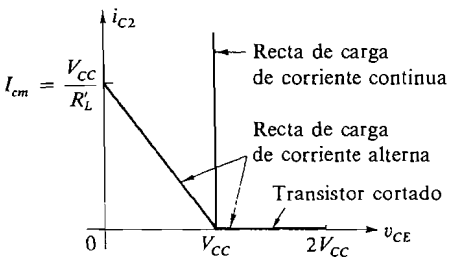


Figura 5.3-4. Rectas de carga de etapa de clase B.

5.3-2. Cálculos de potencia

Suponiendo que la corriente de señal sea senoidal

$$I_i = I_{im} \text{ sen } \omega t$$

Potencia suministrada. La potencia suministrada por la fuente de alimentación es

$$P_{CC} = V_{CC} \frac{1}{T} \int_{-T/2}^{T/2} [i_{C1}(t) + i_{C2}(t)]\, dt \tag{5.3-4a}$$

La corriente $i_{C1} + i_{C2}$ es la que circula por la fuente de alimentación. De las Figuras 5.3-2*d* y *e*, se deduce que es una corriente rectificada de onda completa, como se indica en la Figura 5.3-5. El valor medio de la corriente rectificada de onda completa es $2/\pi$ veces su valor de pico. Luego,

$$\frac{1}{T} \int_{-T/2}^{T/2} (i_{C1} + i_{C2})\, dt = \frac{2}{\pi} I_{cm}$$

La potencia suministrada P_{CC} es por tanto

$$P_{CC} = \frac{2}{\pi} V_{CC} I_{cm} \tag{5.3-4b}$$

Su valor máximo es (el de la Figura 5.3-4)

$$P_{CC,\,\text{máx}} = \frac{2}{\pi} V_{CC} \frac{V_{CC}}{R'_L} = \frac{2V_{CC}^2}{\pi R'_L} \tag{5.3-4c}$$

Potencia transferida a la carga. La potencia transferida a la carga es

$$P_L = \tfrac{1}{2} I_{Lm}^2 R_L = \tfrac{1}{2} I_{cm}^2 N^2 R_L = \tfrac{1}{2} I_{cm}^2 R'_L \tag{5.3-5a}$$

Su valor máximo es

$$P_{L,\,\text{máx}} = \frac{V_{CC}^2}{2R'_L} \tag{5.3-5b}$$

Potencia disipada en el colector. La potencia disipada en los colectores de los transistores T_1 y T_2 es en total

$$2P_C = P_{CC} - P_L$$

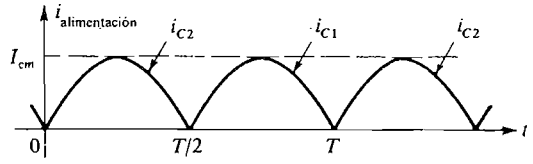


Figura 5.3-5. Forma de onda de la corriente de alimentación.

Utilizando (5.3-4*b*) y (5.3-5*a*), obtenemos

$$2P_C = \frac{2}{\pi} V_{CC} I_{cm} - \frac{R'_L I_{cm}^2}{2} \tag{5.3-6}$$

El valor máximo de la disipación en el colector $P_{C,\,máx}$ se encuentra diferenciando P_C con respecto a I_{cm} e igualando a cero el resultado

$$2\frac{dP_C}{dI_{cm}} = \frac{2}{\pi} V_{CC} - R'_L I_{cm} = 0 \tag{5.3-7}$$

La corriente de colector para la cual la disipación en el colector es máxima es, por lo tanto,

$$I_{cm} = \frac{2}{\pi}\frac{V_{CC}}{R'_L} \tag{5.3-8}$$

y combinando (5.3-6) y (5.3-8), la disipación máxima en el colector es

$$2P_{C,\,máx} = \frac{2}{\pi} V_{CC} \frac{2V_{CC}}{\pi R'_L} - \frac{R'_L}{2}\left(\frac{2}{\pi}\frac{V_{CC}}{R'_L}\right)^2 = \frac{2}{\pi^2}\frac{V_{CC}^2}{R'_L} \tag{5.3-9}$$

La potencia disipada en cada colector es, por consiguiente,

$$P_{C,\,máx} = \frac{1}{\pi^2}\frac{V_{CC}^2}{R'_L} \approx 0{,}1\,\frac{V_{CC}^2}{R'_L} \tag{5.3-10}$$

Rendimiento. El rendimiento de la operación η se calcula de las expresiones (5.3-4*b*) y (5.3-5*a*).

$$\eta = \frac{P_L}{P_{CC}} = \frac{\frac{1}{2}R'_L I_{cm}^2}{(2/\pi)V_{CC} I_{cm}} = \frac{\pi}{4}\frac{I_{cm}}{V_{CC}/R'_L} \tag{5.3-11}$$

Ya que la corriente máxima alcanzable de colector es V_{CC}/R'_L, el rendimiento máximo es

$$\eta_{máx} = \frac{\pi}{4} \approx 78{,}5\,\% \tag{5.3-12}$$

La potencia suministrada, la disipada en la carga, la disipada en el colector y el rendimiento se han representado en la Figura 5.3-6. Estos resultados pueden compararse con los obtenidos utilizando el amplificador de clase A de la Sección 5.1, que están representados en la Figura 5.1-3.

Factor de calidad. El factor de calidad de utilización del transistor para el amplificador push-pull de clase B es

$$\frac{P_{C,\,máx}}{P_{L,\,máx}} = \frac{V_{CC}^2/\pi^2 R'_L}{V_{CC}^2/2R'_L} = \frac{2}{\pi^2} \approx \frac{1}{5} \tag{5.3-13}$$

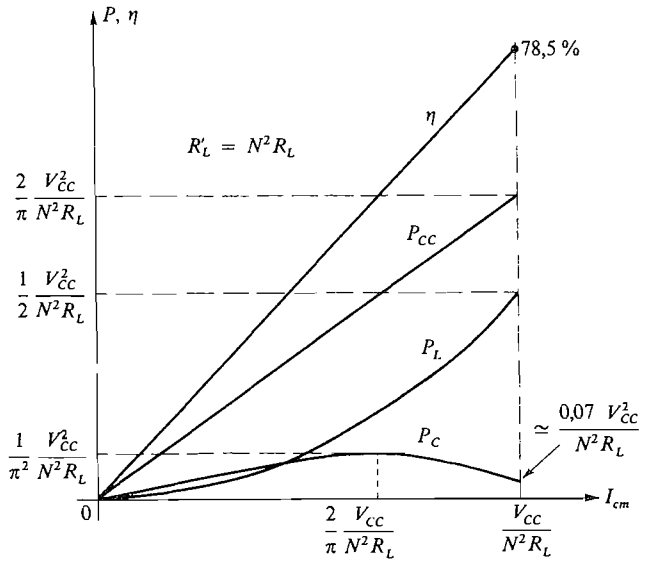


Figura 5.3-6. Variaciones de la potencia y el rendimiento en el amplificador push-pull de clase B.

Obsérvese la multiplicación por 10 del factor de calidad conseguida con respecto al amplificador de clase A. Así, si $P_{L,\,máx}$ debe ser 25 W, cada colector debe disipar sólo 5 W. Aunque es cierto que el circuito requiere dos transistores y dos transformadores, la menor potencia nominal de cada uno de los transistores hará que ocupen menos espacio y que precisen un radiador menor que los necesarios para un transistor de mayor potencia. En este caso, un amplificador de clase A de un solo transistor debería disipar una potencia de 50 W.

Otra ventaja importante del funcionamiento en clase B es que, en ausencia de señal, la corriente suministrada por la batería es cero, mientras que en clase A es la misma que la corriente a plena carga.

Hay que tener presente que los valores de rendimiento y disipación del colector se han obtenido para señales senoidales y son teóricamente máximos, lo cual en la práctica sólo puede conseguirse de modo aproximado.

EJEMPLO 5.3-1

Diseñar un amplificador push-pull de clase B, que proporcione una potencia máxima sobre una carga de 10 Ω. Utilizar dos transistores con valores nominales iguales a los del Ejemplo 5.1-1 ($i_{C,\,máx} = 1$ A). Determinar V_{CC}, N y la red de polarización para eliminar la distorsión de cruce. Calcular la potencia de salida y el rendimiento.

Solución

Para mayor facilidad repetiremos los valores nominales del transistor

$$P_{C,\,máx} = 4\ \text{W} \qquad BV_{CEO} = 40\ \text{V} \qquad i_{C,\,máx} = 1\ \text{A}$$

La potencia máxima de salida viene dada por (5.3-5*b*) y (5.3-3)

$$P_{L,\,máx} = \frac{V_{CC}^2}{2R'_L} = \frac{V_{CC}I_{cm}}{2}$$

Así, la potencia de salida puede aumentarse aumentando V_{CC} e I_{cm}. Sin embargo, V_{CC} e I_{cm} no pueden aumentarse indefinidamente. Las características del transistor establecen límites superiores para V_{CC} e I_{cm}.

$$V_{CC} \leqslant \tfrac{1}{2}BV_{CEO} = 20 \text{ V} \qquad I_{cm} \leqslant i_{C,\,máx} = 1 \text{ A}$$

y, utilizando (5.3-13),

$$P_{L,\,máx} = \frac{V_{CC}I_{cm}}{2} \leqslant 5P_{C,\,máx} = 20 \text{ W}$$

El punto de reposo se determina de modo que el transistor funcione con los valores máximos de i_C y BV_{CEO}. Luego

$$V_{CC} = 20 \text{ V} \quad \text{e} \quad I_{cm} = 1 \text{ A}$$

Luego

$$P_{L,\,máx} = 10 \text{ W}$$

La relación del número de espiras N se halla del siguiente modo. Como

$$I_{cm} = \frac{V_{CC}}{N^2R_L}$$

tenemos

$$N^2 = 2 \quad \text{y} \quad N = 1{,}414$$

Obsérvese que los dos transistores en push-pull proporcionan cinco veces la potencia que un solo transistor podría suministrar a una carga dada sin exceder los límites máximos (véase Ejemplo 5.2-1).

La Figura 5.3-7 representa la característica *vi* de cada transistor y la recta de carga de corriente alterna. Obsérvese que la recta de carga corta a la curva de disipación máxima del colector. Esto indica que la potencia instantánea puede superar la potencia media máxima. La disminución de potencia es debida a que la disipación media en el colector es menor que la máxima*. Nótese que no calculamos un amplificador push-pull de clase B haciendo que la recta de carga de corriente alterna sea tangente a la hipérbola $P_{C,\,máx}$.

* Si se amplifica una señal de muy baja frecuencia, el tiempo durante el cual la curva de máxima disipación es sobrepasada puede ser lo bastante largo para producir un sobrecalentamiento del transistor. La menor frecuencia que puede amplificarse depende de la constante térmica del transistor.

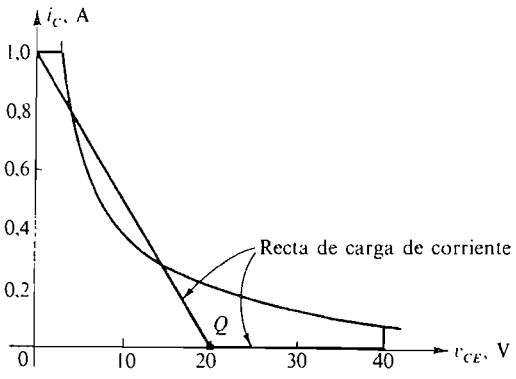
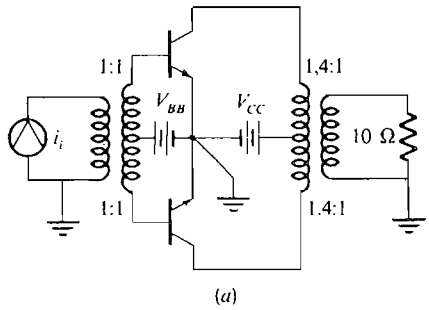
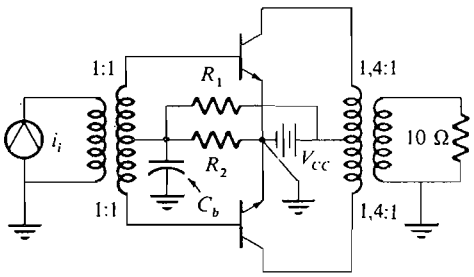


Figura 5.3-7. Recta de carga para el Ejemplo 5.3-1.

Para completar el cálculo, debe elegirse una red de polarización. La Figura 5.3-8*a* muestra el amplificador push-pull con una fuente de polarización separada. V_{BB} se toma igual a la tensión de conducción del transistor que para el silicio es aproximadamente 0,7 V.



(*a*)



(*b*)

Figura 5.3-8. Amplificador push-pull polarizado: (*a*) por batería; (*b*) por divisor resistivo.

En la práctica, en vez de una fuente de alimentación separada se utiliza la fuente de alimentación V_{CC} con un divisor de tensión adecuado, tal como se indica en la Figura 5.3-8*b*. R_1 y R_2 se eligen de modo que la caída de tensión base-emisor sea aproximadamente 0,7 V. A menudo se utiliza un diodo de silicio en vez de R_2, ya que la caída de tensión en el diodo de silicio funcionando por encima de su tensión de codo es similar a la tensión de reposo base-emisor necesaria para hacer conducir al transistor.

5.3-3. Amplificador push-pull directamente acoplado

En la Figura 5.3-9 está representado un amplificador push-pull con salida acoplada directamente. Si comparamos este circuito con el amplificador push-pull representado en la Figura 5.3-1, vemos que en ambos circuitos se utiliza un transformador de entrada para acoplar la corriente de entrada i_i a la base de T_1 o T_2, dependiendo del sentido de la corriente. Sin embargo, el circuito de la Figura 5.3-9*a* no requiere transformador de salida.

El funcionamiento del circuito se puede explicar observando que cuando $i_i(t)$ es positiva T_1 conduce y T_2 está en corte (Figura 5.3-9*b*). En este caso la corriente de colector $i_{C1}(t)$ circula por la carga R_L, e $i_L(t) = i_{C1}(t)$. De aquí que, $i_L(t) = h_{fe1} i_i\ (t)$ cuando $i_i(t) > 0$. A continuación consideremos lo que ocurre cuando $i_i(t)$ es negativa. En este caso, la Figura 5.3-9*b* muestra que T_2 está en conducción y T_1 está en corte. Ahora la corriente de carga $i_L(t) = -i_{C2}(t) = -h_{fe2} i_{B2}(t) = -h_{fe2}(-i_i) = h_{fe2} i_i(t)$. La corriente de carga resultante, debida al ciclo completo de la corriente de entrada, está representada en la Figura 5.3-9*b*.

El efecto de omitir el transformador de salida, utilizado en el circuito de la Figura 5.3-1, es hacer que la impedancia de colector del transistor en conducción sea R_L en vez de $N^2 R_L$. Esto se explica en el siguiente ejemplo.

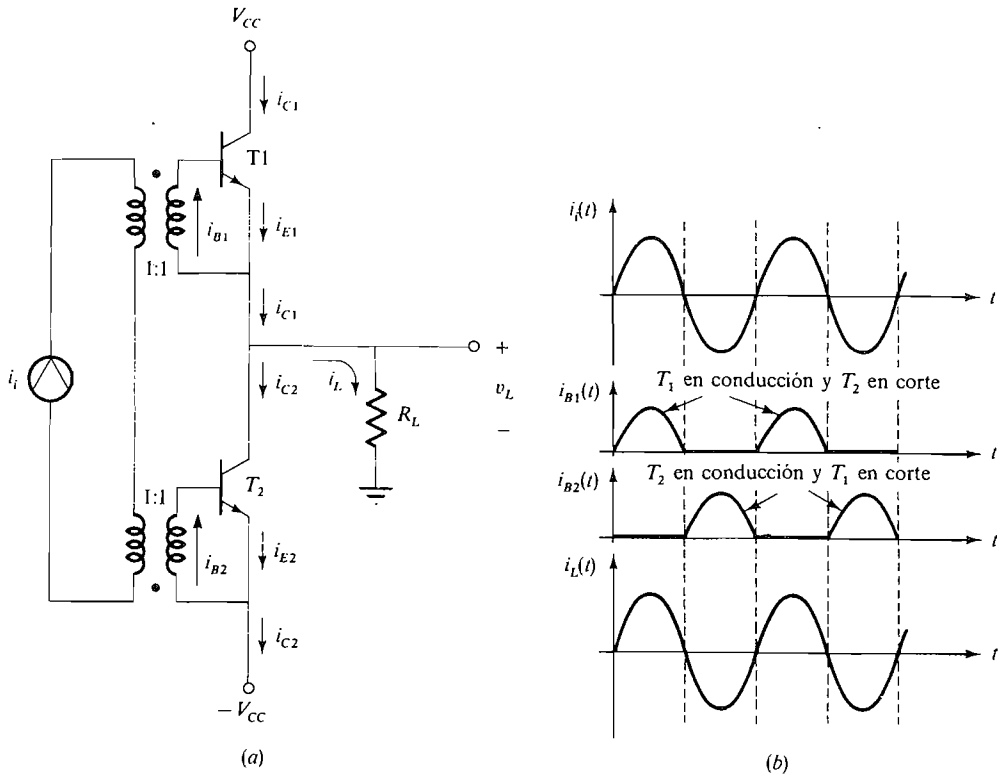


Figura 5.3-9. Amplificador push-pull con salida directamente acoplada: (*a*) circuito; (*b*) formas de onda.

EJEMPLO 5.3-2

Repetir el Ejemplo 5.3-1 utilizando el circuito de la Figura 5.3-9.

Solución

Para suministrar la máxima potencia a la resistencia de carga debemos alimentarla con la máxima corriente posible. El transistor utilizado en el Ejemplo 5.3-1 puede suministrar una máxima corriente de 1 A. Como el amplificador push-pull representado en la Figura 5.3-9*a* está conectado directamente a la carga R_L y no está acoplado por transformador a la carga, la máxima potencia que puede disipar ésta es

$$P_{L,\text{máx}} = \tfrac{1}{2}I_{cm}^2 R_L = (\tfrac{1}{2})(1)^2(10) = 5 \text{ W}$$

Este valor de la potencia de salida es la mitad de la máxima potencia de carga en el ejemplo de la Figura 5.3-1. Para minimizar la potencia disipada en T_1 y T_2 elegimos el mínimo valor posible de V_{CC} para que el transistor pase de la saturación al corte. Como $R_L = 10\,\Omega$ e $I_{cm} = 1$ A, hallamos $V_{CC} = V_{Lm} = R_L I_{cm} = 10$ V. Para evitar que haya problemas de saturación ($V_{CE,\text{sat}} = 2$ V) el valor real de V_{CC} empleado será 12 V. Y para eliminar la distorsión cruzada, las uniones base-emisor se polarizan en sentido directo con aproximadamente 0,65 V, como muestra el circuito push-pull final de la Figura 5.3-10.

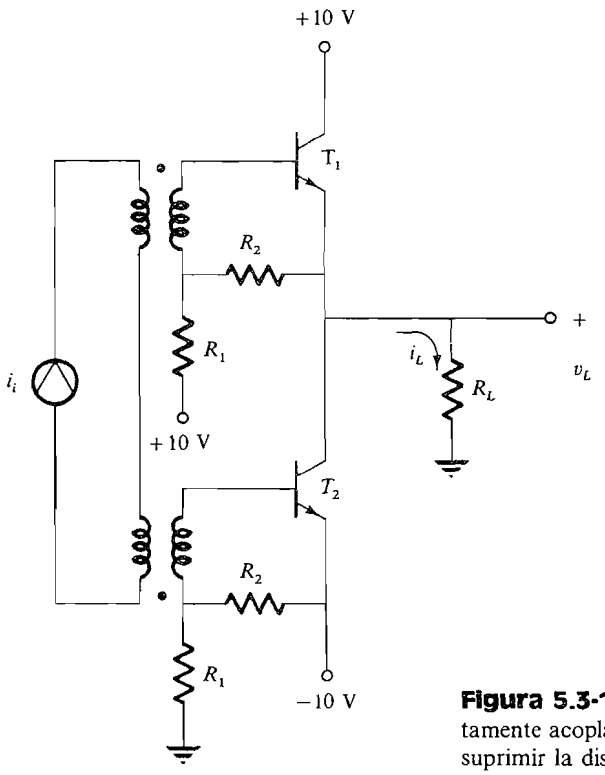


Figura 5.3-10. Amplificador push-pull directamente acoplado con redes de polarización para suprimir la distorsión de cruce.

5.4

Una ventaja del amplificador push-pull acoplado directamente es que no requiere transformador de salida. El transformador de entrada se puede omitir también y ser sustituido por un circuito divisor de fase (Sec. 6.11). Como los transformadores son grandes, pesados y costosos, su supresión del circuito supone una considerable economía. Una desventaja es que con él no se puede obtener la máxima transferencia de potencia a la carga porque ya no tiene la propiedad transformadora de impedancias del transformador. Un segundo inconveniente es la necesidad de dos fuentes de alimentación.

5.4. AMPLIFICADORES SIMETRICOS COMPLEMENTARIOS

En la Figura 5.4-1 se representa un tipo de amplificador push-pull de clase B que emplea un transistor *pnp* y uno *npn* y no precisa transformadores. Este tipo de amplificador utiliza la *simetría complementaria.* Su funcionamiento se explica mediante la figura. Cuando la tensión de señal es positiva, T_1 (el transistor *npn*) conduce, mientras que T_2 (el transistor *pnp*) está en corte. Cuando la tensión de señal es negativa, T_2 conduce mientras que T_1 está en corte. La corriente de carga es

$$i_L = i_{C1} - i_{C2} \tag{5.4-1}$$

La recta de carga y las relaciones de potencia del circuito de salida de este amplificador son las mismas que las del amplificador convencional de clase B de la Sección 5.3. Las ventajas del sistema sin transformadores es que representa un ahorro de peso y coste y que no se necesitan señales de entrada desfasadas ciento ochenta grados. Sus desventajas son la necesidad de dos fuentes de alimentación, positiva y negativa, y el problema de obtener pares de transistores que sean lo suficientemente análogos para conseguir una distorsión pequeña.

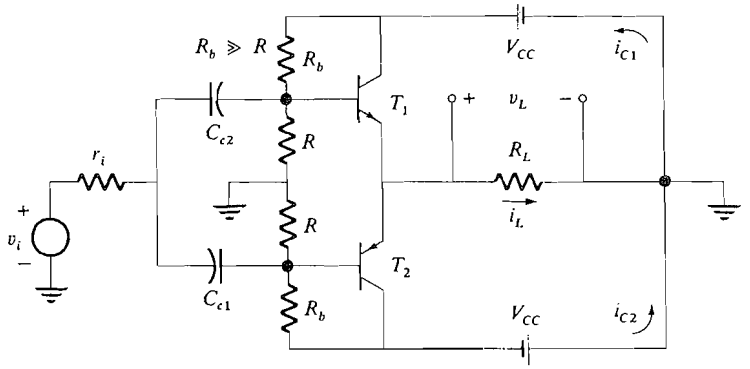


Figura 5.4-1. Amplificador de simetría complementaria.

EJEMPLO 5.4-1

Un amplificador de simetría complementaria utiliza transistores que tienen las mismas características que las del Ejemplo 5.3-1:

$$P_{C,\text{máx}} = 4 \text{ W} \qquad BV_{CEO} = 40 \text{ V} \qquad i_{C,\text{máx}} = 1 \text{ A}$$

Hallar V_{CC} y la potencia máxima que puede suministrar a una carga de 10 Ω.

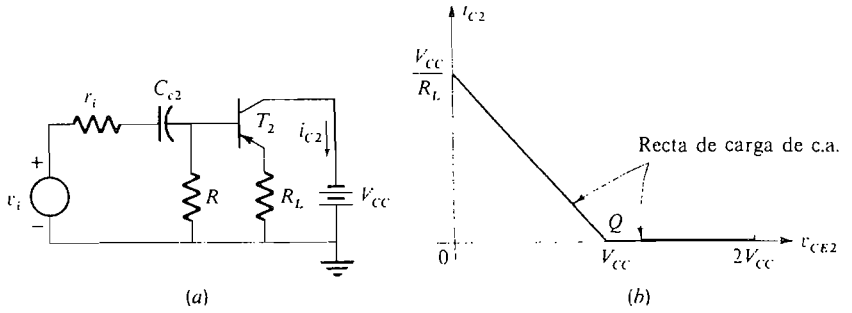


Figura 5.4-2. Circuito y recta de carga para T_2 del circuito seguidor de emisor de simetría complementaria: (*a*) circuito; (*b*) recta de carga.

Solución

Cada transistor es esencialmente un seguidor de emisor de clase B. Consideremos T_2: su circuito equivalente durante la conducción y la recta de carga correspondiente a su zona de funcionamiento se han representado en la Figura 5.4-2. Como el valor de pico de i_{C2} no puede exceder 1 A,

$$\frac{V_{CC}}{R_L} = 1 \text{ A}$$

Por consiguiente

$$V_{CC} = 10 \text{ V}$$

Obsérvese que la excursión $2V_{CC}$ es menor que la tensión de ruptura colector-emisor, tal como se requiere. La corriente de carga es

$$i_L = i_{C1} - i_{C2}$$

Si v_i es senoidal, también lo será i_L con una corriente de cresta máxima de

$$I_{Lm} = \frac{V_{CC}}{R_L}$$

Luego

$$i_L = I_{Lm} \operatorname{sen} \omega t = \frac{V_{CC}}{R_L} \operatorname{sen} \omega t$$

La potencia máxima en la carga es

$$P_{L,\,\text{máx}} = \frac{V_{CC}^2}{2R_L} = 5 \text{ W}$$

Obsérvese que el amplificador push-pull de la Sección 5.3-1 podrá suministrar 10 W debido a que el transformador duplica la impedancia de carga efectiva. El amplificador de simetría complementaria y el amplificador push-pull directamente acoplado descrito en la Sección 5.3-3 no emplean transformador de salida y por tanto no transforman la impedancia de carga.

Se puede tener alguna idea de la tensión de señal necesaria para excitar este amplificador suponiendo que $r_i \ll R$. Entonces, a causa de que el circuito es esencialmente un seguidor de emisor, la máxima señal $v_i = V_{im}$ sen ωt debe tener un valor de pico de V_{CC}, es decir, $V_{im} = V_{CC}$, para transferir totalmente los 5 W a la carga.

5.5. EL AMPLIFICADOR DE POTENCIA DE CLASE C

Cuando se necesita entregar a la resistencia de carga una potencia elevada deben emplearse técnicas alternativas a las ya descritas. En esta sección discutiremos el amplificador de potencia de clase C.

En la Figura 5.5-1 se muestra un amplificador de potencia de clase C básico. Nótese que en este circuito el transistor se polariza de manera que se encuentre en estado de corte la mayor parte del tiempo y conduzca sólo durante cortos períodos. Así, mientras que el pico de potencia puede hacerse extremadamente elevado, la potencia media disipada estará dentro de los límites de la capacidad del amplificador.

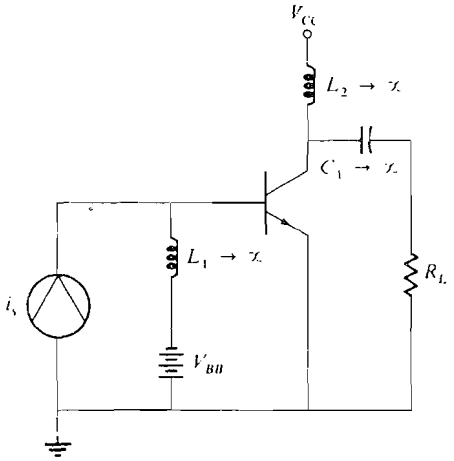


Figura 5.5-1. Amplificador de potencia de clase C básico.

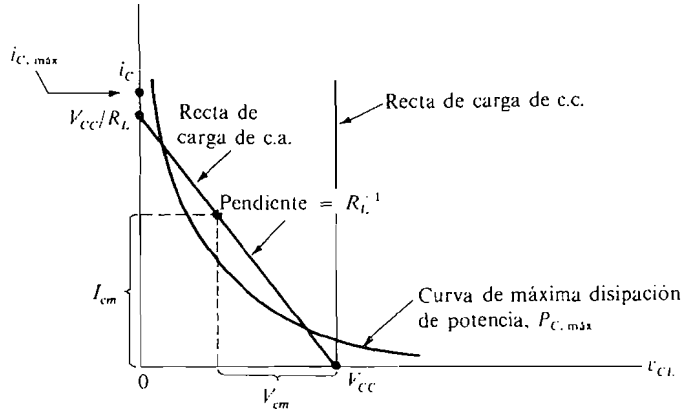


Figura 5.5-2. Rectas de carga.

El problema asociado a este amplificador es que la caída de tensión en la resistencia de carga R_L no es senoidal. De hecho, debido a la discontinuidad de la corriente de colector, la corriente y la tensión en la carga contienen muchos armónicos de frecuencia. En un diseño práctico se colocaría un circuito LC paralelo y sintonizado para eliminar todos los armónicos excepto el de la frecuencia fundamental f_0.

La Figura 5.5-2 muestra las rectas de carga en continua y en alterna. Nótese que la recta de carga en alterna puede superar la potencia media disipada $P_{C,\text{máx}}$. La limitación fundamental para la recta de carga en alterna es que la corriente máxima de colector $i_{C,\text{máx}} = V_{CC}/R_L < I_{P,\text{máx}}$, que es la máxima corriente de pico que puede manejar el transistor.

EJEMPLO 5.5-1

Un transistor funcionando en clase C tiene las siguientes características $P_{C,\text{máx}} = 4$ W, $BV_{CEO} = 40$ V e $I_{P,\text{máx}} = 2$ A. Sea $V_{CC} = 20$ V. (*a*) ¿Cuál es el mínimo valor de R_L permisible sin exceder $I_{P,\text{máx}} = 2$ A? (*b*) Cuál es la cresta de corriente posible si diseñamos un amplificador que no supere la restricción de máxima potencia media en ningún instante de tiempo?

Solución

(*a*) A partir de la recta de carga en alterna mostrada en la Figura 5.5-2 vemos que:

$$i_{C,\text{máx}} = \frac{V_{CC}}{R_L}$$

Así

$$R_L = \frac{V_{CC}}{i_{C,\text{máx}}} = \frac{20}{2} = 10\ \Omega$$

(*b*) Si se diseña el amplificador para que no se supere nunca la curva de disipación de potencia media, entonces

$$V_{CEQ}I_{CQ} = P_{C,\text{máx}} = 4\ \text{W}$$

En este caso $V_{CEQ} = V_{CC} = 20$ V y la corriente de colector de cresta máxima es

$$I_{cm} = I_{CQ} = \frac{P_{C,\text{máx}}}{V_{CC}} = \frac{4}{20} = 0{,}2\ \text{A}$$

Hay que señalar que, en este caso, debe emplearse una resistencia de carga $R_L = \dfrac{V_{CC}}{I_{CQ}} = 100\ \Omega$. Nótese también que debe disminuirse I_{cm}, a veces considerablemente, desde el valor $i_{C,\text{máx}}/2$, si no se debe superar la curva de máxima potencia media disipada.

Formas de onda. La Figura 5.5-3*a* muestra la señal de corriente senoidal $i_s(t)$. Puesto que el transistor está en corte la corriente de colector $i_C(t)$, mostrada en la Figura 5.5-3*b*, fluye sólo durante ciertos períodos de tiempo. En la forma de onda mostrada $i_C(t)$ es distinta de cero sólo durante el intervalo de tiempo 2τ en cada ciclo, cuyo período es $T_0 = 1/f_0$.

Nótese que la tensión colector-emisor $v_{CE}(t)$, mostrada en la Figura 5.5-3*c*, es un impulso senoidal sólo durante el pequeño intervalo de tiempo 2τ.

5.5-1. Calculo de potencias

Tomando como referencias las formas de onda mostradas en la Figura 5.5-3 pueden calcularse la potencia suministrada, la potencia disipada en el colector y la potencia disipada en la resistencia de carga a la frecuencia fundamental f_0.

Potencia suministrada P_{CC}. La tensión de alimentación V_{CC} entrega una potencia media P_{CC} donde

$$P_{CC} = \frac{1}{T_0}\int_{-\tau}^{\tau} V_{CC} i_C(t)\, dt \tag{5.5-1}$$

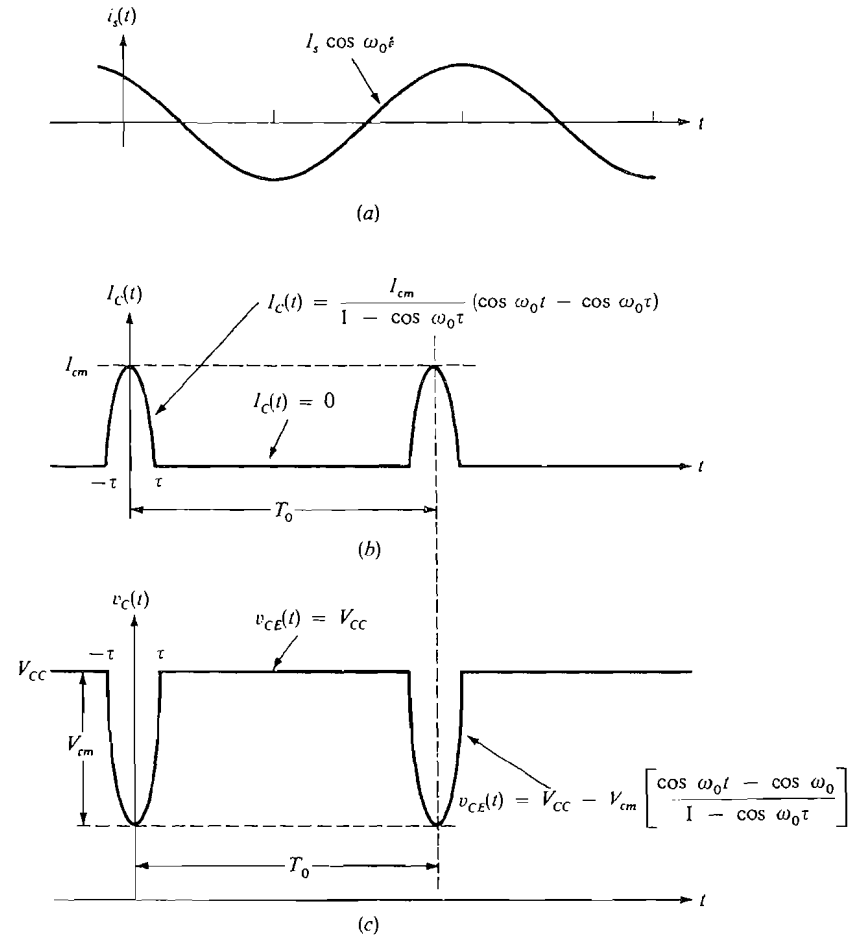


Figura 5.5-3. Formas de onda: (*a*) corriente de entrada; (*b*) corriente de colector; (*c*) tensión colector-emisor.

Refiriéndonos a la Figura 5.5-3*b* vemos que (véase Problema 5.5-1)

$$i_C(t) = \begin{cases} I_{cm} \dfrac{\cos \omega_0 t - \cos \omega_0 \tau}{1 - \cos \omega_0 \tau} & |t + nT_0| < \tau \text{ para todo } n \\ 0 & \text{en cualquier otro caso} \end{cases} \tag{5.5-2}$$

Así,

$$P_{CC} = \frac{V_{CC} I_{cm}}{T_0} \int_{-\tau}^{\tau} \frac{\cos \omega_0 t - \cos \omega_0 \tau}{1 - \cos \omega_0 \tau} \, dt \tag{5.5-3}$$

Mientras que (5.5-3) puede integrarse fácilmente hallándose una respuesta exacta (véase Problema 5.5-2) es útil aprovechar el hecho de que

$$\omega_0 \tau = \frac{2\pi\tau}{T_0} \ll 2\pi \qquad \text{para funcionamiento en clase C}$$

Así,

$$\cos \omega_0 \tau \approx 1 - \frac{\omega_0^2 \tau^2}{2} \tag{5.5-4a}$$

y en la región $|t| < \tau$,

$$\cos \omega_0 t \approx 1 - \frac{\omega_0^2 t^2}{2} \tag{5.5-4b}$$

Sustituyendo (5.5-4) en (5.5-3) se obtiene

$$\begin{aligned} P_{CC} &= \frac{V_{CC} I_{cm}}{T_0} \int_{-\tau}^{\tau} \left(\frac{\tau^2 - t^2}{\tau^2} \right) dt \\ &= \frac{4\tau}{3T_0} V_{CC} I_{cm} = \frac{4\tau}{3T_0} V_{CC} \frac{V_{cm}}{R_L} \end{aligned} \tag{5.5-5}$$

ya que, de la recta de carga en alterna mostrada en la Figura 5.5-2.

$$I_{cm} = \frac{V_{cm}}{R_L} \tag{5.5-6}$$

Potencia disipada en el colector P_C. La potencia disipada en el colector del circuito P_C resulta de

$$P_C = \frac{1}{T_0} \int_{-\tau}^{\tau} i_C(t) V_{CE}(t) \, dt \tag{5.5-7}$$

donde $i_C(t)$ viene dada por (5.5-2) y $V_{CE}(t)$ está dada en la Figura 5.5-3*c* por

$$V_{CE}(t) = \begin{cases} V_{CC} - V_{cm} \dfrac{\cos \omega_0 t - \cos \omega_0 \tau}{1 - \cos \omega_0 \tau} & |t + nT_0| < \tau \\ V_{CC} & \text{en cualquier otro caso} \end{cases} \tag{5.5-8}$$

Así

$$P_C = \frac{1}{T_0}\int_{-\tau}^{\tau} I_{cm}\left(\frac{\cos\omega_0 t - \cos\omega_0\tau}{1-\cos\omega_0\tau}\right)V_{CC} - V_{cm}\left(\frac{\cos\omega_0 t - \cos\omega_0\tau}{1-\cos\omega_0\tau}\right)dt$$

$$= \frac{1}{T_0}\int_{-\tau}^{\tau} V_{CC}I_{cm}\frac{\cos\omega_0 t - \cos\omega_0\tau}{1-\cos\omega_0\tau}\,dt$$

$$-\frac{1}{T_0}\int_{-\tau}^{\tau} I_{cm}V_{cm}\left(\frac{\cos\omega_0 t - \cos\omega_0\tau}{1-\cos\omega_0\tau}\right)^2 dt \qquad (5.5\text{-}9)$$

La primera integral nos da P_{CC} y viene dada por (5.5-5). La segunda integral puede ser evaluada fácilmente empleando (5.5-4):

$$\frac{1}{T_0}\int_{-\tau}^{\tau} I_{cm}V_{cm}\left(\frac{\cos\omega_0 t - \cos\omega_0\tau}{1-\cos\omega_0\tau}\right)^2 dt \approx \frac{I_{cm}V_{cm}}{T_0}\int_{-\tau}^{\tau}\left(\frac{\tau^2 - t^2}{\tau^2}\right)^2 dt =$$

$$= \frac{I_{cm}V_{cm}}{T_0}\int_{-\tau}^{\tau}\left(1 - \frac{2}{\tau^2}t^2 + \frac{t^4}{\tau^2}\right)dt = \tfrac{16}{15}I_{cm}V_{cm}\frac{\tau}{T_0} \qquad (5.5\text{-}10)$$

De aquí, combinando (5.5-5) y (5.5-10) tenemos

$$P_C = \frac{4\pi}{3T_0}V_{CC}I_{cm} - \frac{16\tau}{15T_0}I_{cm}V_{cm} = \frac{4\tau}{3T_0}\left(\frac{V_{cm}}{R_L}\right)(V_{CC} - \tfrac{4}{5}V_{cm}) \qquad (5.5\text{-}11)$$

En (5.5-11) hemos usado (5.5-6): $V_{cm} = I_{cm}R_L$

Potencia disipada en la carga. La potencia disipada en la carga, P_{R_L}, es la potencia disipada a la frecuencia f_0, es decir, a la frecuencia deseada. En realidad, como se ha visto, la resistencia de carga está normalmente formando parte de un circuito paralelo *RLC* que atenúa todos los armónicos excepto el fundamental f_0.

La corriente de colector $i_C(t)$ puede desarrollarse en serie de Fourier:

$$i_C(t) = I_0 + \sum_{n=1}^{\infty} I_n \cos n\omega_0 t \qquad (5.5\text{-}12)$$

En esta serie nos interesa evaluar solamente I_1 (es decir, I_n para $n = 1$). Es bien conocido que:

$$I_1 = \frac{2}{T_0}\int_{-T_0/2}^{T_0/2} i_C(t)\cos\omega_0 t\,dt \qquad (5.5\text{-}13)$$

Sustituyendo (5.5-2) en (5.5-13) resulta

$$I_1 = \frac{2I_{cm}}{T_0}\int_{-\tau}^{\tau}\cos\omega_0 t\left(\frac{\cos\omega_0 t - \cos\omega_0\tau}{1-\cos\omega_0\tau}\right)dt \qquad (5.5\text{-}14)$$

De nuevo, usando (5.5-4) en (5.5-14) se obtiene

$$\begin{aligned} I_1 &= \frac{2I_{cm}}{T_0}\int_{-\tau}^{\tau}\left(1-\omega_0^2\frac{t^2}{2}\right)\left(\frac{\tau^2-t^2}{\tau^2}\right)dt \\ &= \frac{2I_{cm}}{T_0}\int_{-\tau}^{\tau}\left[1-\left(\frac{\omega_0^2}{2}+\frac{1}{\tau^2}\right)t^2+\frac{\omega_0^2}{2\tau^2}t^4\right]dt \\ &\approx \frac{2I_{cm}}{T_0}\left(\frac{4\tau}{3}\right)=\frac{8\tau}{3T_0}I_{cm} \end{aligned} \tag{5.5-15}$$

La potencia entregada a la carga a la frecuencia f_0 es entonces

$$P_{R_L}=\tfrac{1}{2}I_1^2R_L=\frac{32}{9}\left(\frac{\tau}{T_0}\right)^2I_{cm}^2R_L=\frac{32}{9}\left(\frac{\tau}{T_0}\right)^2\frac{V_{cm}^2}{R_L} \tag{5.5-16}$$

Rendimiento. El rendimiento de un amplificador de clase C es extremadamente pobre puesto que $\tau/T_0 \ll 1$. En efecto, empleando (5.5-5) y (5.5-16) tenemos

$$\eta=\frac{P_{R_L}}{P_{CC}}=\frac{\frac{32}{9}(\tau/T_0)^2V_{cm}^2/R_L}{\frac{4}{3}(\tau/T_0)V_{CC}/R_L}=\frac{8}{3}\left(\frac{\tau}{T_0}\right)\frac{V_{cm}}{V_{CC}} \tag{5.5-17}$$

Así, si $V_{cm}=V_{CC}$ y $\tau=T_0/8$, $\eta=33$ por 100.

Factor de calidad. El factor de calidad F del amplificador de clase C es

$$F=\frac{P_{C,\text{máx}}}{P_{L,\text{máx}}} \tag{5.5-18a}$$

Se deja para los problemas (véase Problema 5.5-3) demostrar que:

$$P_{C,\text{máx}}=\frac{5}{12}\left(\frac{\tau}{T_0}\right)\frac{V_{CC}^2}{R_L} \tag{5.5-18b}$$

y

$$P_{R_L,\text{máx}}=\frac{32}{9}\left(\frac{\tau}{T_0}\right)^2\frac{V_{CC}^2}{R_L} \tag{5.5-18c}$$

Así

$$F=\tfrac{15}{128}\tau/T_0 \tag{5.5-19}$$

Por ejemplo, si $\tau=T_0/8$, $F=\frac{15}{16}$.

Si los resultados obtenidos para el amplificador de clase C se comparan con aquellos obtenidos para el amplificador de clase A, uno podría llegar a la incorrecta conclusión de que el amplificador de clase A es «mejor». Después de todo, el rendimiento es más elevado para clase A y el factor de calidad F no es sustancialmente mayor en clase C. Sin embargo, el amplificador de clase C puede entregar cantidades significativamente más grandes de energía a la resistencia de carga que el amplificador de clase A. Esta es la única razón para el empleo de clase C.

EJEMPLO 5.5-2

Empleando el transistor de los Ejemplos 5.1-1 y 5.5-1, $P_{C,\text{máx}} = 4$ W, $BV_{CEO} = 40$ V e $i_{C,\text{máx}} = 2$ A. Diseñar un amplificador de clase C para entregar la máxima potencia a la resistencia de carga $R_L = 50\ \Omega$. Puede emplearse un transformador. Suponer $\tau/T_0 = \frac{1}{8}$.

Solución

Tomemos $V_{CC} = \frac{1}{2}BV_{CEO} = 20$ V e $I_{cm} = 2$ A. Así la resistencia de carga R_L vista desde el colector es

$$R_L = \frac{V_{CC}}{I_{cm}} = 10\ \Omega$$

Empleando (5.5-5) la *potencia suministrada* es

$$P_{CC,\text{máx}} = \frac{4}{3}\left(\frac{\tau}{T_0}\right)\frac{V_{CC}^2}{R_L} = \tfrac{4}{3}(\tfrac{1}{8})(\tfrac{400}{10}) = 6{,}7\ \text{W}$$

Utilizando (5.5-18*b*) la máxima potencia media disipada en el transistor es:

$$P_{C,\text{máx}} = \frac{5}{12}\left(\frac{\tau}{T_0}\right)\frac{V_{CC}^2}{R_L} = \tfrac{5}{12}(\tfrac{1}{8})(\tfrac{400}{10}) \approx 2\ \text{W}$$

Nótese que esta disipación es la máxima permitida en el transistor. Sin embargo, cuando no existe señal la disipación es cero y cuando existe señal máxima ($V_{cm} = V_{CC}$) la disipación es solo de 1,3 W. Empleando (5.5-18*c*) la máxima potencia entregada a la carga es:

$$P_{R_L,\text{máx}} = \frac{32}{9}\left(\frac{\tau}{T_0}\right)^2\frac{V_{CC}^2}{R_L} = \tfrac{32}{9}(\tfrac{1}{64})\tfrac{400}{10} \approx 2{,}2\ \text{W}$$

Puesto que la resistencia de carga $R_L = 50\ \Omega$ y la resistencia de carga reflejada en el colector es de $10\ \Omega$ es necesario un transformador con una relación de espiras 5:1.

5.5-2. Conclusiones

Si se diseña un amplificador lineal de elevada potencia es útil un amplificador de clase C ya que se puede trabajar al nivel de la corriente de cresta del transistor. Sin embargo, el transistor disipa aún grandes cantidades de energía lo que limita la utilidad de los amplificadores.

Cuando se debe amplificar una señal modulada en frecuencia, o cualquier señal en la cual la información no está contenida en la amplitud, no se emplean amplificadores lineales tales como los de clase A, B y C, descritos en las secciones previas. En su lugar pueden utilizarse amplificadores no lineales tales como los amplificadores de potencia de clase *D* y *S*.

5.6. EL AMPLIFICADOR DE CLASE D

El concepto básico del amplificador de clase D se ilustra en la Figura 5.6-1*a*. El amplificador se compone de dos transistores complementarios actuando sobre una resistencia de carga R_L. En esta figura los transistores están modelados como interruptores ideales. Cuando la señal de control de entrada es negativa el interruptor S_1 se cierra y el S_2 se abre; cuando la señal de control es positiva S_1 se abre y S_2 se cierra. La tensión v_L en la resistencia de carga es, por lo tanto, una forma de onda que tiene dos valores posibles, $V_{\text{alimentación}}$ ó 0 V. Nótese que los interruptores no disipan energía puesto que, o bien la corriente a través del interruptor o bien la tensión en él, es cero. Así, la potencia suministrada por la alimentación es igual a la potencia disipada en la carga. De ahí que el rendimiento del amplificador sea del 100 por 100 y que el factor de calidad F, que es la relación entre la máxima potencia disipada en el interruptor y la máxima potencia disipada en la carga, sea cero. En resumen, estos factores hacen del amplificador de clase D un amplificador ideal.

Normalmente es necesario que la tensión en la carga v_L sea senoidal en vez de una onda cuadrada y por eso se emplea usualmente un circuito sintonizado que consiste en una resistencia de carga R_L y un circuito LC, para eliminar mediante filtrado todos los armónicos de orden superior. El lector puede observar (véase Problema 5.6-1) que después de este filtrado la tensión en la carga es

$$v_L(t) = \frac{2V_{\text{alimentación}}}{\pi} \cos \omega_0 t \tag{5.6-1}$$

donde f_0 es la frecuencia de apertura y cierre del interruptor, es decir, la frecuencia de la señal de entrada. Así la potencia útil disipada en la carga es

$$P_L = \frac{1}{2}\left(\frac{2V_{\text{alimentación}}}{\pi}\right)^2 = \frac{2V^2_{\text{alimentación}}}{\pi^2 R_L} \approx 0{,}2\,\frac{V^2_{\text{alimentación}}}{R_L} \tag{5.6-2}$$

Puesto que la fuente de energía entrega una potencia de $V^2_{\text{alimentación}}/2R_L$ (durante la mitad del tiempo la fuente no entrega corriente) el rendimiento de este amplificador es realmente sólo del 40 por ciento; el 60 por 100 restante está siendo almacenado en el circuito LC paralelo. Un transistor real no es un interruptor ideal sino que es una resistencia en la zona de saturación. Deberíamos, por tanto, modelar el interruptor como un interruptor ideal incluyendo una resistencia, que denotamos como r_s en la Figura 5.6-1*b*. Ahora la energía entregada por la fuente es (véase Problema 5.6-2)

$$P_{\text{alimentación}} = \frac{V^2_{\text{alimentación}}}{2R_L}\left(\frac{1}{1 + r_s/R_L}\right) \tag{5.6-3}$$

Puesto que $r_s \ll R_L$

$$P_{\text{alimentación}} \approx \frac{V^2_{\text{alimentación}}}{2R_L} \tag{5.6-4}$$

como antes. Así el rendimiento permanece en aproximadamente el 40 por 100. Ahora, sin embargo, la energía disipada en el transistor (interruptor) no es cero puesto que la resistencia r_{s1} disipa energía siempre que S_1 está cerrado. De aquí,

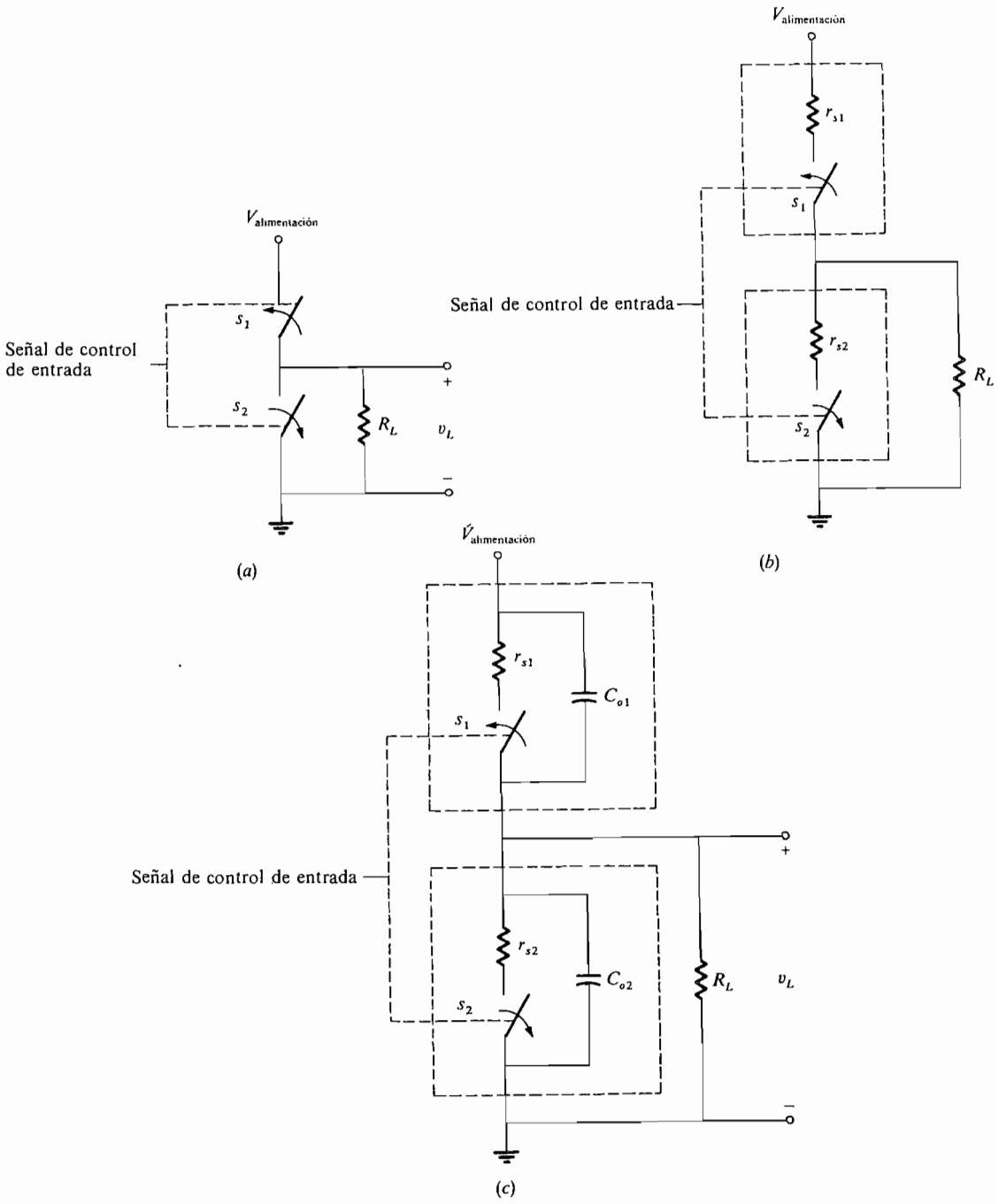


Figura 5.6-1. (*a*) Amplificador de clase D básico empleando interruptores complementarios-simétricos; (*b*) amplificador de clase D con pérdidas resistivas; (*c*) amplificador de clase D con capacidad además de pérdidas.

$$P_{\text{interruptor}} = \frac{1}{2}\left(\frac{V_{\text{alimentación}}}{R_L + r_{s1}}\right)^2 r_{s1} \approx \frac{V^2_{\text{alimentación}} r_{s1}}{2R_L^2} \tag{5.6-5}$$

puesto que durante la mitad de cada ciclo no hay corriente en r_{s1} y también se tiene $r_{s1} \ll R_L$.

El factor de calidad F, por lo tanto, es distinto de cero, pero

$$F = \frac{P_{\text{interruptor}}(\text{máx})}{P_L(\text{máx})} = \frac{(V^2_{\text{alimentación}} r_{s1})/2R^2L}{0{,}2V^2_{\text{alimentación}}/R_L} = \frac{r_{s1}}{0{,}4R_L} \tag{5.6-6}$$

EJEMPLO 5.6-1

Un amplificador de clase D entrega 500 W a una resistencia de carga de 50 Ω. Si $r_{s1} = 0{,}5\ \Omega$ determinar cuánta potencia deben disipar los transistores complementarios.

Solución

El factor de calidad es

$$F = \frac{r_{s1}}{0{,}4R_L} = \frac{0{,}5}{0{,}4(50)} = 0{,}025$$

Si se deben disipar 500 W en la carga cada transistor deberá ser capaz de disipar

$$P_{\text{transistor}} = 500F = 500(0{,}025) = 12{,}5 \text{ W}$$

Nótese que en el anterior análisis de la Figura 5.6-1*b* no se disipaba potencia en el interruptor S_2. De hecho, a partir de esta figura se podría eliminar S_2 sin afectar al funcionamiento del amplificador. En la práctica el amplificador no funciona sin S_2 puesto que en cada transistor existe una capacidad de salida. C_{01}, como se muestra en la Figura 5.6-1*c*. Sin el interruptor S_2 la capacidad C_{01} se cargaría (cuando S_1 está abierto) a través de R_L, afectando a la forma de onda de v_L. Empleando el circuito mostrado en la Figura 5.6-1*c* la capacidad C_{01} se carga a través de la resistencia r_{S2} del interruptor S_2 y, por tanto, S_2 conecta efectivamente R_L a tierra cuando S_1 está abierto.

Las Figuras 5.6-2*b*, *c* y *d* muestran las formas de onda de tensión en la carga para la señal de entrada que aparece en la Figura 5.6-2*a*. En esta figura se parte de que cuando la tensión de entrada es positiva, S_1 abre y S_2 cierra y viceversa. La Figura 5.6-2*b* muestra la forma de onda ideal de la tensión en la carga si no existiera la capacidad. La Figura 5.6-2*c* muestra la forma de onda en la salida si se suprime S_2 o está presente la capacidad de salida C_{01}. Si la constante de tiempo $\tau_1 = R_L C_{01}$ es comparable al período de la señal de entrada ($T_0 = 1/f_0$) la tensión en la carga podría posiblemente no alcanzar los 0 V. Incluso para el caso mostrado en la Figura 5.6-2*d*, vemos que la potencia disipada en la carga, P_L, ha disminuido significativamente con respecto a la disipada en el caso ideal mostrado en la Figura 5.6-2*b*. Este efecto es, por supuesto, directamente proporcional a la frecuencia de la señal a amplificar. Si

$$\tau_1 f_0 = R_L C_{01} f_0 \ll 1 \tag{5.6-7}$$

entonces la disminución de P_L no será significativa.

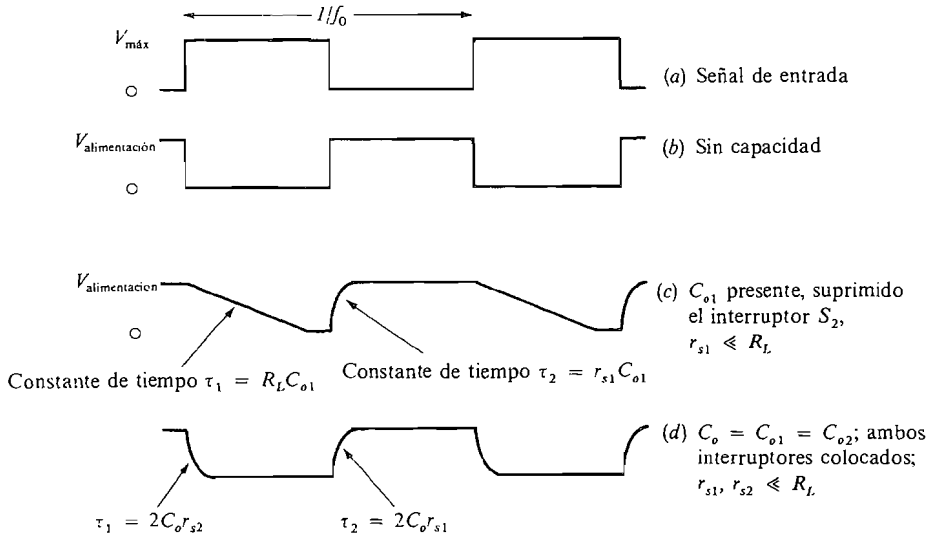

$1/f_0$
$V_{máx}$
(a) Señal de entrada
$V_{alimentación}$
(b) Sin capacidad
$V_{alimentacion}$
(c) C_{o1} presente, suprimido el interruptor S_2, $r_{s1} \ll R_L$
Constante de tiempo $\tau_1 = R_L C_{o1}$
Constante de tiempo $\tau_2 = r_{s1} C_{o1}$
(d) $C_o = C_{o1} = C_{o2}$; ambos interruptores colocados; $r_{s1}, r_{s2} \ll R_L$
$\tau_1 = 2C_o r_{s2}$
$\tau_2 = 2C_o r_{s1}$

Figura 5.6-2. Formas de onda.

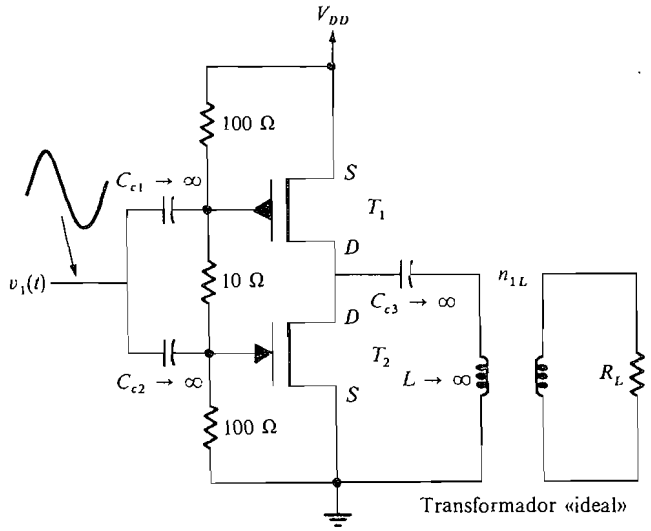


Figura 5.6-3. Amplificador de potencia de clase D con simetría complementaria.

Un amplificador de clase D típico se muestra en la Figura 5.6-3. T_1 y T_2 son transistores VMOSFET complementarios simétricos de manera que cuando $v_i(t)$ es positiva T_1 está en corte y T_2 está en conducción. La relación de espiras n se selecciona para que la resistencia de carga pueda recibir la tensión y la corriente necesarias.

EJEMPLO 5.6-2

El amplificador de clase D mostrado en la Figura 5.6-3 debe disipar 500 W. La tensión de alimentación es de 200 V y la resistencia de carga $R_L = 50\ \Omega$. Se emplea el FET DVD150T con $r_s = 0{,}5\ \Omega$ y $C_0 = 75$ pF. Encontrar n y la potencia máxima que deben disipar los FET.

Solución

Para disipar 500 W en la carga usamos (5.6-2) con R_L reemplazada por la resistencia reflejada n^2R_L:

$$P_L = \frac{0{,}2V^2_{\text{alimentación}}}{n^2R_L} \tag{5.6-8}$$

De aquí,
$$500 = \frac{0{,}2(200)^2}{50n^2}$$

y
$$n^2 = 0{,}32 \qquad n = 0{,}56$$

Seleccionamos $n = 0{,}5$ así que $P_{L,\,\text{máx}} = 640$ W.

Para calcular la potencia máxima que puede disiparse en cada transistor usamos (5.6-5) con R_L reemplazada por n^2R_L. Así,

$$P_{\text{interruptor}} = \frac{V^2_{\text{alimentación}}r_{s1}}{2(n^2R_L + r_{s1})^2} = \frac{(200)^2(0{,}5)}{2(12{,}5 + 0{,}5)^2} \approx 60\ \text{W} \tag{5.6-9}$$

5.7. AMPLIFICADORES DE CLASE S

El amplificador de potencia de clase D puede emplearse para amplificar una señal de FM o cualquier señal senoidal de amplitud constante. Sin embargo puesto que en un amplificador de clase D la amplitud de salida es insensible a los cambios de la amplitud de la señal, no puede ser empleado para amplificar una señal de AM.

El amplificador de potencia de clase S puede emplearse para amplificar señales tanto de AM como de FM (véase el diagrama de bloques en la Figura 5.7-1*a*). La entrada de un amplificador de clase S consiste en dos señales: la señal a ser amplificada $A(t)$ cos $\omega_0 t$ y una señal de amplitud mucho más grande que tiene una frecuencia portadora más pequeña. En la siguiente discusión suponemos que

$$|A(t)| \ll 1 \tag{5.7-1}$$

y que la frecuencia de la segunda señal es igual a la mitad de la frecuencia portadora f_0.

Las dos señales, primero se suman y luego se pasan a través de un limitador de diodos (un limitador de diodos es un dispositivo que tiene una salida $\pm$V cuando la entrada es positiva o negativa, respectivamente). La salida del sumador $v_a(t)$ es

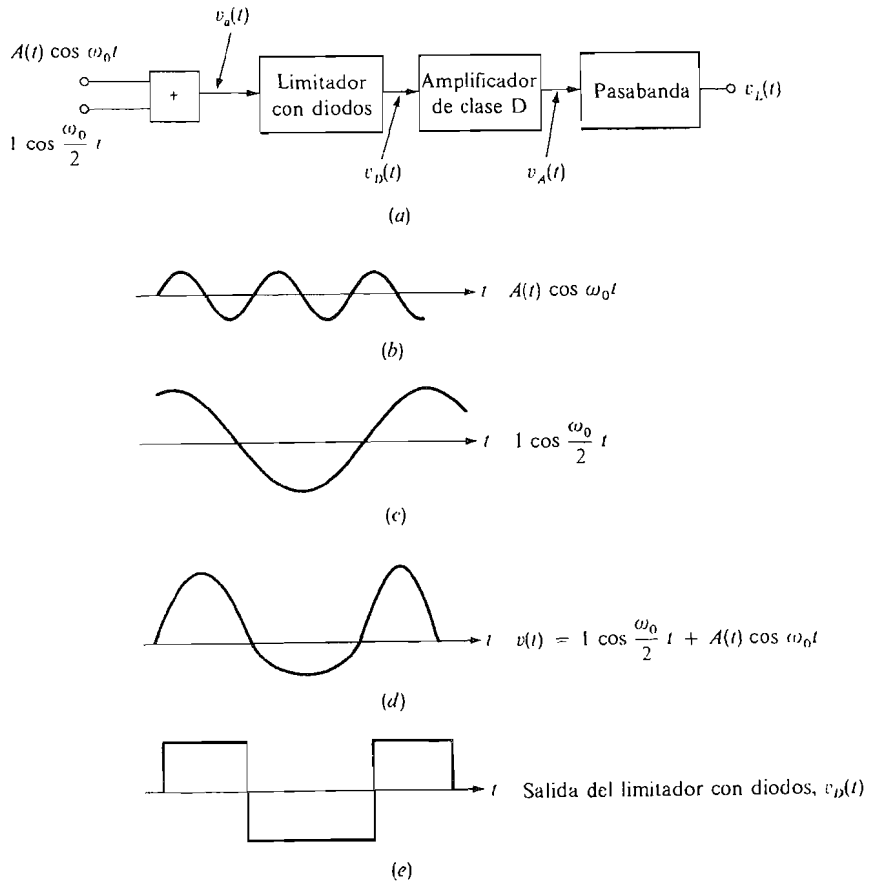


Figura 5.7-1. Amplificador de potencia de clase S: (*a*) diagrama de bloques; (*b*) señal modulada en AM; (*c*) señal senoidal de $\omega/2$; (*d*) salida del sumador; (*e*) salida del limitador con diodos.

$$v_a(t) = \cos \frac{\omega_0}{2} t + A(t) \cos \omega_0 t \tag{5.7-2}$$

Las señales y su suma se muestran en las Figuras 5.7-1*b*, *c* y *d*. Podemos escribir

$$\cos \omega_0 t = \cos \left(\frac{\omega_0}{2} t + \frac{\omega_0}{2} t \right)$$

$$= \cos \frac{\omega_0}{2} t \cos \frac{\omega_0}{2} t - \operatorname{sen} \frac{\omega_0}{2} t \operatorname{sen} \frac{\omega_0}{2} t \tag{5.7-3}$$

Reemplazando cos $\omega_0 t$ en (5.7-2) por el resultado de (5.7-3) se obtiene

$$v_a(t) = \cos \frac{\omega_0}{2} t + A(t) \cos \frac{\omega_0}{2} t \cos \frac{\omega_0}{2} t - A(t) \operatorname{sen} \frac{\omega_0}{2} t \operatorname{sen} \frac{\omega_0}{2} t$$

$$= \left[1 + A(t) \cos \frac{\omega_0}{2} t\right] \cos \frac{\omega_0}{2} t - \left[A(t) \operatorname{sen} \frac{\omega_0}{2} t\right] \operatorname{sen} \frac{\omega_0}{2} t$$

$$= \sqrt{\left[1 + A(t) \cos \frac{\omega_0}{2} t\right]^2 + \left[A(t) \operatorname{sen} \frac{\omega_0}{2} t\right]} \cos \left[\frac{\omega_0}{2} t + \tan^{-1} \frac{A(t) \operatorname{sen} (\omega_0/2)t}{1 + A(t) \cos (\omega_0/2)t}\right] \tag{5.7-4}$$

Esta señal $v_a(t)$ se muestra en la Figura 5.7-1*d*. La salida del limitador de diodos $v_0(t)$, como muestra la Figura 5.7-1*e*, es una onda cuadrada con transiciones siempre que $v_a(t)$ es igual a cero, siendo igual a ± 1 cuando $v_a(t) \gtrless 0$, respectivamente.

Se demuestra fácilmente que los pasos por cero de $v_a(t)$, como en la Figura 5.7-1*d*, ocurren siempre que el ángulo de fase del coseno en (5.7-4) es igual a $(2n - 1)(\pi/2)$,

$$\cos \left[\frac{\omega_0}{2} t + \tan^{-1} \frac{A(t) \operatorname{sen} (\omega_0/2)t}{1 + A(t) \cos (\omega_0/2)t}\right] = 0 \tag{5.7-5a}$$

Siempre que,

$$\frac{\omega_0}{2} t + \tan^{-1} \left[\frac{A(t) \operatorname{sen} (\omega_0/2)t}{1 + A(t) \cos (\omega_0/2)t}\right] = (2n - 1) \frac{\pi}{2} \tag{5.7-5b}$$

Así los pasos por cero varían con el tiempo y $v_D(t)$ posee un ancho variable. Los ingenieros de comunicaciones denominan a esta forma de onda modulada en ancho de pulso (PWM).

Esta onda cuadrada modulada en ancho de pulso se amplifica entonces mediante un amplificador de clase D y se filtra. Una vez que la tensión amplificada $v_A(t)$ es filtrada resulta una señal senoidal $v_1(t)$, que es la misma que en (5.7-4) pero con amplitud constante debido a la ganancia del amplificador, que llamaremos K. Así,

$$v_L(t) = K \cos \left[\frac{\omega_0}{2} t + \tan^{-1} \frac{A(t) \operatorname{sen} (\omega_0/2)t}{1 + A(t) \cos (\omega_0/2)t}\right] \tag{5.7-6}$$

Para que el sistema amplificador de clase S funcione correctamente $|A(t)| \ll 1$, como se indicó en (5.7-1). Puesto que éste es el caso,

$$1 + A(t) \cos \frac{\omega_0}{2} t \approx 1 \tag{5.7-7a}$$

y

$$\tan^{-1} \left[\frac{A(t) \operatorname{sen} (\omega_0/2)t}{1}\right] \approx A(t) \operatorname{sen} \frac{\omega_0}{2} t \tag{5.7-7b}$$

dado que $\tan^{-1}$ de un número pequeño es aproximadamente igual a este número. De aquí,

$$v_L(t) \approx K \cos \left[\frac{\omega_0}{2} t + A(t) \operatorname{sen} \frac{\omega_0}{2} t\right] \tag{5.7-8}$$

Desarrollando resulta

$$v_L(t) \approx K \cos\left[A(t) \operatorname{sen} \frac{\omega_0}{2} t\right] \cos \frac{\omega_0}{2} t - K \operatorname{sen}\left[A(t) \operatorname{sen} \frac{\omega_0}{2} t\right] \operatorname{sen} \frac{\omega_0}{2} t \qquad (5.7\text{-}9)$$

Puesto que $|A(t)| \ll 1$,

$$\cos\left[A(t) \operatorname{sen} \frac{\omega_0}{2} t\right] \approx 1 \qquad (5.7\text{-}10a)$$

y

$$\operatorname{sen}\left[A(t) \operatorname{sen} \frac{\omega_0}{2} t\right] \approx A(t) \operatorname{sen} \frac{\omega_0}{2} t \qquad (5.7\text{-}10b)$$

Sustituyendo (5.7-10) en (5.7-9) se obtiene

$$\begin{aligned} v_L(t) &\approx K \cos \frac{\omega_0}{2} t - KA(t) \operatorname{sen}^2 \frac{\omega_0}{2} t \\ &= K \cos \frac{\omega_0}{2} t - \frac{K}{2} A(t) + \frac{K}{2} A(t) \cos \omega_0 t \end{aligned} \qquad (5.7\text{-}11)$$

El filtrado pasabanda elimina los términos $f_0/2$ y bandabase, y solamente deja el término f_0:

$$v_L = \frac{K}{2} A(t) \cos \omega_0 t \qquad (5.7\text{-}12)$$

Así la señal AM, $A(t) \cos \omega_0 t$, donde $A(t)$ es pequeña, ha sido amplificada en potencia con una ganancia K de una forma muy eficiente.

RESUMEN

Se han considerado los amplificadores de potencia básicos de clase A y push-pull de clase B y se han presentado los procedimientos para establecer los diseños preliminares de los circuitos. En todos los casos el diseño del circuito de un amplificador de potencia debe ser acompañado por un diseño térmico que asegurará que la temperatura en la unión se mantiene dentro de los límites de seguridad. Las configuraciones en push-pull de clase B consiguen un rendimiento significativamente más elevado y una menor extracción de energía de la fuente de alimentación. Así, para una potencia de salida dada se necesitan transistores mucho más pequeños y ligeros. En particular, la configuración de simetría complementaria es muy atractiva debido a la simplicidad del circuito y a la disponibilidad de parejas de transistores complementarios adaptados.

Además, se presentó una discusión preliminar de las clases C, D y S. Estos amplificadores se usan normalmente a frecuencias que exceden 1 MHz.

En la práctica el diseño preliminar de un amplificador de potencia se hace normalmente sobre papel y los ajustes finales se realizan en el laboratorio, donde se miden fácilmente la potencia de salida, la distorsión, el rendimiento y la estabilidad con la temperatura.

PROBLEMAS

5.1-1. Para el circuito de la Figura P5.1-1 (*a*) trazar las rectas de carga de c.c. y c.a. y (*b*) hallar las máximas v_{CE}, i_C e i_L sin distorsión. (*c*) Calcular la máxima potencia disipada en la carga, la potencia total entregada por la fuente de V_{CC}, la potencia disipada en el colector y el rendimiento.

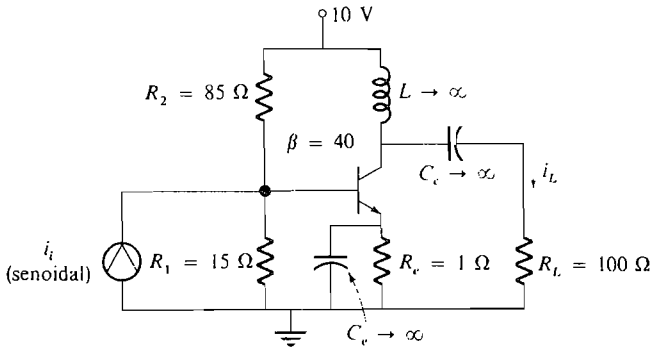


Figura P5.1-1.

5.1-2. El circuito de la Figura P5.1-2 es un amplificador de potencia de clase A que debe suministrar una máxima potencia sin distorsión de 2 W a la carga de 10 Ω. Deben ser especificados los mínimos valores nominales necesarios en el transistor. Hallar I_{CQ}, P_{CC} y η. Especificar también $P_{C,\text{máx}}$, $v_{CE,\text{máx}}$ e $i_{C,\text{máx}}$ del transistor. Despreciar R_e y las pérdidas en el circuito de polarización.

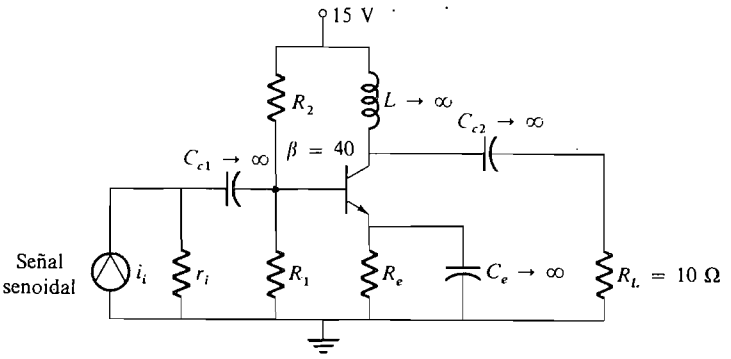


Figura P5.1-2.

5.1-3. En el Ejemplo 5.1-2 suponer que $i_{C,\text{máx}}$ = 2,0 A. Determinar la máxima excursión alcanzable y la máxima potencia en la carga.

5.1-4. Repetir el Problema 5.1-1 si la tensión de saturación colector-emisor del transistor es 1 V.

5.2.1. Los valores nominales del transistor están especificados para funcionamiento en clase A en la Figura P5.2-1. La máxima potencia necesaria en la carga es 2 W. Despreciar R_e y las pérdidas en el circuito de polarización.

(*a*) Hallar P_{CC}, suponiendo que el amplificador está calculado para el máximo rendimiento.
(*b*) Hallar I_{CQ}.
(*c*) Especificar los valores nominales de $i_{C,\text{máx}}$, $v_{CE,\text{máx}}$ y $P_{C,\text{máx}}$ del transistor.
(*d*) Si R_L = 6,25 Ω, hallar la relación de espiras N.

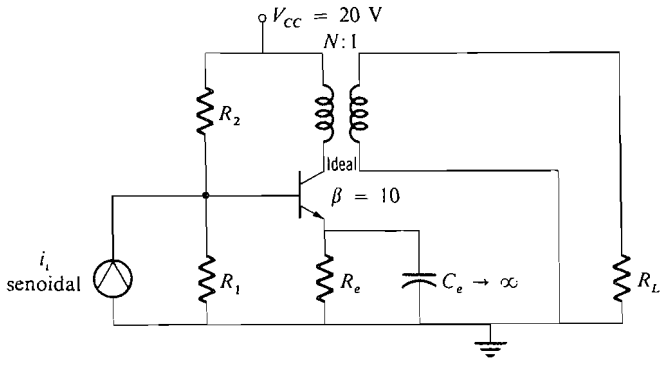


Figura P5.2-1.

5.2-2. Repetir el Problema 5.2-1 suponiendo que el rendimiento del transformador es del 75 por 100.

5.2-3. En el Problema 5.2-1 la máxima potencia $P_L = 2$ W se obtiene cuando $i_i = I_{im}$ sen ωt. Encontrar P_L cuando

$$i_i = \frac{I_{im}}{2} \text{ sen } \omega t + \frac{I_{im}}{2} \text{ sen } 3\omega t$$

5.2-4. Repetir el Problema 5.2-1 suponiendo $V_{CE,\text{sat}} = 1$ V. Incluir el efecto de las pérdidas en los circuitos de emisor y polarización. Suponer que $R_e = 1\ \Omega$ y $R_1 = 10\ \Omega$.

5.2-5. En el amplificador de potencia de clase A acoplado por emisor mostrado en la Figura P5.2-5, $P_{C,\text{máx}} = 100$ W. Hallar R_b, V_{BB} y N para que pueda ser transmitida la máxima potencia a la carga. Hallar también P_{CC}, $P_{L,\text{máx}}$, P_C y η.

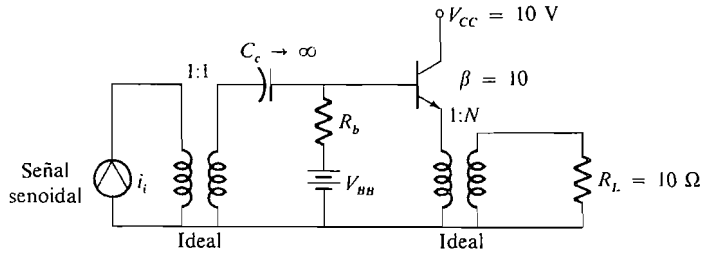


Figura P5.2-5.

5.2-6. En el circuito de la Figura P5.2-6 hallar N para que pueda ser disipada la máxima potencia en la carga. Calcular $P_{L,\text{máx}}$, $P_{C,\text{máx}}$ y P_{CC}. Incluir el efecto de las pérdidas en los circuitos de polarización de emisor.

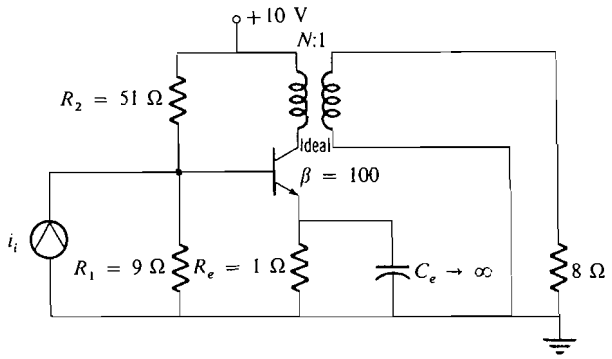


Figura P5.2-6.

5.2-7. En el Ejemplo 5.2-1 calcular N y P_{Lm} si $V_{CC} = 9$ V. Comparar con el resultado del ejemplo en que $V_{CC} = 12{,}6$ V.

5.2-8. Repetir el Problema 5.2-7 si $V_{CC} = 18$ V.

5.3-1. Para el amplificador push-pull de clase B representado en la Figura P5.3-1 calcular los valores máximos de i_C, i_L, v_{CE}, P_L, P_C y P_{CC}. Representar P_{CC}, P_L y P_C en función de i_C en el margen $0 \leq i_C \leq i_{C,\text{máx}}$.

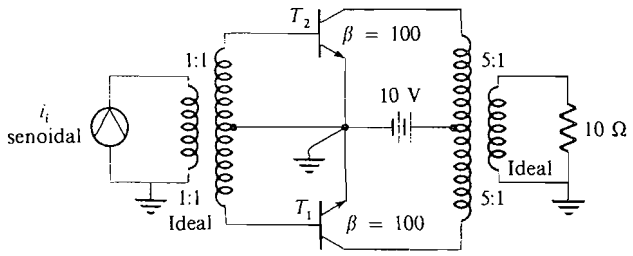


Figura P5.3-1.

5.3-2. Calcular un amplificador push-pull de clase B que entregue 10 W a una carga de 10 Ω, utilizando transistores que tengan $BV_{CEO} = 40$ V. Especificar para cada transistor $P_{C,\text{máx}}$, V_{CC} y la relación de transformación N necesaria.

5.3-3. Repetir el Problema 5.3-1 con el transformador en el circuito de emisor.

5.3-4. Se dispone de transistores que tienen $BV_{CEO} = 50$ V y $P_{C,\text{máx}} = 1$ W. Diseñar un amplificador push-pull de clase B utilizando estos transistores, si $V_{CC} = 22{,}5$ V.
(*a*) Especificar la resistencia reflejada de la carga y hallar la máxima salida de potencia.
(*b*) Hallar la excursión necesaria de la corriente de entrada si $\beta \approx 50$.

5.3-5. Se gobierna un altavoz de 8 Ω y 500 mW desde un amplificador push-pull de clase B. La fuente de alimentación es de 9 V. Los transistores que se utilicen deben tener $V_{CE,\text{sat}} = 1$ V. Elegir un valor adecuado de N y hallar P_{CC} y P_C cuando en la carga se disipan 500 mW.

5.3-6. En el circuito de la Figura P5.3-6 los transistores T_1 y T_2 no son lineales, por lo que

$$i_{C2} = 10i_{B2} + i_{B2}^2 \quad \text{e} \quad i_{C1} = 10i_{B1} + i_{B1}^2$$

Si

$$i_i = \cos \omega_0 t$$

hallar i_L. Obsérvese la distorsión que resulta de las alinealidades.

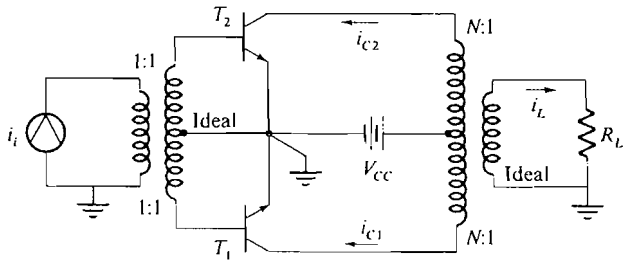


Figura P5.3-6.

5.3-7. Diseñar un amplificador push-pull de salida directamente acoplada como en la Figura 5.3-10 para obtener la máxima salida a una carga de 8 Ω. Las especificaciones del transistor son $P_{C,\text{máx}} = 6$ W, $BV_{CEO} = 50$ V, $i_{C,\text{máx}} = 1$ A y $h_{FE} = 100$.

5.4-1. Para el amplificador de simetría complementaria representado en la Figura P5.4-1. (*a*) Calcular la máxima potencia disipada en la carga, (*b*) la máxima potencia suministrada por las fuentes de tensión V_{CC} y $-V_{EE}$; y (*c*) la máxima potencia disipada por cada transistor.

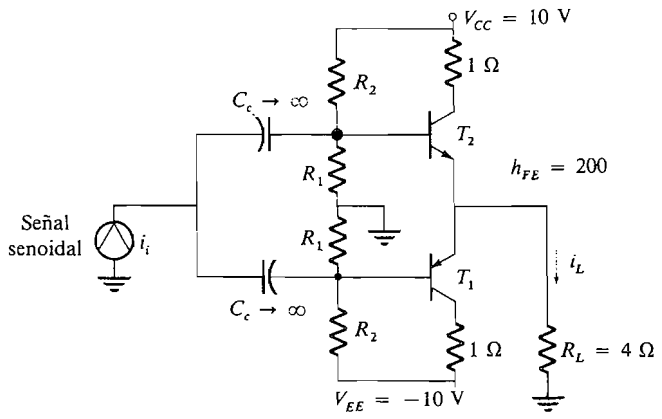


Figura P5.4-1.

(*d*) Representar P_L, P_{CC} y P_C en función de I_{cm} en el margen $0 < I_{cm} < 2$ A.
(*e*) Diseñar la red de polarización con el fin de suprimir la distorsión de cruce. Elegir $R_1 \parallel R_2 = 10$ kΩ y ajustar para 0,65 V
(*f*) Representar las máximas v_{CE2}, i_{C2} e i_L sin distorsión.

5.4-2. Para el amplificador de simetría complementaria de la Figura P5.4-2 (*a*) calcular R_x para que se elimine la distorsión de cruce con 0,65 V.
(*b*) Representar la máxima forma de onda senoidal sin distorsión para v_{CE2}, i_{C2} e i_L.
(*c*) Determinar P_{salida}, P_{CC} y η para la máxima corriente de salida.
(*d*) Determinar la máxima disipación en el colector y la máxima amplitud de la corriente de colector que produzca esta disipación.

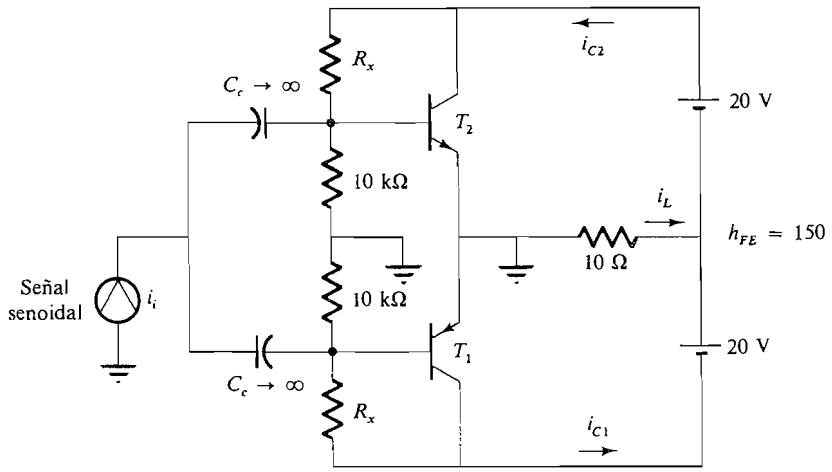


Figura P5.4-2.

5.4-3. En el circuito de la Figura P5.4-3 suprimir la distorsión de cruce utilizando polarización por diodo.
(*a*) Calcular la corriente en D_1, D_2, T_1, T_2 cuando $i_i = 0$. Suponer que hay simetría.

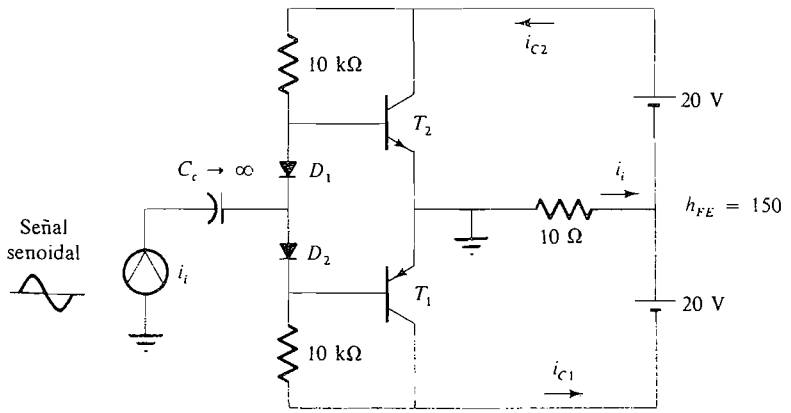


Figura P5.4-3.

(*b*) Cuando $i_i > 0$, ¿qué transistor se bloquea? Repetir para $i_i < 0$.
(*c*) Representar las máximas v_{CE2}, i_{C2} e i_L sin distorsión.
(*d*) Determinar P_L, P_{CC} y η para la máxima corriente de salida.
(*e*) Determinar la máxima disipación en el colector y la máxima amplitud de la corriente de colector que produzca esta disipación.

5.5-1. Verificar (5.5-2).

5.5-2. Integrar (5.5-3).

5.5-3. El amplificador de clase C descrito en el Ejemplo 5.5-1 está funcionando con la máxima cresta posible de corriente de colector $I_{cm} = 0{,}2$ A.
(*a*) Calcular R_L.
(*b*) Evaluar (5.5-9) y determinar τ/T_0 para asegurar que la máxima potencia media disipada no supera los 4 W (máxima potencia permitida en el transistor).
(*c*) Calcular la máxima potencia entregada a la resistencia de carga a la frecuencia f_0.
(*d*) Calcular la potencia total suministrada por la fuente de alimentación de continua.
(*e*) Determinar el rendimiento del amplificador.

5.6-1. Verificar (5.6-1)

5.6-2. Verificar (5.6-2)

5.6-3. El amplificador en push-pull de clase D del Ejemplo 5.6-2 emplea transformador.
(*a*) Calcular R_L.
(*b*) Calcular la potencia disipada en cada transistor
(*c*) Calcular el rendimiento del amplificador.

5.7-1. Sea $A(t) = 0{,}1 \cos \omega_0 t$.
(*a*) Determinar la salida del limitador.
(*b*) Si $v_L(t)$ está dada por (5.7-6), desarrollarla en serie de Taylor y demostrar que $v_L(t)$ puede reducirse a (5.7-12).

CAPITULO

6

Análisis y diseño de amplificadores de baja frecuencia para pequeña señal

INTRODUCCION

A menudo diseñamos un amplificador porque la señal disponible es demasiado pequeña para la aplicación que se pretende. El diseño del amplificador debe tener en cuenta la tensión de entrada disponible y la impedancia de entrada, así como la tensión de salida deseada y la resistencia de carga. En la Figura 6.1 vemos que una señal de entrada v_i, siendo la resistencia de entrada, R_i, es amplificada para proporcionar una tensión v_L sobre la carga R_L. El propósito del amplificador es realizar esta función. Sin embargo, el amplificador se caracteriza por una resistencia de entrada y otra de salida que tienden a disminuir la ganancia de cualquier amplificador realizado con transistores. En este capítulo desarrollaremos los circuitos equivalentes para pequeña señal del BJT y FET y aprenderemos a diseñar amplificadores para conseguir las especificaciones de funcionamiento deseadas. En cuanto a este punto, se enfatizan las aproximaciones gráficas como una ayuda conceptual en la solución de problemas de análisis y diseño. Esta aproximación se encontró útil cuando se consideraron el punto de funcionamiento en continua y los amplificadores de potencia, donde aparecen grandes señales. En este capítulo se estudia la respuesta de los circuitos con transistores ante *pequeña señal.*

Cuando las excursiones de corriente y tensión colector-emisor o drenaje-fuente son muy pequeñas, el transistor puede considerarse lineal y reemplazarse, a efectos de análisis, por *circuitos equivalentes para pequeña señal.* El método gráfico ya no se usa y el modelo lineal puede analizarse utilizando técnicas normales de análisis de redes (por ejemplo: ecuaciones de nudos o mallas) para determinar la respuesta en pequeña señal. Para simplificar los cálculos de respuesta, se aplica la *reflexión de impedancia.* Utilizando este método, los circuitos, generalmente, pueden simplificarse hasta el punto de resolverse por simple inspección.

Se supone que los circuitos equivalentes desarrollados en este capítulo son independientes de la frecuencia. La respuesta a distintas frecuencias se considerará en el Capítulo 9.

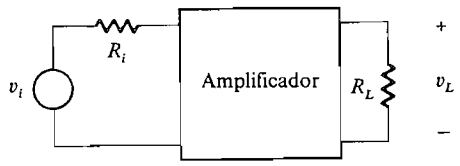


Figura 6.1. El amplificador como cuadripolo.

En la práctica, el cálculo de amplificadores de tensión o corriente para pequeña señal se divide en dos partes. La primera consiste en establecer la polarización de corriente continua, o sea, hallar el punto de reposo adecuado. Para ello se utiliza el método gráfico; la segunda parte incluye los cálculos de amplificación e impedancia a las frecuencias de la señal; aquí se utiliza el circuito equivalente para pequeña señal. Estas dos partes no son completamente independientes porque, como veremos, los valores de algunos componentes del circuito equivalente son función del punto de reposo.

6.1. LOS PARAMETROS HIBRIDOS: TRANSISTOR BIPOLAR DE UNION

Los elementos del circuito equivalente del BJT pueden deducirse de la composición interna del dispositivo o de las propiedades en sus terminales. Es este último sistema el empleado ya que es más general y ventajoso.

Al analizar o calcular un amplificador con transistores, se consideran los dos pares de terminales, entrada y salida, y puede utilizarse la teoría de cuadripolos. Hay seis pares de ecuaciones que relacionan las magnitudes de entrada y salida y que pueden utilizarse para definir el comportamiento del cuadripolo representado en la Figura 6.1-1*a*. Estos seis pares de ecuaciones incluyen los parámetros de impedancia, admitancia, híbridos y de cadena, los cuales están relacionados entre sí. En la mayor parte de aplicaciones de los BJT, los parámetros híbridos (h) son los más útiles porque pueden medirse fácilmente, frecuentemente los dan los fabricantes en las tablas de características y proporcionan rápida información del comportamiento del circuito. La forma normal de las ecuaciones es

$$v_1 = h_{11}i_1 + h_{12}v_2 \tag{6.1-1a}$$

$$i_2 = h_{21}i_1 + h_{22}v_2 \tag{6.1-1b}$$

En estas ecuaciones las variables independientes son la corriente de entrada i_1 y la tensión de salida v_2. Las variables de corriente y tensión representan pequeñas variaciones alrededor del punto de reposo. Obsérvese que las direcciones de la corriente de pequeña señal indicadas en la Figura 6.1-1*b* son positivas hacia el interior de la red lo que se aparta de la convención empleada para describir las corrientes continua y total en el transistor.

En la teoría de circuitos con transistores, los subíndices numéricos son sustituidos por letras que indican la naturaleza del parámetro.

$$v_1 = h_i i_1 + h_r v_2 \tag{6.1-2}$$

$$i_2 = h_f i_1 + h_o v_2 \tag{6.1-3}$$

En el circuito equivalente de la Figura 6.1-1*b*, el circuito de entrada se obtiene de (6.1-2) usando la ley de Kirchhoff de tensiones y el circuito de salida (6.1-3) utilizando la

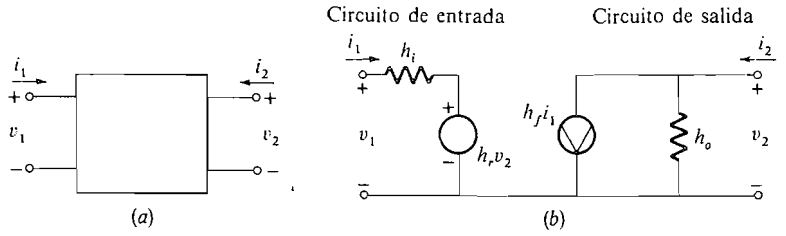


Figura 6.1-1. El cuadripolo: (*a*) general; (*b*) circuito equivalente en parámetros *h*.

ley de Kirchhoff de corrientes. El significado físico de los parámetros *h* puede obtenerse a partir de las ecuaciones que los definen o a partir del circuito. Por ejemplo (6.1-2) indica que h_i es dimensionalmente una impedancia. En el circuito de la Figura 6.1-1*b* se ve que es la impedancia de entrada con la salida cortocircuitada ($v_2 = 0$). El subíndice *i*, por lo tanto, significa entrada (*input*). Similarmente, h_r no tiene dimensiones y representa la inversa de la relación de tensión en circuito abierto.

Las definiciones de los cuatro parámetros son las siguientes:

$$h_i = \left.\frac{v_1}{i_1}\right|_{v_2=0} = \text{impedancia de entrada en cortocircuito} \tag{6.1-4}$$

$$h_r = \left.\frac{v_1}{v_2}\right|_{i_1=0} = \text{ganancia inversa de tensión en circuito abierto} \tag{6.1-5}$$

$$h_f = \left.\frac{i_2}{i_1}\right|_{v_2=0} = \text{ganancia de corriente en cortocircuito} \tag{6.1-6}$$

$$h_o = \left.\frac{i_2}{v_2}\right|_{i_1=0} = \text{admitancia de salida en circuito abierto} \tag{6.1-7}$$

El circuito equivalente de la Figura 6.1-1*b* es muy útil por numerosas razones: 1) aísla los circuitos de entrada y salida, siendo considerada su interacción por las dos fuentes controladas; 2) las dos partes del circuito tienen una forma tal que es fácil distinguir los circuitos de alimentación y carga. El circuito de entrada es un circuito equivalente de Thévenin y el de salida un circuito equivalente de Norton.

El circuito equivalente y las definiciones de las ecuaciones (6.1-4) a la (6.1-7) son métodos para medir los diversos parámetros. Por ejemplo (6.1-6) indica que h_f puede medirse colocando un cortocircuito para corriente alterna (condensador de gran capacidad) en los terminales de salida (de modo que $v_2 = 0$), aplicando una pequeña corriente alterna a la entrada y midiendo luego la relación de corrientes. *Obsérvese que las condiciones para la corriente continua han de mantenerse para poder determinar los parámetros h con respecto a un punto Q determinado.* Más adelante veremos que los parámetros *h* son todos ellos función del punto *Q*.

Ahora hallaremos los circuitos equivalentes para base común, emisor común y colector común (seguidor de emisor), utilizando los parámetros *h* siempre que sea posible. Estos parámetros deben determinarse en función del punto *Q*. Los parámetros, en general, son diferentes para cada configuración y pueden distinguirse añadiendo una letra de identifica-

ción como segundo subíndice. Así, por ejemplo, h_{ob} es la admitancia de salida para la configuración en base común.

A menudo los fabricantes dan los parámetros h para base común y el diseñador puede necesitar los de emisor común. El paso de uno a otro conjunto de parámetros debe hacerse utilizando métodos sencillos de análisis de circuitos que veremos más adelante.

6.2. CONFIGURACION EN EMISOR COMUN (EC)

En esta sección estudiaremos el circuito equivalente en pequeña señal de la configuración en emisor común representada en la Figura 6.2-1*a*. En los Capítulos 2 y 5, donde se consideró el comportamiento en gran señal, se supuso que la variación con el tiempo de v_{BE} era despreciable, comparada con la señal. Así el circuito base-emisor se representó mediante una fuente de tensión ($\approx$0,7 V). En este capítulo, que trata de señales pequeñas, el supuesto anterior que implicaría que h_{ie} y h_{re} son cero, no se hace.

La corriente de carga i_L, en el circuito de la Figura 6.2-1*a*, tiene una componente de c.c. así como una señal de c.a. Como se ha supuesto funcionamiento lineal, las componentes de corriente alterna y continua pueden tratarse separadamente, usando el método de superposición. Así, las fuentes de tensión y el condensador pueden reemplazarse por cortocircuitos, obteniéndose el circuito equivalente para c.a. de la Figura 6.2-1*b*. El transistor recuadrado se reemplaza por un circuito equivalente en parámetros h mostrado en la figura 6.1-1*b*. El resultado aparece en la figura 6.2-1*c*.

Ahora, de los cuatro parámetros híbridos de la Figura 6.2-1*c* tres pueden hallarse fácilmente. La ganancia de tensión inversa h_{re}, generalmente es despreciable, y se ha omitido.

6.2-1. Admitancia de salida h_{oe}

La admitancia de salida h_{oe} puede escribirse usando (6.1-7):

$$h_{oe} = \left.\frac{i_c}{v_{ce}}\right|_{i_b=0} \tag{6.2-1a}$$

donde i_c y v_{ce} se definen como pequeñas variaciones alrededor del punto de funcionamiento nominal. Por tanto, el parámetro h_{oe} es simplemente la pendiente de la característica de colector en el punto Q, como indica la Figura 6.2-2*a*:

$$h_{oe} = \left.\frac{\Delta i_C}{\Delta v_{CE}}\right|_{\text{punto } Q} \tag{6.2-1b}$$

La admitancia de salida h_{oe} se puede calcular por las ecuaciones de Ebers-Moll. Consideremos

$$\frac{i_C}{i_B} = h_{FE}\left(\frac{\epsilon^{v_{CE}/V_T} - 1/\alpha_R}{\epsilon^{v_{CE}/V_T} + h_{FE}/h_{FC}}\right) \tag{2.2-17a}$$

Derivando i_C con respecto a v_{CE} y calculando el resultado para $i_B = I_{BQ}$ se tiene

$$h_{oe} = \left.\frac{\partial i_C}{\partial v_{CE}}\right|_{i_B=I_{BQ}} = \frac{I_{BQ}h_{FE}}{V_T}\epsilon^{v_{CE}/V_T}\left[\frac{h_{FE}/h_{FC} + 1/\alpha_R}{(\epsilon^{v_{CE}/V_T} + h_{FE}/h_{FC})^2}\right] \tag{6.2-1c}$$

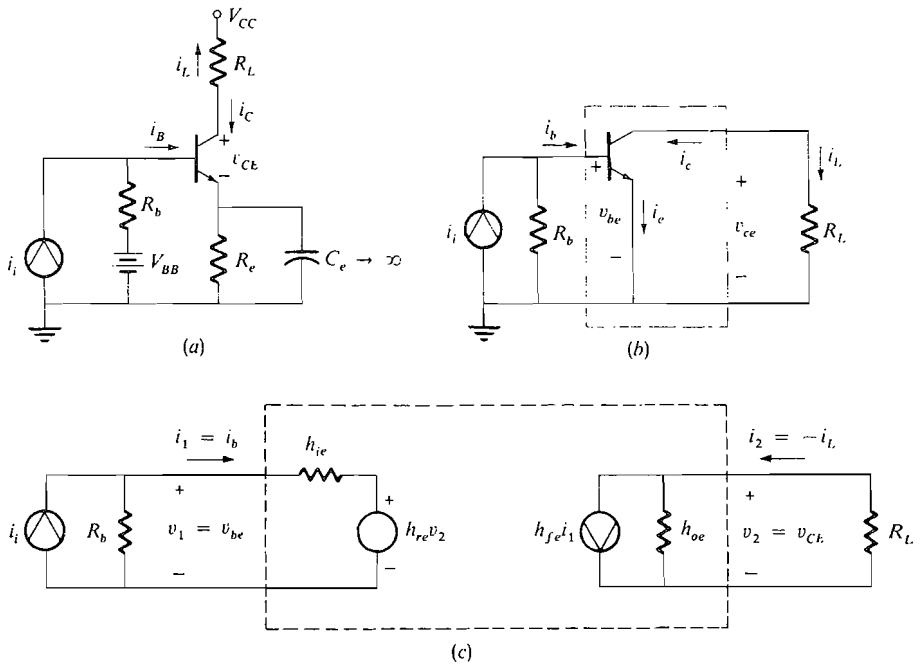


Figura 6.2-1. Configuración en emisor común: (*a*) circuito completo; (*b*) circuito para pequeña señal; (*c*) circuito equivalente del amplificador con transistor.

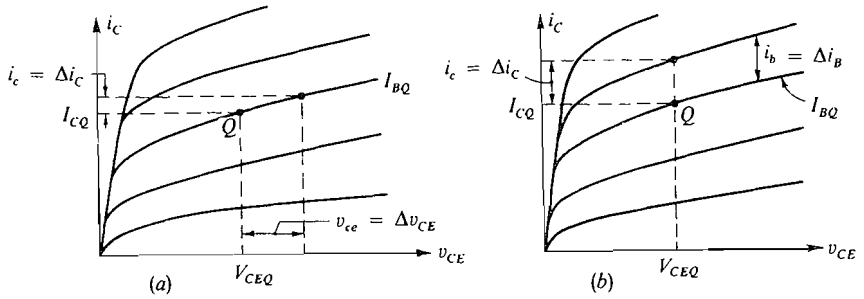


Figura 6.2-2. Cálculo de h_{oe} y h_{fe} por la característica *vi*. (*a*) h_{oe}; (*b*) h_{fe}.

Como $1/\alpha_R \ll h_{FE}/h_{FC}$ e $I_{CQ} = h_{FE}I_{BQ}$, (6.2-1*c*) se reduce a

$$h_{oe} = \frac{h_{FE}I_{CQ}}{h_{FC}V_T}\left[\frac{\epsilon^{v_{CE}/V_T}}{(\epsilon^{v_{CE}/V_T} + h_{FE}/h_{FC})^2}\right] \tag{6.2-1d}$$

La admitancia de salida se puede simplificar aún más si suponemos

$$\epsilon^{v_{CE}/V_T} \gg h_{FE}/h_{FC} \tag{6.2-1e}$$

Luego

$$h_{oe} \approx \frac{h_{FE}I_{CQ}}{h_{FC}V_T}\,\epsilon^{-v_{CE}/V_T} \tag{6.2-1f}$$

Por tanto h_{oe} es directamente proporcional a la corriente de colector en reposo y varía exponencialmente con la tensión colector-emisor.

Se pueden obtener valores numéricos para h_{oe} por medio de la característica *vi*, si se dispone de ella. Para la mayoría de transistores h_{oe} tiene un valor menor que 10^{-4} S* y, como está en paralelo con la resistencia de carga R_L, se puede despreciar siempre que R_L sea menor que 1 ó 2 kΩ, como suele ocurrir.

6.2-2. Ganancia en cortocircuito h_{fe}

La ganancia de corriente en cortocircuito, h_{fe}, se obtiene ajustando $R_L = 0$. Entonces, por (6.1-6),

$$h_{fe} = \left.\frac{i_c}{i_b}\right|_{\text{punto } Q} = \left.\frac{\Delta i_C}{\Delta i_B}\right|_{\text{punto } Q} \tag{6.2-2}$$

Se puede obtener este parámetro por la característica *vi*, como muestra la Figura 6.2-2*b*. La Figura 2.2-1 muestra que h_{fe} es aproximadamente igual a h_{FE} y que es función de la corriente en reposo. En todo el resto de este texto supondremos que, salvo otra indicación, $h_{fe} = h_{FE}$. Utilizaremos el símbolo h_{fe}.

6.2-3. Impedancia de entrada h_{ie}

Finalmente, h_{ie} se calcula utilizando (6.1-4)

$$h_{ie} = \left.\frac{v_{be}}{i_b}\right|_{v_{ce}=0} \tag{6.2-3a}$$

Se refiere al diodo de unión polarizado en sentido directo, visto desde los terminales de base y emisor. La relación en pequeña señal v_{be}/i_b representa la resistencia dinámica de la unión calculada en el punto Q. Esta resistencia ha sido determinada en (2.1-5). Haciendo uso de este resultado, tenemos

$$h_{ie} = \left.\frac{v_{be}}{i_b}\right|_{\text{punto } Q} = \frac{V_T}{I_{BQ}} \approx h_{fe}\frac{V_T}{I_{CQ}} \approx h_{fe}\frac{V_T}{I_{EQ}} \tag{6.2-3b}$$

A la temperatura ambiente, $V_T \approx 25$ mV, por lo que un transistor con $h_{fe} = 100$ e $I_{CQ} = 10$ mA tendrá una impedancia de entrada

$$h_{ie} = 250\ \Omega$$

* S es abreviatura de Siemens, unidad SI que ha reemplazado al Mho como unidad de conductancia (así denominada en honor del ingeniero alemán Werner von Siemens).

Obsérvese que h_{fe} puede variar en la relación 3:1 para el mismo tipo de transistor. Si h_{fe} en este transistor variase de 50 a 150, el margen de h_{ie} sería

$$125\ \Omega < h_{ie} < 375\ \Omega$$

Cuando se diseñan circuitos con transistores generalmente se hace uso del valor nominal de h_{fe} y en este ejemplo el valor nominal de h_{ie} es de 250 Ω. Sin embargo, se debe tener siempre en cuenta la posible variación de esta resistencia.

6.2-4. Circuito equivalente

Como resumen de los resultados obtenidos para la configuración en emisor común, en la Figura 6.2-3 se muestra el circuito equivalente en tres versiones sucesivamente simplificadas. En la Figura 6.2-3*a* aparece el circuito equivalente completo. La Figura 6.2-3*b* muestra el circuito equivalente despreciando h_{re} y la Figura 6.2-3*c* aquél en el que se desprecian h_{re} y h_{oe}. La versión de la Figura 6.2-3*c* se recuerda fácilmente y es adecuada para la mayoría de los cálculos.

Volvamos al circuito amplificador de la Figura 6.2-1*b* e introduzcamos el circuito equivalente en lugar del transistor como en la Figura 6.2-4. Las cantidades importantes son las impedancias de entrada y de salida y la ganancia de corriente. Estas se calculan fácil y directamente mediante el circuito. Para la ganancia de corriente

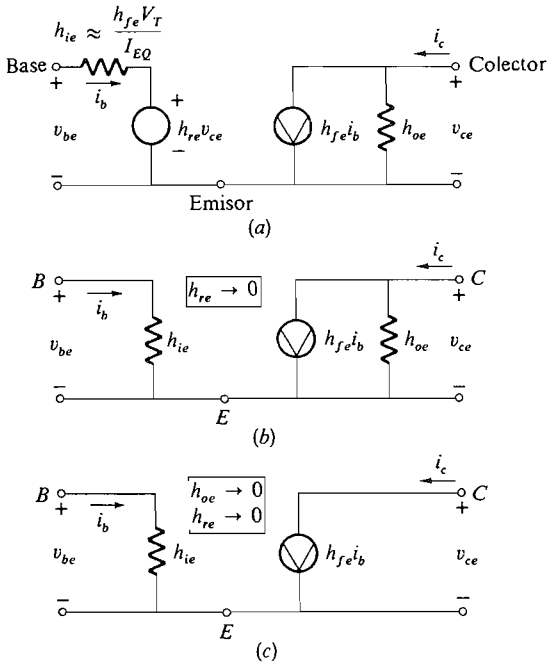


Figura 6.2-3. Circuitos equivalentes en pequeña señal para el transistor en configuración EC: (*a*) circuito híbrido completo; (*b*) circuito despreciando h_{re}; (*c*) circuito despreciando h_{re} y h_{oe}.

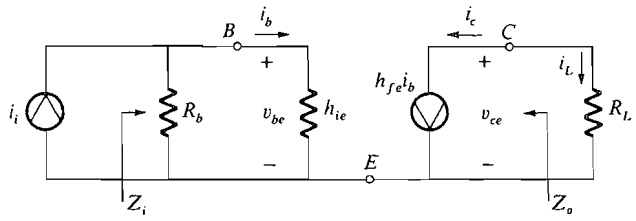


Figura 6.2-4. Circuito equivalente completo de un amplificador en emisor común.

$$\frac{i_b}{i_i} = \frac{R_b}{R_b + h_{ie}} = \frac{1}{1 + h_{ie}/R_b} \tag{6.2-4}$$

e

$$i_L = -i_c = -h_{fe}i_b \tag{6.2-5}$$

así

$$A_i = \frac{i_L}{i_i} = \frac{i_L}{i_b}\frac{i_b}{i_i} = \frac{-h_{fe}}{1 + h_{ie}/R_b} = \frac{-h_{fe}}{1 + h_{fe}[(25 \times 10^{-3})/I_{EQ}R_b]} \tag{6.2-6}$$

Para que la ganancia de corriente se aproxime al valor teórico máximo de h_{fe}, h_{ie}/R_b debe ser tan pequeño como sea posible, o sea, $R_b \gg h_{ie}$. Este resultado implica que para grandes ganancias de corriente, la mayor parte de la corriente de señal debe circular por la base del transistor y sólo una pequeña parte puede perderse en la red de polarización. En la Sección 4.1, se vio que para obtener una buena estabilidad contra las variaciones de h_{fe} y los efectos de la temperatura, debía satisfacerse la desigualdad $R_b \ll h_{fe}R_e$. Así, para cumplir simultáneamente con los requisitos de una elevada ganancia y una buena estabilidad, debemos hacer los cálculos de forma que se cumpla

$$h_{ie} = h_{fe}\frac{V_T}{I_{EQ}} \ll R_b \ll h_{fe}\,R_e \tag{6.2-7}$$

Si esta desigualdad puede satisfacerse, el amplificador tendrá gran ganancia de corriente y buena estabilidad. De lo contrario deberá optarse por una de las dos posibilidades.

A continuación calcularemos las impedancias de entrada y salida. Mirando hacia la derecha desde la fuente de corriente i_i, la impedancia de entrada Z_i es

$$Z_i = \frac{R_b h_{ie}}{R_b + h_{ie}} \approx h_{ie} \qquad \text{si } R_b \gg h_{ie} \tag{6.2-8}$$

Esta sencilla expresión es el resultado de la suposición de que h_{re} es despreciable. El cálculo de la impedancia de salida todavía es más simple. Si se tiene en consideración h_{oe}, entonces

$$Z_o = \left.\frac{v_{ce}}{i_c}\right|_{i_i=0} = \frac{1}{h_{oe}} \tag{6.2-9}$$

Si despreciamos h_{oe} entonces $Z_o \to \infty$.

Los parámetros h_{re} y h_{oe} no se dan casi nunca y se desprecian en los cálculos (véase la Sección 6.6 para un estudio detallado de los datos de los fabricantes).

EJEMPLO 6.2-1

En la Figura 6.2-5 el transistor bipolar tiene $h_{fe} = 50$. Se supone que todos los condensadores de desacoplo y acoplo tienen reactancia cero a las frecuencias de la señal. Hallar: (*a*) las condiciones de reposo, (*b*) el circuito equivalente en pequeña señal, despreciando h_{oe} y h_{re}, (*c*) la ganancia de corriente, $A_i = i_L/i_i$, (*d*) la impedancia de entrada «vista» por la fuente de corriente de señal i_i, (*e*) la impedancia de salida «vista» por la carga de 1 kΩ, y (*f*) la ganancia de corriente $Ai = i_L/i_i$ si no se emplea el amplificador y la resistencia de carga de 1 kΩ se conecta directamente a la entrada.

Solución

(*a*)
$$V_{BB} = \frac{10}{10 + 50}(24) = 4 \text{ V}$$

$$R_b = \frac{(10)(50)}{10 + 50} \text{ k}\Omega = 8{,}3 \text{ k}\Omega$$

Aplicando la segunda ley de Kirchhoff al bucle base-emisor se obtiene el circuito equivalente de c.c. representado en la Figura 6.2-5*b*. En este circuito todos los componentes del circuito de base han sido reflejados en el circuito de emisor haciendo uso de la relación

$$I_{BQ}R_b = \frac{I_{EQ}R_b}{h_{fe} + 1}$$

Este circuito se utiliza para hallar el punto Q

$$I_{EQ} = \frac{4 - 0{,}7}{166 + 2200} \approx 1{,}4 \text{ mA}$$

y
$$V_{CEQ} \approx 24 - I_{EQ}(R_c + R_e) = 15{,}6 \text{ V}$$

(*b*)
$$h_{ie} \approx \frac{25h_{fe}}{I_{EQ}} = \frac{(25)(50)}{1{,}4} = 893 \ \Omega$$

Así $h_{ie} \ll R_b$. El circuito equivalente resultante en pequeña señal está representado en la Figura 6.2-6.

(*c*)
$$A_i = \frac{i_L}{i_i} = \frac{i_b}{i_i}\frac{i_L}{i_b}$$

$$\frac{i_b}{i_i} = \frac{4{,}5 \times 10^3}{(4{,}5 + 0{,}89) \times 10^3} = 0{,}83$$

$$\frac{i_L}{i_b} = (-50)\frac{3{,}8 \times 10^3}{(3{,}8 + 1) \times 10^3} = -39{,}6$$

Entonces
$$A_i = (0{,}83)(-39{,}6) = -33$$

El signo menos en A_i aparece debido a que la dirección positiva de i_L es opuesta a la de i_c.

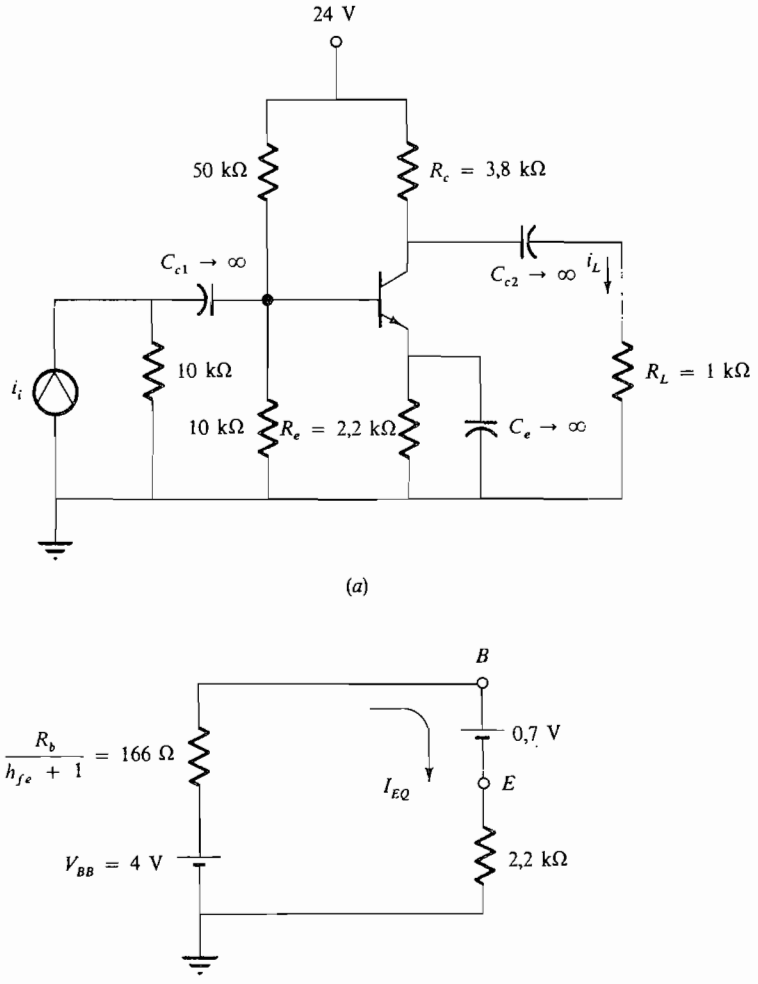


Figura 6.2-5. Ejemplo 6.2-1: (*a*) circuito; (*b*) circuito de polarización de c.c.

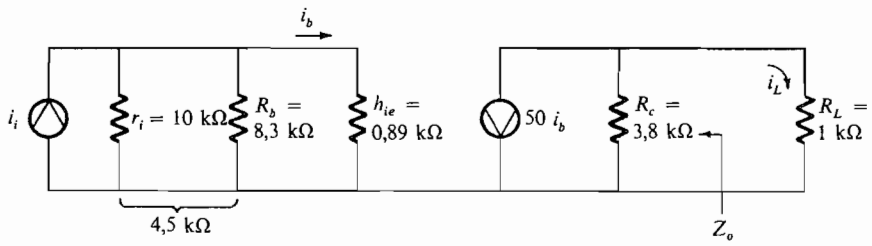


Figura 6.2-6. Circuito equivalente en pequeña señal del Ejemplo 6.2-1.

(*d*) $Z_i = 10\ \text{k}\Omega \parallel 8{,}3\ \text{k}\Omega \parallel 0{,}89\ \text{k}\Omega \approx 740\ \Omega$.
(*e*) $Z_o = 3{,}8\ \text{k}\Omega$ despreciando h_{oe}.
(*f*) Notar que si no se empleara el amplificador con transistor, y la fuente de corriente de entrada i_i, con su impedancia de 10 kΩ asociada, fuese colocada directamente sobre la resistencia de carga de 1 kΩ, la ganancia de corriente sería:

$$A_i = \frac{i_L}{i_i} = \frac{10}{11}$$

Así, el amplificador con transistor, como se esperaba, aumenta significativamente la corriente en la carga.

EJEMPLO 6.2-2

Hallar la ganacia de corriente del amplificador del Ejemplo 6.2-1 si $h_{re} = 10^{-4}$ y $h_{oe} = 10^{-4}$ S.

Solución

El circuito equivalente del amplificador se representa en la Figura 6.2-7. Considerando el circuito de salida, tenemos

$$i_L = (-50)\frac{2{,}75}{2{,}75 + 1}\, i_b = -36{,}7 i_b$$

Compárese con el Ejemplo 6.2-1, donde $i_L/i_b = -39{,}6$. Obsérvese que

$$v_{ce} = -36{,}7 \times 10^3 i_b$$

Volviendo al circuito de entrada y aplicando la ley de Kirchhoff de tensiones, obtenemos,

$$v_b = 890 i_b - (10^{-4})(36{,}7 \times 10^3) i_b = (890 - 3{,}67) i_b \approx 890 i_b$$

Por lo tanto, el efecto de h_{re} es despreciable en este ejemplo (y en la mayoría). La ganancia de corriente es

$$A_i = \frac{i_L}{i_i} = \frac{i_L}{i_b}\frac{i_b}{v_b}\frac{v_b}{i_i}$$

donde $$\frac{i_L}{i_b} = -36{,}7 \qquad \frac{i_b}{v_b} = \frac{1}{890\ \Omega}$$

e $$i_i = v_b\left(\frac{1}{10\ \text{k}\Omega} + \frac{1}{8{,}3\ \text{k}\Omega}\right) + i_b \approx v_b\left(\frac{1}{10\ \text{k}\Omega} + \frac{1}{8{,}3\ \text{k}\Omega} + \frac{1}{0{,}89\ \text{k}\Omega}\right) = \frac{v_b}{740\ \Omega}$$

Así $$A_i = \frac{i_L}{i_i} \approx (-36{,}7)(\tfrac{1}{890})(740) = -31$$

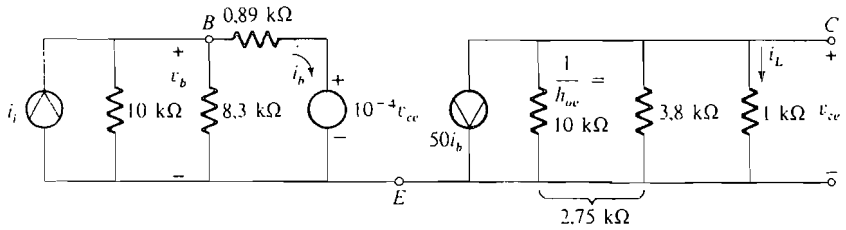


Figura 6.2-7. Circuito equivalente en pequeña señal del Ejemplo 6.2-2.

El efecto de incluir h_{oe} es reducir la ganancia calculada de $A_i \approx -33$ a $A_i \approx -31$. Generalmente esta pequeña reducción es despreciable.

EJEMPLO 6.2-3

Un transistor de silicio *npn* tiene un valor de $h_{fe} = 120$. Diseñar un amplificador de una sola etapa (Figura 6.2-8) con el que se consiga una ganancia de corriente pequeña señal de 60. La resistencia de carga es para 470 Ω y está acoplada capacitivamente al colector. La tensión de la fuente de alimentación, V_{CC}, es 9 V, y la impedancia de la fuente de señal es de 10 kΩ. Se aprecia una corriente de carga con un valor de cresta de 0,1 mA.

Solución

La Figura 6.2-9 represente el circuito equivalente en pequeña señal (se ha supuesto que $h_{oe} = h_{re} = 0$ y $R_1 \parallel R_2 = R_b$). La ganancia de corriente A_i es

$$A_i = \frac{i_L}{i_b}\frac{i_b}{i_i} = -120\left(\frac{R_c}{470 + R_c}\right)\left(\frac{10^4 \parallel R_b}{h_{ie} + (10^4 \parallel R_b)}\right)$$

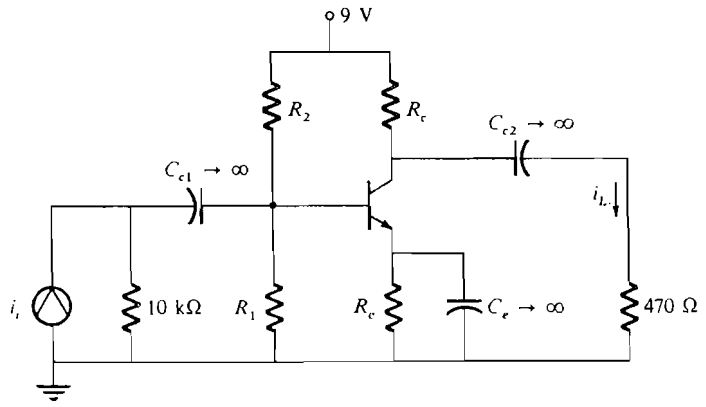


Figura 6.2-8. Circuito para el Ejemplo 6.2-3.

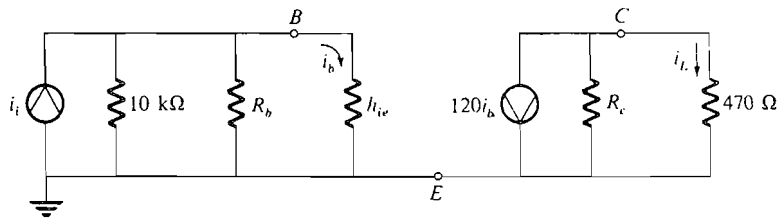


Figura 6.2-9. Circuito equivalente para el Ejemplo 6.2-3.

Como A_i es igual a -60 la expresión anterior se convierte en

$$\frac{1}{2} = \left(\frac{R_c}{470 + R_c}\right)\left(\frac{10^4 \parallel R_b}{h_{ie} + (10^4 \parallel R_b)}\right)$$

Evidentemente, existen muchas combinaciones de R_c, R_b y h_{ie} que satisfacen esta condición. Las escogemos arbitrariamente para que cada uno de los factores anteriores sean iguales. (Esto simplifica los cálculos y habitualmente proporciona un buen diseño.) Así, para obtener una ganancia de corriente mayor o igual que 60,

$$\frac{R_c}{470 + R_c} = \frac{10^4 \parallel R_b}{h_{ie} + (10^4 \parallel R_b)} \geqslant \sqrt{\frac{1}{2}} = 0{,}707$$

La primera desigualdad conduce a

$$R_c \geqslant 1{,}13 \text{ k}\Omega$$

La elección de R_b y h_{ie} determinará la corriente de reposo y la estabilidad de la etapa. Teniéndolo en cuenta se toma R_b de 10 kΩ. La segunda desigualdad conduce a la expresión

$$h_{ie} \leqslant 2{,}1 \text{ k}\Omega$$

(Si R_b fuese infinita, $h_{ie} = 4{,}14$ kΩ; por lo tanto, un gran cambio de R_b no implica dicho cambio en h_{ie}.)

Para que $h_{ie} = 2{,}1$ kΩ, la corriente de reposo I_{CQ} debe ser [Ec. (6.2-3)]

$$I_{CQ} \approx \frac{(120)(25 \times 10^{-3})}{2100} = 1{,}43 \text{ mA}$$

Para completar el cálculo escojamos R_e. Las rectas de carga de corriente continua y alterna se han representado en la Figura 6.2-10.

La resistencia de emisor R_e se elige de modo que

$$I_{CQ} = 1{,}43 \text{ mA} < \frac{9}{1130 + R_e}$$

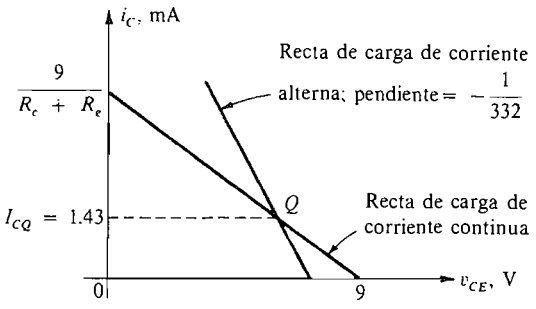


Figura 6.2-10. Recta de carga para el Ejemplo 6.2-3.

y, para conseguir un punto de reposo estable

$$R_b \ll h_{fe}R_e = 120R_e$$

En este ejemplo la estabilidad del punto de reposo no es crítica ya que se necesita solamente una excursión de cresta de 0,1 mA y la corriente de reposo es 1,43 mA. De este modo, un valor de $R_e = 1$ kΩ satisfará ambas condiciones. La excursión de cresta disponible es aproximadamente 1,43 mA, que es mucho mayor que lo necesario.

Los valores finales de las resistencias son

$R_c = 1{,}2$ kΩ el valor normalizado más próximo a 1,13 kΩ
$R_e = 1$ kΩ
$R_b = 10$ kΩ y $h_{ie} \ll R_b \ll h_{fe}R_e$

Para hallar R_1 y R_2 sabemos que

$$I_{CQ} \approx \frac{V_{BB} - V_{BE}}{R_e + R_b/h_{fe}}$$

Luego $$V_{BB} = (1{,}43 \times 10^{-3})(10^3 + 83{,}3) + 0{,}7 = 2{,}25 \text{ V}$$

Conociendo R_b y V_{BB}, se pueden hallar R_1 y R_2 partiendo de (2.3-1*c*) y (2.3-1*d*)

$R_1 \approx 13$ kΩ se utilizará 12 kΩ
$R_2 \approx 40$ kΩ se utilizará 39 kΩ

De este modo se ha completado el cálculo. Es importante tener en cuenta que pueden existir muchos resultados debido a lo amplio de las especificaciones. En particular, la división arbitraria de la fórmula de la ganancia de corriente en dos factores iguales podría ser inadecuada si las condiciones fueran más limitadas. Por ejemplo, si la ganancia necesaria aumentara de $A_i = 60$ a $A_i = 90$, R_c debería aumentar y h_{ie} debería disminuir. Para disminuir h_{ie}, debería aumentar la corriente de reposo. Este incremento está limitado por la elevada resistencia de colector, por lo que habrá que adoptar una solución intermedia.

6.3. CONFIGURACION EN BASE COMUN (BC)

La Figura 6.3-1*a* muestra el circuito del amplificador en configuración en base común. Esta configuración no produce ganancia de corriente, pero sí de tensión y además tiene propiedades útiles en altas frecuencias. La Figura 6.3-1*b* muestra el circuito amplificador eliminando la polarización en continua. La Figura 6.3-1*c* representa el circuito equivalente híbrido en pequeña señal. Las ecuaciones híbridas utilizando la notación y las direcciones de referencia de la figura son (obsérvese que $i_1 = -i_e$)

$$v_{eb} = h_{ib}i_1 + h_{rb}v_{cb} = h_{ib}(-i_e) + h_{rb}v_{cb} \tag{6.3-1}$$

$$i_c = h_{fe}i_1 + h_{ob}v_{cb} = h_{fb}(-i_e) + h_{ob}v_{cb} \tag{6.3-2}$$

La *resistencia de entrada* h_{ib} se define como [véase (6.2-3)]

$$h_{ib} = \frac{v_{eb}}{i_1} = \left.\frac{v_{eb}}{-i_e}\right|_{v_{cb}=0} = \frac{V_T}{I_{EQ}} \approx \frac{h_{ie}}{h_{fe} + 1} \tag{6.3-3a}$$

Así, si $h_{ie} = 1$ kΩ y $h_{fe} = 100$, entonces $h_{ib} = 10$ Ω. La resistencia de entrada del amplificador en base común generalmente es bastante menor que la del amplificador en emisor común.

La *ganancia de tensión inversa* h_{rb} es del orden de 10^{-4}, y generalmente puede despreciarse.

El *factor* h_{fb} *de amplificación de corriente directa* se define como

$$h_{fb} = \left.\frac{i_c}{i_1}\right|_{v_{cb}=0} = \left.\frac{i_c}{-i_e}\right|_{v_{cb}=0} = -\alpha \tag{6.3-3b}$$

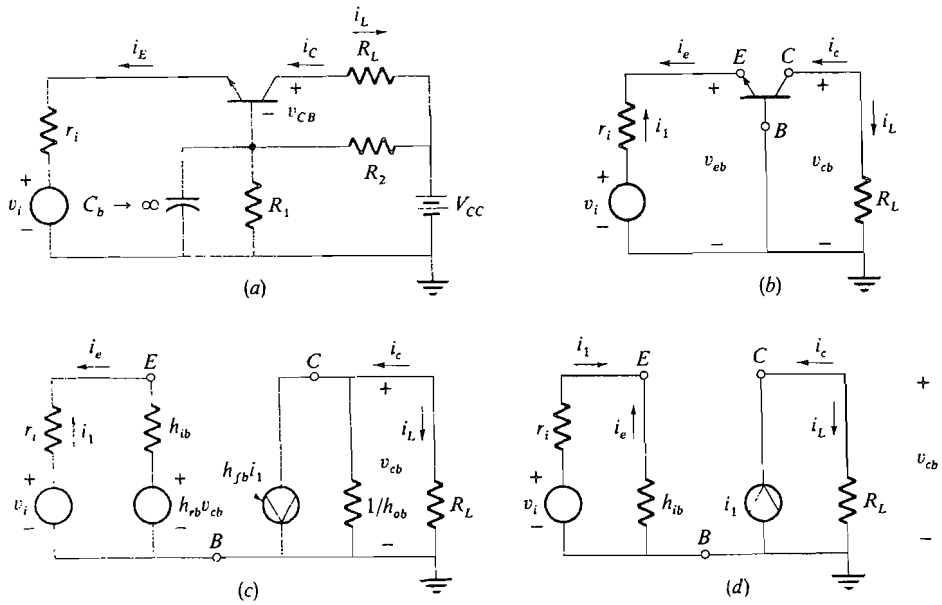


Figura 6.3-1. Amplificador en base común: (*a*) circuito completo; (*b*) circuito de c.a.; (*c*) circuito equivalente utilizando modelo híbrido; (*d*) circuito equivalente simplificado.

Así pues, h_{fb} es aproximadamente igual a -1 (observar los sentidos de i_c e i_e) y es de igual magnitud que el factor α de amplificación de corriente continua (véase Sec. 2.1).

La *admitancia de salida* h_{ob} es

$$h_{ob} = \left.\frac{i_c}{v_{cb}}\right|_{i_e = i_1 = 0} \tag{6.3-3c}$$

Este valor generalmente es igual a 1 μS, y a menudo puede despreciarse.

Un circuito equivalente aproximado de un amplificador en base común es el representado en la Figura 6.3-1*d* en el que se han despreciado h_{rb} y h_{ob} y se ha supuesto que h_{fb} es igual a -1.

Otro método para obtener la Figura 6.3-1*c* es el de modificar el circuito equivalente de la Figura 6.2-3*c* de modo que el emisor sea el terminal de entrada y la base el terminal común, tal como muestra la Figura 6.3-2. Ahora pueden aplicarse las definiciones de (6.3-3) al circuito modificado escribiendo la ley de Kirchhoff de corrientes en el terminal de emisor, con los terminales de colector y base en cortocircuito. El resultado es

$$-i_e + i_b + h_{fe}i_b = 0 \tag{6.3-4}$$

Simplificando

$$i_e = (1 + h_{fe})i_b = (1 + h_{fe})\frac{-v_{eb}}{h_{ie}} \tag{6.3-5}$$

Por tanto

$$-\left.\frac{v_e}{i_e}\right|_{v_{cb}=0} \equiv h_{ib} = \frac{h_{ie}}{1 + h_{fe}} \approx \frac{h_{ie}}{h_{fe}} \tag{6.3-6}$$

La ganancia de corriente en cortocircuito es

$$h_{fb} = \left.\frac{i_c}{-i_e}\right|_{v_{cb}=0} = -\frac{i_c}{i_b}\frac{i_b}{i_e} = \frac{-h_{fe}}{h_{fe} + 1} \approx -1 \tag{6.3-7}$$

Para hallar la admitancia de salida de la configuración en base común no podemos despreciar h_{oe} como se hizo en la Figura 6.3-2. Ahora empleamos la Figura 6.2-3*b*. Nótese que se ha incluido h_{oe}. Usando (6.3-3*c*) vemos que $i_e = 0$. Entonces, la corriente a través de h_{oe} es $(h_{fe} + 1)i_b$. Aplicando la ley de Kirchhoff de tensiones al bucle, tendremos

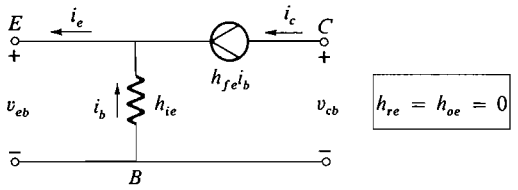


Figura 6.3-2. Circuito en emisor común modificado para hallar los parámetros h de la configuración en base común.

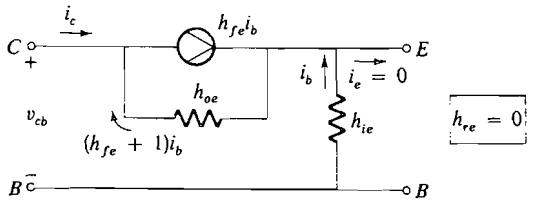


Figura 6.3-3. Circuito equivalente en base común para hallar h_{ob}.

$$v_{cb} + (h_{fe} + 1)\frac{i_b}{h_{oe}} + i_b h_{ie} = 0 \tag{6.3-8}$$

Como $i_e = 0$, $i_b = -i_c$. Además $(h_{fe} + 1)/h_{oe} \gg h_{ie}$, de modo que (6.3-8) se convierte en

$$v_{cb} \approx \frac{h_{fe} + 1}{h_{oe}} i_c$$

y

$$h_{ob} = \left.\frac{i_c}{v_{cb}}\right|_{i_e=0} = \frac{h_{oe}}{h_{fe} + 1} \approx \frac{h_{oe}}{h_{fe}} \tag{6.3-9}$$

La impedancia de salida $1/h_{ob}$ es del orden de varios megaohmios para la mayoría de transistores. Como en el circuito en emisor común, la transmisión inversa h_{rb} y, generalmente, la admitancia de salida h_{ob} se desprecian para cálculos de baja frecuencia.

Para hallar los parámetros de la configuración en base común h_{ob}, h_{fb} y h_{ib}, se divide simplemente el parámetro correspondiente en emisor común por $1 + h_{fe}$. Así, si los parámetros en emisor común de un transistor determinado son $1/h_{oe} = 10$ kΩ, $h_{fe} = 100$ y $h_{ie} = 250$ Ω, el mismo transistor en configuración en base común tendrá $1/h_{ob} = 1$ MΩ, $h_{fb} = -100/101 = -0{,}99$ y $h_{ib} = 2{,}5$ Ω. La etapa en base común tiene, por tanto, una impedancia de entrada menor y una impedancia de salida mayor que una etapa en emisor común.

EJEMPLO 6.3-1

(*a*) Hallar los parámetros de la configuración en base común del transistor del Ejemplo 6.2-1. Utilícese

$$\frac{1}{h_{oe}} = 10 \text{ k}\Omega$$

(*b*) El transistor se conecta en la configuración en base común con $r_i = 100$ Ω y $R_L = 5$ kΩ (Fig. 6.3-4). Hallar las ganancias de corriente y de tensión y las impedancias de entrada y salida.

Solución

(*a*) Por ejemplo 6.2-1 tenemos

$$h_{fe} = 50 \qquad h_{oe} \approx 10^{-4} \text{ S} \qquad h_{ie} = 0{,}83 \text{ k}\Omega \qquad h_{re} \approx 0$$

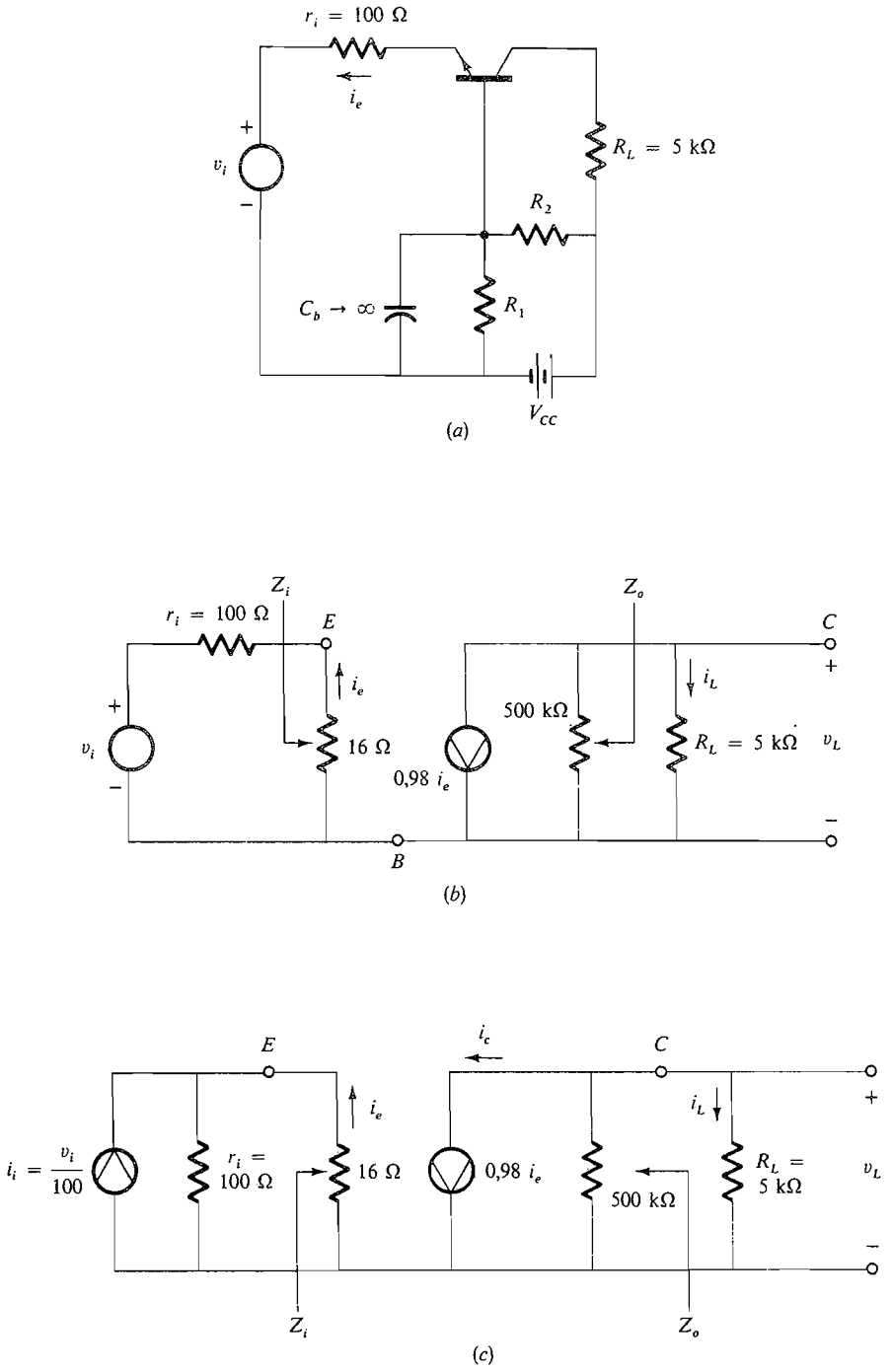


Figura 6.3-4. Circuito para el Ejemplo 6.3-1: (*a*) circuito completo; (*b*) circuito de c.a.; (*c*) equivalente de fuente de corriente.

Utilizando (6.3-7) y (6.3-3) se obtiene

$$h_{fb} = \frac{-h_{fe}}{h_{fe} + 1} = \frac{-50}{51} = -0{,}98 \qquad h_{ib} = \frac{h_{ie}}{h_{fe} + 1} \approx \frac{830}{51} \approx 16\ \Omega$$

$$h_{ob} = \frac{h_{oe}}{h_{fe} + 1} \quad \frac{1}{h_{ob}} \approx 500\ \text{k}\Omega \qquad h_{rb} \approx 0$$

(*b*) La ganancia de corriente (por Fig. 6.3-4*c*) es

$$A_i = \frac{i_L}{i_i} = \frac{i_e}{i_i}\frac{i_c}{i_e}\frac{i_L}{i_c} = \frac{-100}{100 + 16}(0{,}98)\frac{-500}{500 + 5} \approx 0{,}83$$

La ganancia de tensión es

$$\frac{v_L}{v_i} = \frac{v_L}{i_e}\frac{i_e}{v_i}$$

$$i_e = \frac{v_i}{100}\left(\frac{-100}{100 + 16}\right) = \frac{-v_i}{116}$$

$$v_L \approx -0{,}98 i_e(5000) \approx -5000 i_e$$

$$A_v = \frac{v_L}{v_i} \approx 43$$

Hay que notar que si la fuente de entrada v_i y su impedancia asociada r_i se conectasen directamente a la resistencia de carga R_L, la ganancia de tensión $v_L/v_i \approx 1$.

Calculando las impedancias de entrada y salida se obtiene:

$$Z_i = 16\ \Omega \quad \text{y} \quad Z_o = 500\ \text{k}\Omega$$

Así, la fuente «ve» una impedancia $Z_i = 16\ \Omega$ y la carga R_L una impedancia de salida muy grande, $Z_o = 500\ \text{k}\Omega$.

6.4. CONFIGURACION EN COLECTOR COMUN (CC) (SEGUIDOR DE EMISOR)

La configuración en seguidor de emisor se caracteriza por una ganancia de tensión ligeramente menor que la unidad, una elevada impedancia de entrada y una baja impedancia de salida. Generalmente se utiliza como transformador de impedancia en los circuitos de entrada y salida de sistemas amplificadores. Cuando se sitúa en el circuito de entrada, su elevada impedancia de entrada reduce la carga aplicada a la fuente de señal. Cuando se sitúa en el circuito de salida sirve para aislar de la carga la etapa precedente del amplificador y, además, da una baja impedancia de salida.

La Figura 6.4-1 representa el seguidor de emisor y su circuito equivalente para corriente alterna. Siguiendo el método de las secciones anteriores, pueden definirse una

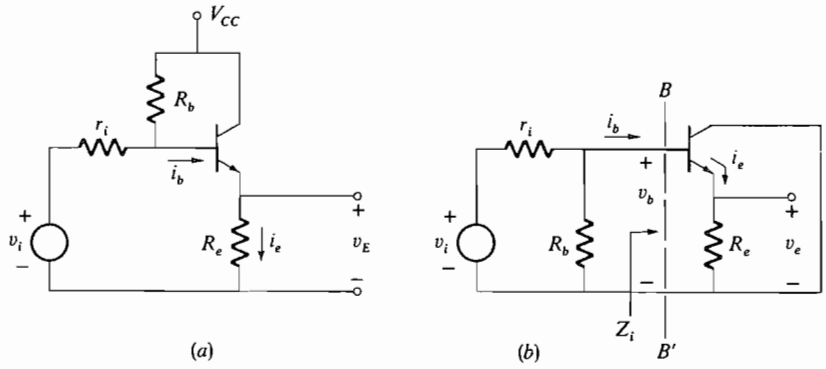


Figura 6.4-1. (*a*) Circuito seguidor de emisor; (*b*) circuito de c.a.

serie de parámetros híbridos en colector común y trazarse un circuito equivalente. Esto, sin embargo, da lugar a un circuito que no suele utilizarse en los cálculos. En vez de esto, puede obtenerse un circuito equivalente directamente a partir de la Figura 6.4-1*b* aplicando la ley de Kirchhoff de tensiones a los terminales BB' y tenemos

$$v_b = v_{be} + i_e R_e \tag{6.4-1}$$

donde, de la Figura 6.2-3*c*,

$$v_{be} = i_b h_{ie} \tag{6.4-2}$$

Además, obsérvese que de (6.3-5)

$$i_e R_e = i_b[(h_{fe} + 1)R_e] \tag{6.4-3}$$

Sustituyendo (6.4-2) y (6.4-3) en la ecuación (6.4-1)

$$v_b = i_b h_{ie} + i_b[(h_{fe} + 1)R_e] \tag{6.4-4}$$

La Ecuación (6.4-4) indica que el circuito equivalente del seguidor de emisor visto desde los terminales BB' es una combinación en serie de h_{ie} y $(1 + h_{fe})R_e$, tal como se indica en la Figura 6.4-2.

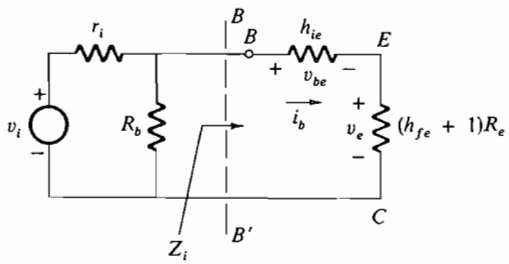


Figura 6.4-2. Circuito equivalente para seguidor de emisor.

A partir de este circuito puede hallarse la ganancia de tensión A_v simplemente dividiendo las tensiones de entrada y de salida

$$A_v = \frac{v_e}{v_i} = \left(\frac{(1 + h_{fe})R_e}{h_{ie} + (1 + h_{fe})R_e}\right)\left(\frac{R_b \parallel [h_{ie} + (1 + h_{fe})R_e]}{r_i + \{R_b \parallel [h_{ie} + (1 + h_{fe})R_e]\}}\right)$$

Simplificando

$$A_v = \frac{R_b}{r_i + R_b}\left\{\frac{1}{1 + [h_{ie} + (r_i \parallel R_b)]/[(1 + h_{fe})R_e]}\right\} \tag{6.4-5}$$

Luego, si $(1 + h_{fe})R_e$ es mucho mayor que la suma de h_{ie} y $r_i \parallel R_b$, como sucede a menudo, la cantidad entre llaves será casi la unidad y la ganancia de tensión quedará determinada por el divisor de tensión $r_i - R_b$.

La impedancia de entrada del seguidor de emisor, definida como la impedancia vista desde los terminales BB', es simplemente

$$Z_i = h_{ie} + (h_{fe} + 1)R_e \tag{6.4-6}$$

Análogamente, el circuito equivalente mirando al emisor (salida) se obtiene dibujando otra vez la Figura 6.4-1*b*, como se indica en la Figura 6.4-3.

Escribiendo la ley de Kirchhoff de tensiones para el lazo emisor-base

$$v_i' = r_i' i_b + v_{be} + v_e \tag{6.4-7}$$

donde (véase Figura 6.3-1)
$$v_{be} = h_{ib} i_e \tag{6.4-8}$$

y usando (6.3-5)
$$r_i' i_b = \frac{r_i'}{h_{fe} + 1} i_e \tag{6.4-9}$$

Sustituyendo (6.4-8) y (6.4-9) en (6.4-7), tenemos

$$v_i' = \frac{r_i'}{h_{fe} + 1} i_e + h_{ib} i_e + v_e \tag{6.4-10}$$

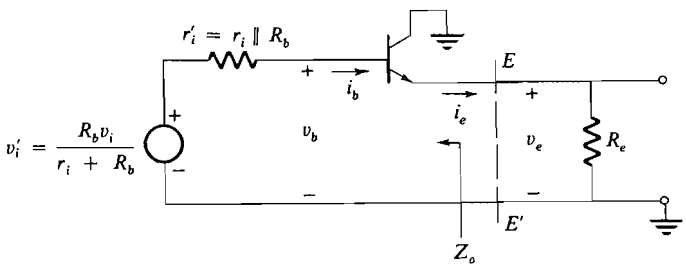


Figura 6.4-3. Circuito en alterna del seguidor de emisor.

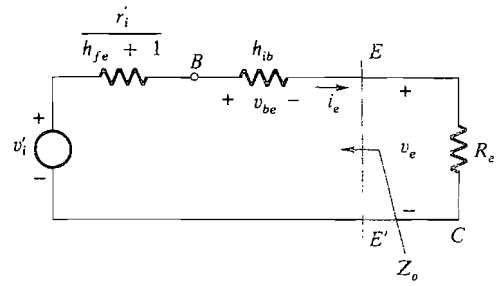


Figura 6.4-4. Otro circuito equivalente para seguidor de emisor.

La Ecuación (6.4-10) da el circuito equivalente del seguidor de emisor visto desde los terminales EE'. Es el representado en la Figura 6.4-4.

La ganancia de tensión A_v calculada a partir de este circuito es la misma que se obtenía a partir del circuito equivalente de la Figura 6.4-2.

La impedancia de salida vista desde los terminales EE' es

$$Z_o = h_{ib} + \frac{r_i'}{h_{fe} + 1} \tag{6.4-11}$$

Los circuitos equivalentes de las Figuras 6.4-2 y 6.4-4 también pueden obtenerse reemplazando el transistor de la Figura 6.4-1*b* por el circuito equivalente en emisor común, tal como se ha hecho en la Figura 6.4-5.

La impedancia de salida de Thévenin en EE', prescindiendo de R_e, es

$$\begin{aligned} Z_o &= \left.\frac{v_e}{-i_e}\right|_{v_i=0} = \frac{v_e}{-(h_{fe}+1)i_b} = \frac{-i_b[h_{ie} + (r_i \parallel R_b)]}{-(h_{fe}+1)i_b} \\ &= \frac{h_{ie} + (r_i \parallel R_b)}{h_{fe}+1} = h_{ib} + \frac{r_i'}{h_{fe}+1} \end{aligned} \tag{6.4-12}$$

Para obtener la tensión de Thévenin en circuito abierto v_i', en los terminales EE', hay que prescindir de R_e. Entonces $i_e = 0$ e

$$i_b = \frac{i_e}{h_{fe}+1} = 0$$

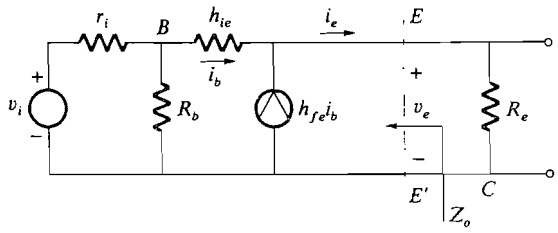


Figura 6.4-5. Seguidor de emisor utilizando circuito equivalente en emisor común.

Luego
$$v_i' = \frac{R_b}{R_b + r_i} v_i \tag{6.4-13}$$

que conduce directamente al circuito de la Figura 6.4-4.

6.4-1. Reflexión de impedancia en el transistor

Las Figuras 6.4-2 y 6.4-4 ilustran una propiedad muy útil del comportamiento del circuito base-emisor frente a pequeña señal. Por ejemplo, consideremos la Figura 6.4-2. Mirando entre el terminal B (terminal de base) y masa, se ve h_{ie} en serie con la impedancia de emisor a masa multiplicada por $h_{fe} + 1$. Todas las corrientes del circuito están al nivel de la corriente de base. La corriente a través de la resistencia $(1 + h_{fe})R_e$ no es la corriente alterna real de emisor i_b, sino $i_e/(1 + h_{fe})$. La tensión de salida v_e, en la Figura 6.4-2, es la misma que la tensión de salida en el circuito real seguidor de emisor de la Figura 6.4-1. Así, al dibujar un circuito equivalente se puede reflejar el circuito emisor a través de la unión multiplicando la impedancia del circuito emisor por $h_{fe} + 1$. Las tensiones se conservan aproximadamente igual mientras que las corrientes en la impedancia reflejada quedan divididas por el factor $h_{fe} + 1$.

La consideración de la Figura 6.4-4 indica que cuando se reflejan las impedancias en la otra dirección, o sea, mirando hacia el emisor, se divide la impedancia del circuito de base por $h_{fe} + 1$*. Ahora también se conservan aproximadamente las tensiones mientras que las corrientes en las impedancias reflejadas están al nivel de la corriente de emisor, o sea, $h_{fe} + 1$ veces mayor.

Obsérvese que el circuito de la Figura 6.4-2 es aproximado, ya que se han despreciado h_{oe} y h_{re}. Los errores introducidos son despreciables para la mayor parte de los circuitos prácticos.

Como ejemplo de utilización de esta propiedad, consideremos el amplificador en emisor común con resistencia de emisor sin desacoplar, representado en la Figura 6.4-6*a*. La Figura 6.4-6*b* representa el circuito equivalente en pequeña señal. La fuente de corriente puede desdoblarse aplicando la ley de Kirchhoff de corrientes, como se indica en la Figura 6.4-6*c*. Esto da lugar a la Figura 6.4-6*d*. Este es el circuito equivalente de la Figura 6.4-6*e* en el cual la combinación en paralelo de R_e y la fuente $h_{fe}i_b$ se ha reemplazado por la resistencia reflejada $(1 + h_{fe})R_e$. La equivalencia se establece teniendo en cuenta que en ambos circuitos $v_e = (1 + h_{fe})i_bR_e$. Por tanto, la ganancia de corriente puede hallarse observando el circuito de la Figura 6.4-6*e*:

$$A_L = -h_{fe}\left(\frac{R_c}{R_c + R_L}\right)\left(\frac{r_i'}{r_i' + h_{ie} + (h_{fe} + 1)R_e}\right) \tag{6.4-14}$$

En el Capítulo 7, al estudiar los circuitos con varios transistores, utilizaremos este método.

---

* Observar que $h_{ib} = h_{ie}/(h_{fe} + 1)$.

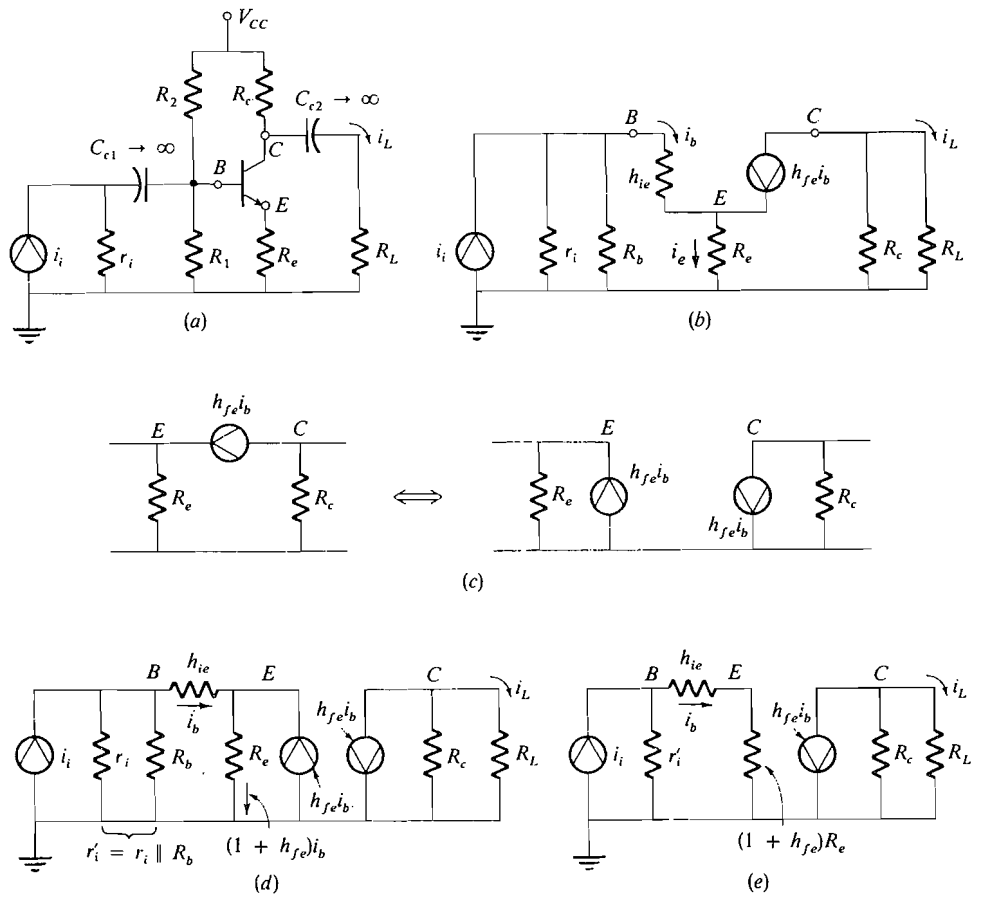


Figura 6.4-6. Reflexión de impedancia aplicada al amplificador con resistencia de emisor no desacoplada: (*a*) amplificador; (*b*) circuito equivalente en pequeña señal ($h_{oe} = 0$, $h_{re} = 0$); (*c*) bifurcación de la fuente de corriente; (*d*) bifurcación de corriente aplicada al amplificador; (*e*) circuito equivalente final con resistencia de emisor reflejada.

EJEMPLO 6.4-1

Utilizando el seguidor de emisor de la Figura 6.4-1, trazar Z_i en función de R_e, Z_o en función de r_i y A_v en función de R_e.

Solución

Las relaciones necesarias son las Ecuaciones (6.4-6), (6.4-11) y (6.4-5). Pueden trazarse fácilmente en coordenadas logarítmicas. Por ejemplo, consideremos Z_i en función de R_e.

$$Z_i = h_{ie} + (h_{fe} + 1)R_e \tag{6.4-6}$$

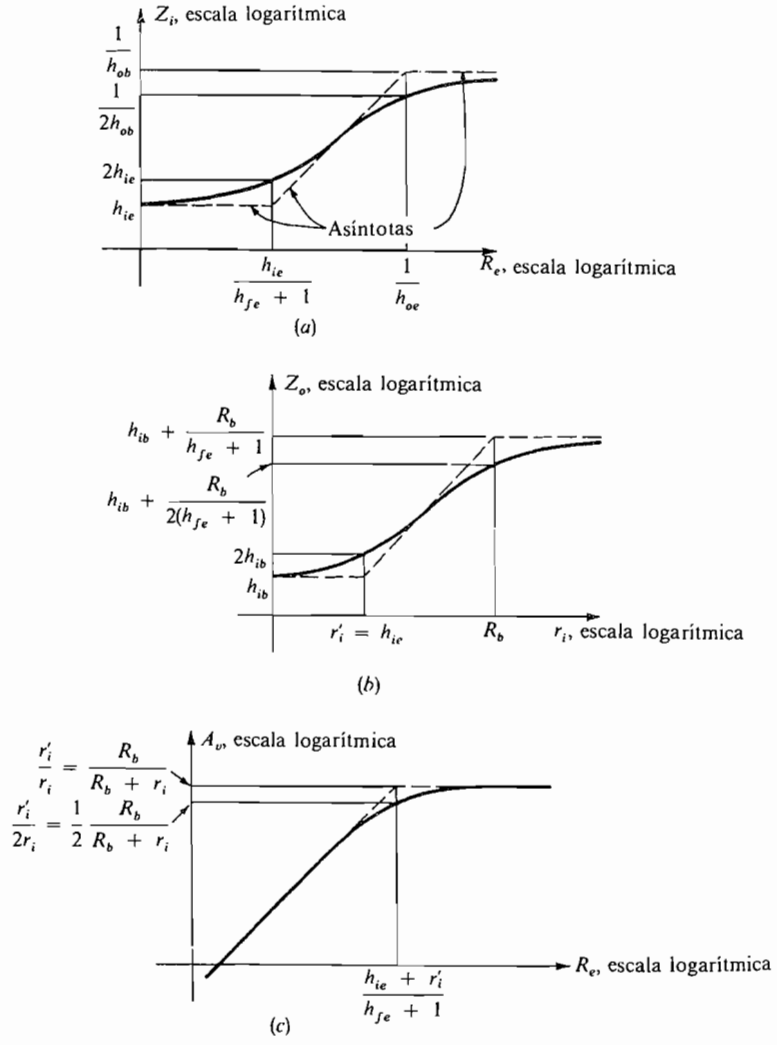


Figura 6.4-7. Variación de los parámetros de un seguidor de emisor: (*a*) $Z_i = h_{ie} + (1 + h_{fe})R_e$ [Ec. (6.4-6)]; (*b*) $Z_o = h_{ib} + \dfrac{r_i \| R_b}{h_{fe}+1}$ [Ec. (6.4-11)]; (*c*) $A_v = \dfrac{r_i'}{r_i}\left[\dfrac{1}{1+(h_{fe}+r_i')/[(h_{fe}+1)R_e]}\right]$.

Los valores asintóticos de Z_i son

$$Z_i \approx \begin{cases} h_{ie} & \text{para } h_{ie} \gg (h_{fe}+1)R_e \\ (h_{fe}+1)R_e & \text{para } h_{ie} \gg (h_{fe}+1)R_e \end{cases}$$

El primero es una constante (suponiendo que los parámetros del transistor no cambian al cambiar R_e). El segundo es una línea recta de pendiente $h_{fe} + 1$ en coordenadas logarítmicas. Las dos asíntotas se cortan en el punto $h_{ie} = (h_{fe} + 1)R_e$. En este punto,

el valor real de Z_i es $2h_{ie}$, tal como representa la Figura 6.4-7*a*. La Ecuación (6.4-6) implica que $Z_i \to \infty$ cuando $R_e \to \infty$. Sin embargo, cuando R_e se hace muy grande, la admitancia de salida del circuito en base común debe incluirse en el circuito equivalente. El circuito equivalente puede obtenerse a partir de la Figura 6.4-2 intercalando la resistencia $1/h_{ob}$ entre la base y el colector. Se ve entonces que la impedancia de entrada se aproxima a $1/h_{ob}$ cuando R_e tiende a infinito. Esto se ha representado en la Figura 6.4-7*a*. Análogamente se han trazado Z_o y A_v en la Figura 6.4-7*b* y *c*.

EJEMPLO 6.4-2

Diseñar un seguidor de emisor que cumpla las siguientes condiciones.

$A_v \geq 0{,}9$ en pequeña señal $\quad V_{im} \leq 4$ V

$r_i = 100\ \Omega$ $\quad R_L$ (acoplada en alterna) $= 50\ \Omega$

$100 \leq h_{fe} \leq 200$ $\quad V_{CC} = 15$ V $\quad V_{CE,\,sat} = 1$ V

El circuito se ha representado en la Figura 6.4-8.

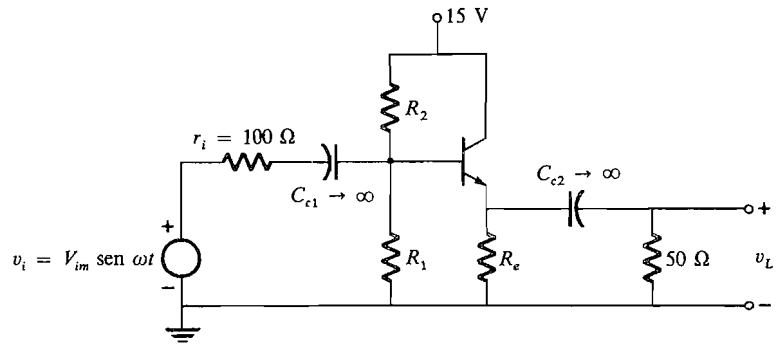


Figura 6.4-8. Circuito para el Ejemplo 6.4-2.

Solución

Como en los ejemplos anteriores hay muchas soluciones. En este ejemplo puede demostrarse que el valor máximo de R_e, cumpliendo con la condición de una excursión de pico de 4 V y una tensión de saturación de 1 V, es $R_e = 75\ \Omega$. Utilizando este valor de R_e, $I_{CQ} = 133$ mA y $V_{CEQ} = 5$ V. Para utilizar este valor de R_e será necesario conocer exactamente h_{fe}. Así pues, para acomodar la variación de h_{fe}, se requiere un valor menor de R_e. Para simplificar el cálculo, pongamos

$$R_e = R_L = 50\ \Omega$$

La Figura 6.4-9 da las rectas de carga de continua y alterna. En ella se han representado dos puntos de trabajo: el primero, Q_1, se ha elegido con el criterio de la mínima corriente que cumpla con las especificaciones. Una tensión de señal de 4 V de

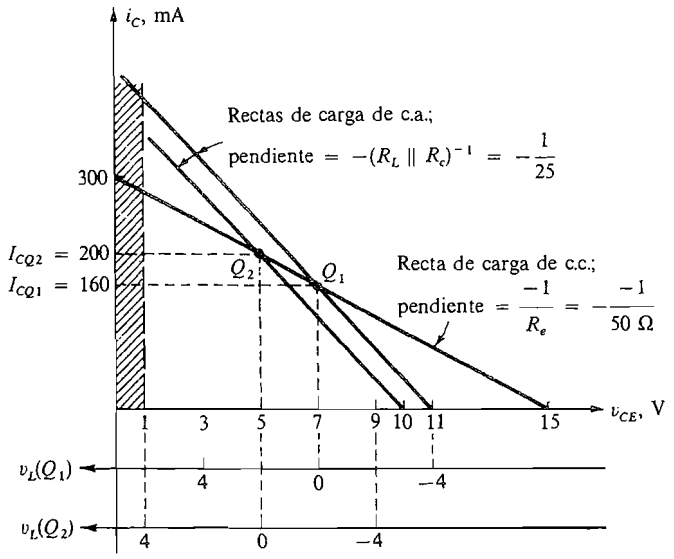


Figura 6.4-9. Rectas de carga para el Ejemplo 6.4-2.

cresta implica que la tensión de salida debe ser capaz de una excursión aproximada de 4 V. Como la carga de corriente alterna es de 25 Ω, se precisará una excursión de cresta de corriente de 160 mA. Así Q_1 se situará en $I_{CQ1} = 160$ mA y la señal máxima llevará al transistor casi al corte.

El segundo punto de trabajo, Q_2, se ha situado de forma que se evite la tensión de saturación de 1 V. Así $V_{CEQ2} = 5$ V e $I_{CQ2} = 200$ mA.

La resistencia de base R_b se elige de modo que el punto Q no se desplace dentro de la zona comprendida entre Q_1 y Q_2 cuando h_{fe} varía de 100 a 200. Ello puede hacerse hallando los límites de I_{CQ} como función de h_{fe}.

La corriente de reposo viene dada por

$$I_{CQ} \approx \frac{V_{BB} - V_{BE}}{R_e + R_b/h_{fe}} = \frac{V_{BB} - 0{,}7}{50 + R_b/h_{fe}}$$

Así existirá un mínimo para $h_{fe} = 100$.

Entonces, como la corriente mínima posible es 160 mA,

$$160 \times 10^{-3} \leqslant \frac{V_{BB} - 0{,}7}{50 + R_b/100}$$

y cuando $h_{fe} = 200$,

$$200 \times 10^{-3} \geqslant \frac{V_{BB} - 0{,}7}{50 + R_b/200}$$

Combinando estas dos desigualdades, tenemos

$$(0{,}16)\left(50 + \frac{R_b}{100}\right) \leqslant V_{BB} - 0{,}7 \leqslant (0{,}2)\left(50 + \frac{R_b}{200}\right)$$

Simplificando, obtenemos

$$8 + (1{,}6 \times 10^{-3})R_b \leqslant 10 + 10^{-3}R_b$$

lo cual se reduce a

$$(0{,}6 \times 10^{-3})R_b \leqslant 2 \qquad \text{y} \qquad R_b \leqslant 3{,}3\ \text{k}\Omega$$

Para conseguir una ganancia mayor de 0,9 se precisa que

$$A_v \approx \left(\frac{R_b}{r_i + R_b}\right)\left(\frac{R_L \parallel R_e}{(R_L \parallel R_e) + h_{ib} + (r_i \parallel R_b)/h_{fe}}\right) \geqslant 0{,}9$$

Luego, con $h_{ib} = (h_{ib})_{\text{av}} = \dfrac{V_T}{I_{EQ.\,\text{av}}} \approx \dfrac{25 \times 10^{-3}}{180 \times 10^{-3}} \approx 0{,}14\ \Omega$

$$0{,}9 \leqslant \left(\frac{1}{1 + 100/R_b}\right)\left(\frac{25}{25 + 0{,}14 + 100R_b/(100 + R_b)\ 1/h_{fe,\,\text{min}}}\right)$$

Obsérvese que $h_{fe,\,\text{min}}$ se emplea para asegurar una ganancia no menor de 0,9 para cualquier valor de h_{fe}.

Si R_b se escoge de 2,5 kΩ,

$$A_v = \left(\frac{1}{1 + 100/2500}\right)\left(\frac{25}{25 + 0{,}14 + (250\,000/2600)(\frac{1}{100})}\right) \approx 0{,}92$$

y $R_b = 2{,}5$ kΩ satisface la condición de ganancia. Para hallar V_{BB} hay que volver a la desigualdad:

$$(0{,}16)(50 + 25) \leqslant V_{BB} - 0{,}7 \leqslant (0{,}2)(50 + 12{,}5)$$

$$12{,}7 \leqslant V_{BB} \leqslant 13{,}2$$

Si tomamos $V_{BB} = 13$ V, a partir de (2.3-1) tenemos $R_2 \approx 2{,}9$ y $R_1 \approx 19$ kΩ. Como utilizaríamos resistencias normalizadas, tendríamos $R_2 = 2{,}7$ kΩ y $R_1 = 18$ kΩ.

EJEMPLO 6.4-3

El circuito de la Figura 6.4-10 es un inversor de fase (divisor de fase). Calcular v_1 y v_2.

Solución

La tensión de emisor v_1 se halla como si el circuito fuera un seguidor de emisor, tal como indica la Figura 6.4-10*b*. Utilizando (6.4-5), tenemos

$$v_1 = v_i\left(\frac{R_b}{r_i + R_b}\right)\left(\frac{1}{1 + (h_{ie} + r_i')/[h_{fe} + 1)R_e]}\right)$$

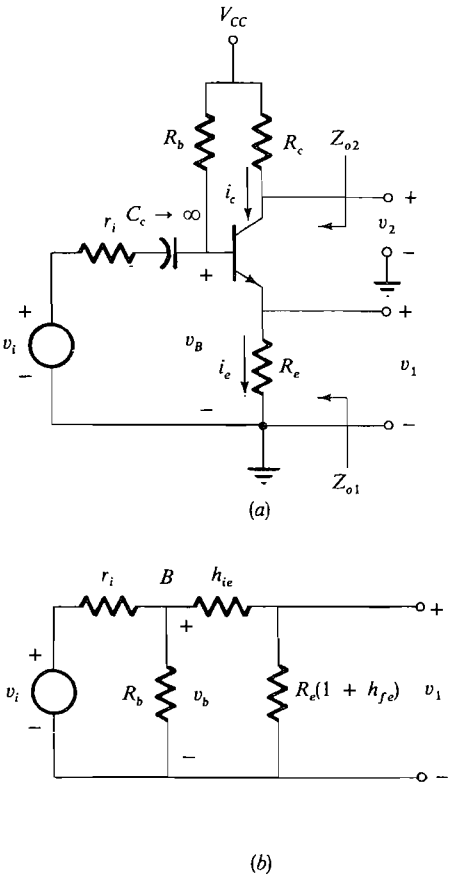


Figura 6.4-10. Inversor de fase para el Ejemplo 6.4-3: (*a*) circuito completo; (*b*) equivalente base-emisor.

La corriente de emisor i_e es

$$i_e = \frac{v_1}{R_e}$$

e $i_c = -h_{fb}i_e$, por lo que

$$v_2 = -R_c i_c = +R_c h_{fb} i_e = +h_{fb}\frac{R_c}{R_e}v_1$$

Si $|h_{fb}R_c| = R_e$, entonces (puesto que $h_{fb} = -1$) $v_1 = -v_2$. De este modo, un inversor de fase da dos salidas que pueden ser iguales en amplitud y estar desfasadas 180°. Se utiliza a menudo para producir señales desfasadas para el amplificador push-pull que se explica en la Sección 5.3. La impedancia de salida Z_{o2} es mucho mayor que Z_{o1} (véase Problema 6.4-8). Si la carga externa es de baja resistencia, el circuito puede requerir ajuste a fin de mantener la relación $v_1 = -v_2$.

EJEMPLO 6.4-4

Demostrar que el circuito seguidor de emisor de la Figura 6.4-11*a* tiene una impedancia de entrada apreciablemente más alta que el circuito estándar de la Figura 6.4-11*b*.

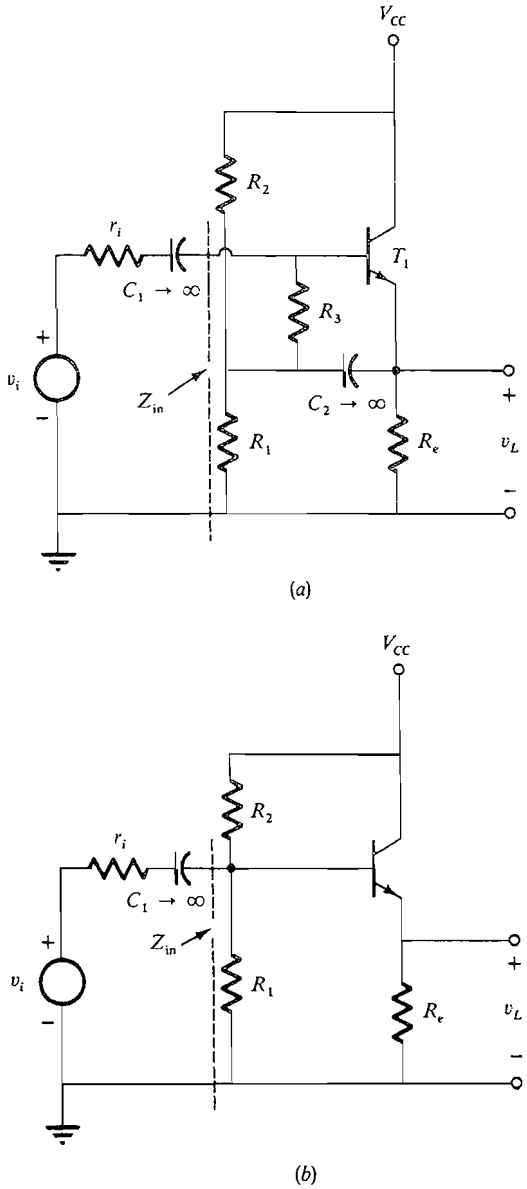


Figura 6.4-11. Impedancia de entrada del seguidor de emisor: (*a*) técnica de polarización para alta impedancia de entrada; (*b*) circuito estándar de polarización.

Solución

El circuito representado en la Figura 6.4-11*b* emplea la técnica normal de polarización, y su impedancia de entrada es

$$Z_{\text{in}} = R_1 \parallel R_2 \parallel [h_{ie} + (h_{fe} + 1)R_e] \tag{6.4-6}$$

Esta es siempre menor que $R_1 \parallel R_2$, por lo que la impedancia de entrada de un seguidor de emisor polarizado utilizando el método estándar está limitada por la combinación paralelo de R_1 y R_2.

En el circuito de la Figura 6.4-11*a* se utilizó la técnica denominada autoelevación (*bootstrapping*), y Z_{in} puede superar a $R_1 \parallel R_2$ y realmente se aproxima a la impedancia $h_{ie} + (h_{fe} + 1)R_e$. Lo demostraremos utilizando la reflexión de impedancia.

La Figura 6.4-12*a* muestra el equivalente en alterna del circuito de la Figura 6.4-11*a* en que todos los condensadores y las fuentes de tensión han sido sustituidos por cortocircuitos. Para obtener el circuito equivalente en pequeña señal utilizando la reflexión conviene simplificar previamente el circuito combinando $R_1 \parallel R_2$ con R_e para formar R'_e. Además, puesto que la tensión de base y la tensión en R_3 son ambas v_b, podemos suprimir la conexión entre R_3 y la base de T_1 mientras se añade una fuente v_b en serie con R_3, como en la Figura 6.4-12*b*. Obsérvese que todas las corrientes y tensiones son las mismas en la Figura 6.4-12*a* y *b*.

El circuito equivalente representado en la Figura 6.4-13 se obtuvo reflejando los componentes en el circuito de emisor dentro del circuito de base. Ambas resistencias de emisor, R'_e y R_3, fueron multiplicadas por $h_{fe} + 1$ mientras sus respectivas corrientes $i_{R'_e}$ e i_3 fueron divididas por el mismo factor. Así pues, la caída de tensión entre los terminales de cada resistencia se mantiene. La fuente de tensión v_b conectada a R_3 en la Figura 6.4-12*b* es reflejada sin variación, puesto que las tensiones se mantienen inalteradas en el proceso de reflexión.

En la Figura 6.4-12*a* vemos que la impedancia de entrada es

$$Z_{in} = \frac{v_b}{i_b + i_3}$$

Para hallar Z_{in} sólo necesitamos determinar i_b e i_3 utilizando la Figura 6.4-13. Puesto que un circuito práctico tendrá $R_3 \gg h_{ie}$, podemos simplificar los cálculos observando que $h_{ie} \ll (h_{fe} + 1)R_3$.

Entonces $$v_b \simeq i_b h_{ie} + i_b(h_{fe} + 1)R'_e$$

Así, puesto que $$i_b h_{ie} = \left(\frac{i_3}{h_{fe} + 1}\right)[(h_{fe} + 1)R_3]$$

La corriente $i_b \gg i_3/(h_{fe} + 1)$. Por tanto,

$$i_b \approx \frac{i_{R'_e}}{h_{fe} + 1}$$

e $$i_b \approx \frac{v_b}{h_{ie} + (h_{fe} + 1)R'_e}$$

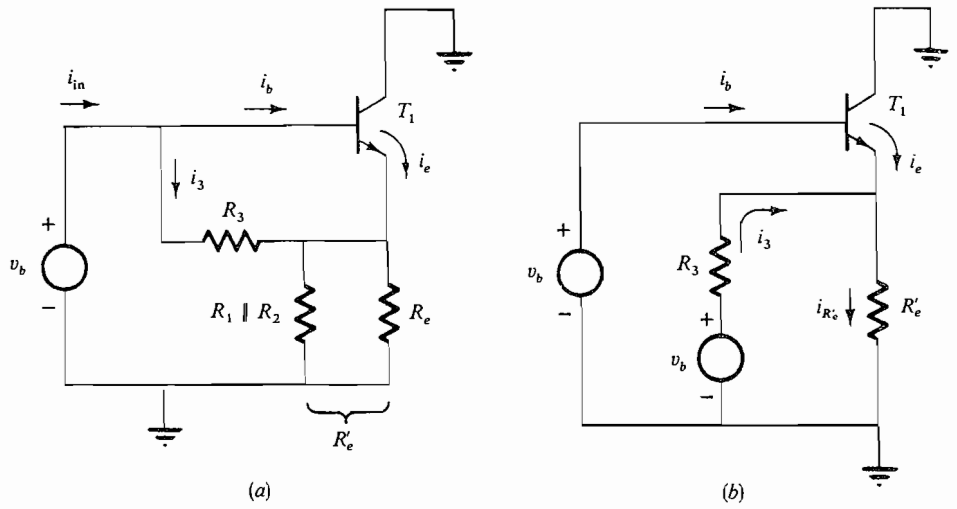


Figura 6.4-12. Seguidor de emisor: (*a*) circuito reducido para pequeña señal obtenido cortocircuitando los condensadores y conectando a masa las fuentes de alimentación; (*b*) circuito final en pequeña señal adecuado para reflexión de impedancia.

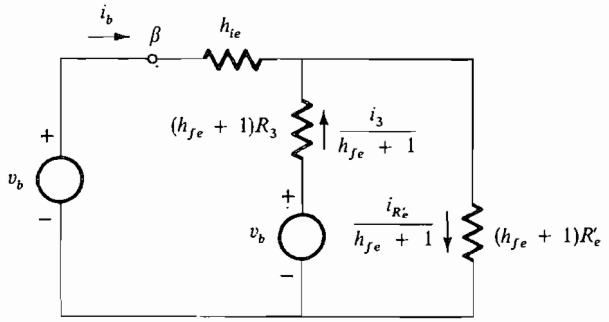


Figura 6.4-13. Circuito equivalente del seguidor de emisor autoelevado (*bootstrapped*) hacia la base.

Así pues,
$$i_3 = \frac{h_{ie}}{R_3} i_b = \frac{h_{ie}}{R_3} \frac{v_b}{h_{ie} + (h_{fe} + 1)R'_e}$$

La admitancia de entrada es

$$\frac{1}{Z_{in}} = \frac{i_b}{v_b} + \frac{i_3}{v_b} = \frac{1 + h_{ie}/R_3}{h_{ie} + (h_{fe} + 1)R'_e}$$

Por tanto
$$Z_{in} = \frac{h_{ie} + (h_{fe} + 1)R'_e}{1 + h_{ie}/R_3}$$

Vemos que con $R_3 \gg h_{ie}$ la impedancia de entrada del circuito con autoelevación es apreciablemente más alta que la impedancia del circuito estándar. Por ejemplo, si $R_1 \parallel R_2 = 1\ \text{k}\Omega$, $R_e = 1\ \text{k}\Omega$, $h_{ie} = 1\ \text{k}\Omega$, $h_{fe} + 1 = 100$ y $R_3 = 10\ \text{k}\Omega$, entonces para el circuito con autoelevación

$$Z_{\text{in}} = \frac{1000 + (100)(500)}{1{,}1} \approx 46\ \text{k}\Omega$$

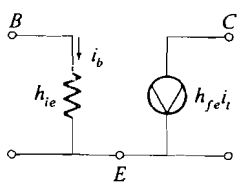
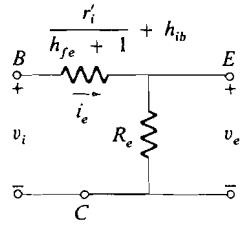
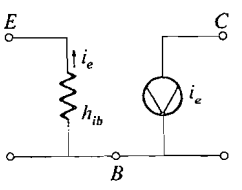
mientras que para el circuito estándar con los mismos valores

$$Z_{\text{in}} = R_1 \parallel R_2 \parallel [h_{ie} + (h_{fe} + 1)R_e] = 1000 \parallel 100\,000 \approx 1\ \text{k}\Omega$$

6.5. TABLA DE PARAMETROS IMPORTANTES DE LAS TRES CONFIGURACIONES BASICAS

El estudio de las Secciones 6.2 a 6.4 condujo a las fórmulas aproximadas de los parámetros h de los amplificadores en emisor común y base común y a las impedancias de entrada y salida y a la ganancia de tensión del amplificador seguidor de emisor (colector común). La Tabla 6.5-1 resume los resultados.

Tabla 6.5-1

	Configuración		
	Emisor común	Seguidor de emisor (colector común)	Base común
Ganancia	$A_i \approx -h_{fe}$	$A_v \approx 1$	$A_i \approx -h_{fb} = \dfrac{-h_{fe}}{1 + h_{fe}}$
Impedancia de entrada	$h_{ie} = \dfrac{(25 \times 10^{-3})h_{fe}}{I_{EQ}}$	$Z_i = h_{ie} + (h_{fe} + 1)R_e$	$h_{ib} = \dfrac{h_{ie}}{1 + h_{fe}}$
Impedancia de salida	$\dfrac{1}{h_{oe}} > 10^4\ \Omega$	$Z_o \approx h_{ib} + \dfrac{r_i'}{h_{fe} + 1}$	$\dfrac{1}{h_{ob}} = \dfrac{1 + h_{fe}}{h_{oe}}$
Circuito equivalente más sencillo			

6.6. INTERPRETACION DE LAS ESPECIFICACIONES DADAS POR LOS FABRICANTES PARA TRANSISTORES DE BAJA POTENCIA ($P_C < 1$ W)

En esta sección repasaremos algunas características dadas por los fabricantes considerando el transistor de silicio *npn* tipo 2N3647.

1. Disipación máxima en el colector al aire libre a 25 °C, $P_{C,\text{máx}} = 400$ mW
2. Factor de reducción o degradación al aire libre, $\theta_{jc} = 0{,}4$ °C/mW
3. Temperatura máxima en la unión, $T_{j,\text{máx}} = 200$ °C
4. Valores máximos absolutos a 25 °C
   a. $BV_{CBO} = 40$ V
   b. $BV_{CEO} = 10$ V
   c. $BV_{EBO} = 6$ V
   d. $I_{C,\text{máx}} = 500$ mA
   e. $I_{CBO} = 25$ nA
5. Parámetros h a 25 °C, típicos
   a. $h_{fe} = 150$ (valor máximo típico)
   b. $h_{oe} = 10^{-4}$ S (máximo)
   c. $h_{ie} = 4{,}5$ kΩ
   d. $h_{re} = 10^{-4}$
6. $C_{ob} = 0{,}4$ pF (máximo)
7. Frecuencia de corte en base común, $f_\alpha \geqslant 350$ MHz

Este transistor es capaz de disipar 400 mW a la temperatura ambiente utilizando un radiador infinito de calor. Esta potencia se reduce linealmente en la proporción 0,4 °C/mW, tal como indica la Figura 6.6-1.

Las tensiones de ruptura difieren considerablemente de las del transistor de alta potencia de la Sección 4.7. Por ejemplo, la tensión de ruptura de la unión colector-base es sólo de 40 V, comparada con la de 100 V del transistor de potencia. Además, I_{CBO} es 0,025 μA, valor extremadamente pequeño.

Los fabricantes, a menudo, dan los parámetros híbridos típicos; para este transistor $h_{oe} = 10^{-4}$ S y $h_{re} = 10^{-4}$. Considerando la Figura 6.2-3 se ve que h_{oe} puede despreciarse cuando este transistor se usa como amplificador en emisor común si

$$R_L \ll \frac{1}{h_{oe}} = 10 \text{ k}\Omega$$

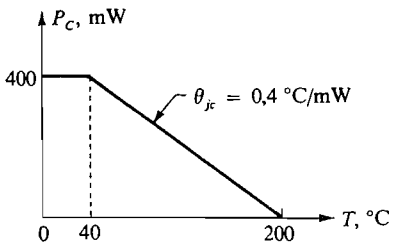


Figura 6.6-1. Curva de degradación para el 2N3647.

Además, h_{re} puede despreciarse si

$$h_{ie}i_b \gg h_{re}v_{ce} = 10^{-4}v_{ce}$$

o, tomando $|v_{ce}| \approx h_{fe}i_bR_L$,

$$h_{ie}i_b \gg h_{re}h_{fe}R_Li_b$$

Utilizando los parámetros típicos dados, esto se convertirá en

$$h_{ib} \gg h_{re}R_L = 10^{-4}R_L$$

Así h_{re} puede despreciarse siempre que h_{ib} sea mucho mayor que $10^{-4}R_L$.

La capacidad C_{ob} y la frecuencia de corte se explicarán en el Capítulo 9.

6.7. CIRCUITO EQUIVALENTE DEL FET EN PEQUEÑA SEÑAL

En la Figura 6.7-1*a* está representado el circuito equivalente del FET de parámetros *h* en pequeña señal. En un amplificador FET, en configuración en fuente común, la entrada de puerta es un circuito abierto a frecuencias medias y bajas, por lo que h_i es infinita. Así pues, el parámetro *h* del circuito de entrada está *abierto*. Además, a frecuencias medias la

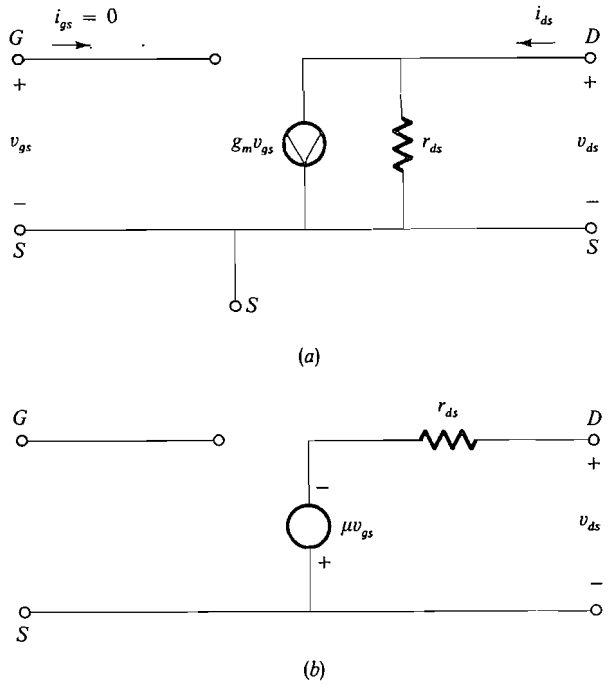


Figura 6.7-1. Modelo en pequeña señal del FET: (*a*) modelo de fuente de corriente controlada; (*b*) modelo de fuente de tensión controlada.

realimentación desde la salida a la entrada es despreciable por lo que $h_r \approx 0$. Para caracterizar el FET en estas frecuencias sólo se necesita el parámetro h del circuito de salida. El circuito equivalente en frecuencias altas y bajas se estudia en el Capítulo 9. Los parámetros necesarios para describir el FET son la transconductancia (directa) g_m y la resistencia drenaje-fuente de salida r_{ds}. Estos parámetros se definen como sigue.

Transconductancia. Esta es

$$g_m = \left.\frac{\partial i_{DS}}{\partial v_{GS}}\right|_{\text{punto } Q} \tag{6.7-1}$$

La ecuación teórica que describe el FET se puede utilizar para tener una idea del margen de valores de g_m. Consideremos el MOSFET, para el cual, en saturación,

$$i_{DS} = k_n(v_{GS} - V_T)^2 \tag{6.7-2}$$

Entonces

$$g_m = \left.\frac{\partial i_{DS}}{\partial v_{GS}}\right|_{\text{punto } Q} = 2k_n(v_{GS} - V_T)\Big|_{V_{GSQ}} = 2\sqrt{k_n I_{DSQ}} \tag{6.7-3}$$

Por ejemplo, si $k_n = 1$ mA/V^2 e $I_{DSQ} = 4$ mA, la transconductancia $g_m = 4$ mS. Este valor es típico para el JFET y el MOSFET. Obsérvese que la transconductancia es proporcional a $(I_{DSQ})^{1/2}$. Así, si se multiplica I_{DSQ} por 4, g_m se duplica.

La g_m de un FET es análoga a $1/h_{ib}$ en un transistor de unión*. Esto se ve fácilmente en la Figura 6.7-2. La corriente de salida del transistor de unión es

$$h_{fe}i_b = h_{fe}\frac{v_{be}}{h_{ie}} = \frac{1}{h_{ib}}v_{be}$$

Así, la fuente de corriente de salida puede ser sustituida en el transistor y, a menudo, lo es (Secs. 9.2 y 9.4) por $g_m v_{be}$, donde $g_m = 1/h_{ib}$. En una ulterior comparación se observa que la ganancia de tensión A_v de un amplificador con transistor en configuración en emisor común es

$$A_v = \frac{v_{ce}}{v_{be}} \approx \frac{-R_L}{h_{ib}}$$

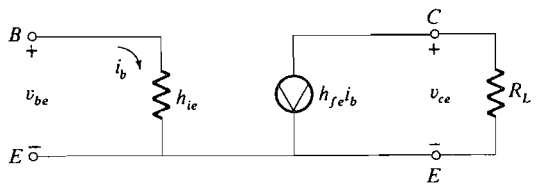


Figura 6.7-2. Circuito equivalente del transistor en pequeña señal.

* Observamos que la transconductancia de un MOSFET es proporcional a $\sqrt{I_{DQ}}$ [Ec. (6.7-3)] mientras el parámetro híbrido $1/h_{ib}$ es proporcional a I_{EQ}.

mientras la ganancia de tensión de un amplificador FET en configuración en fuente común es, despreciando r_{ds}

$$A_v = \frac{v_{ds}}{v_{gs}} \approx -g_m R_L$$

La ganancia de tensión del amplificador con transistor es sensiblemente más alta que la ganancia del FET para el mismo valor de R_L, ya que

$$\left(\frac{1}{h_{ib}}\right)_{\text{transistor}} \gg (g_m)_{\text{FET}}$$

Por ejemplo, consideremos un transistor con $I_{CQ} = 1$ mA. Entonces

$$\frac{1}{h_{ib}} = 40 \text{ mS}$$

Si $I_{CQ} = 10$ mA, $1/h_{ib} = 400$ mS. Estos valores se pueden comparar con los valores típicos de g_m para el FET, que son de 1 a 5 mS.

Resistencia drenaje-fuente. Esta es

$$r_{ds} = \left(\frac{\partial v_{DS}}{\partial i_{DS}}\right)_{\text{punto } Q} \tag{6.7-4a}$$

En teoría, la resistencia será infinita ya que i_{DS} no es función de la tensión drenaje-fuente por encima del estrangulamiento. Sin embargo, los valores de i_{DS} calculados por (6.7-2) representan valores asintóticos no obtenibles realmente en la práctica. Las características *vi* de salida medidas presentan una ligera pendiente, como se ve en las curvas de la Figura 6.14-1. El margen de valores de r_{ds} es análogo al de la resistencia de salida del transistor $1/h_{oe}$, 20 a 500 kΩ.

La resistencia drenaje-fuente resulta, aproximadamente, inversamente proporcional a la corriente en reposo

$$r_{ds} \propto \frac{1}{I_{DQ}} \tag{6.7-4b}$$

Esta es similar a la del transistor, donde h_{oe} es directamente proporcional a I_{CQ}.

Factor de amplificación. Generalmente se define un factor de amplificación μ como el producto $g_m r_{ds}$. Puede ser calculado directamente por las características *vi* utilizando la expresión

$$\mu = -\left.\frac{\partial v_{DS}}{\partial v_{Gs}}\right|_{\text{punto } Q} = g_m r_{ds} \tag{6.7-5}$$

La Figura 6.7-1*b* muestra un modelo en el que se hace uso del factor de amplificación.

6.8. EL AMPLIFICADOR DE TENSION EN FUENTE COMUN

El amplificador de tensión en fuente común y el circuito equivalente en pequeña señal están representados en la Figura 6.8-1. La impedancia de entrada vista por la fuente de entrada es:

$$Z_i = R_3 + (R_1 \| R_2) \tag{6.8-1}$$

La impedancia de salida vista por la resistencia de carga R_L es

$$Z_o = R_d \| r_{ds} \tag{6.8-2}$$

y la ganancia de tensión

$$A_v = \frac{v_L}{v_i} = \frac{v_L}{v_{gs}} \frac{v_{gs}}{v_i} = -g_m(R_L \| Z_o) \frac{1}{1 + r_i/[R_3 + (R_1 \| R_2)]} \tag{6.8-3a}$$

Habitualmente

$$r_i \ll R_3 + (R_1 \| R_2)$$

y si

$$R_L \ll Z_o$$

la ganancia de tensión se reduce a

$$A_v \approx -g_m R_L \tag{6.8-3b}$$

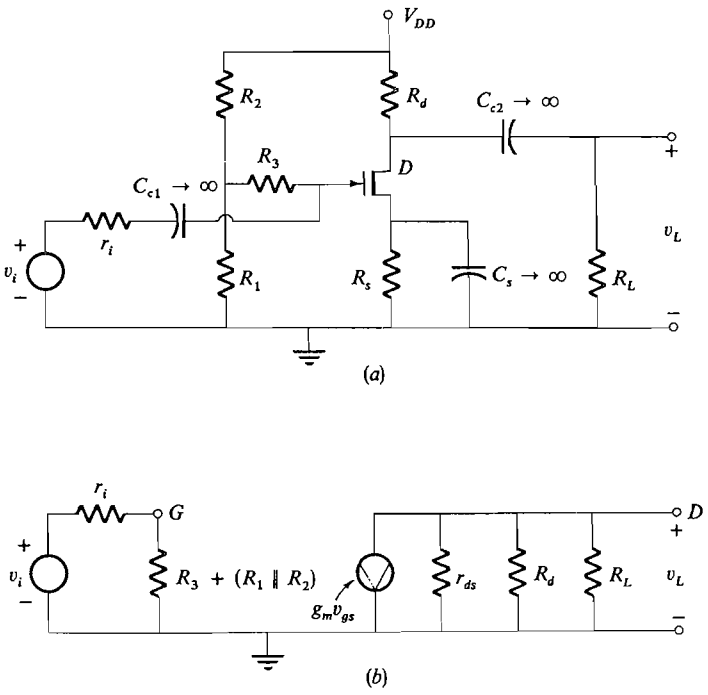


Figura 6.8-1. Amplificador en fuente común: (*a*) esquema; (*b*) circuito equivalente en pequeña señal.

EJEMPLO 6.8-1

En la Figura 6.8-2*a* está representado un amplificador de tensión con MOSFET, en el que se emplea polarización por realimentación. Calcular la ganancia de tensión, la impedancia de entrada y la impedancia de salida.

Solución

El circuito equivalente está representado en la Figura 6.8-2*b*. Aplicando la ley de Kirchhoff en el terminal de drenaje, tenemos

$$i = \frac{v_{gs} - v_{ds}}{R_f} = g_m v_{gs} + \frac{v_{ds}}{r_{ds} \parallel R_L}$$

$$= \frac{v_{gs} - v_{ds}}{10^5} = 2 \times 10^{-3} v_{gs} + \frac{v_{ds}}{6 \times 10^3}$$

Sustituyendo $v_{gs} = v_i$ y resolviendo esta ecuación, hallamos

$$A_v = \frac{v_{ds}}{v_i} \approx -g_m(r_{ds} \parallel R_L) = -12$$

La impedancia de entrada vista por la fuente es

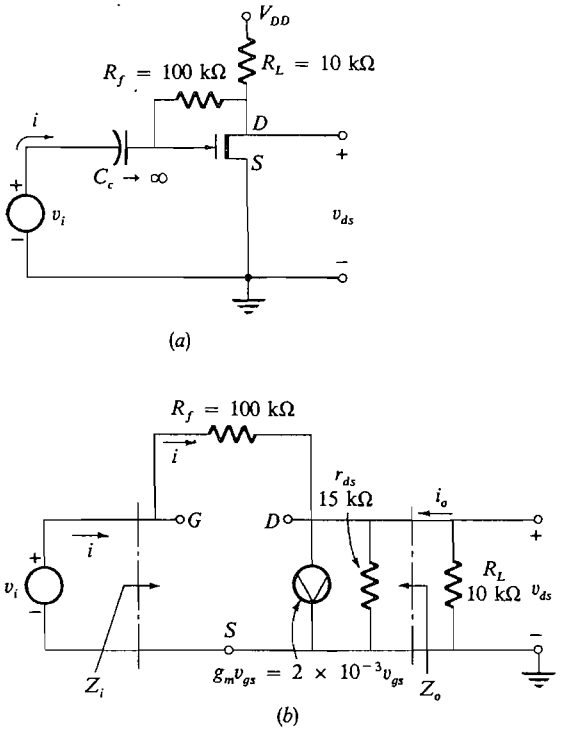


Figura 6.8-2. Amplificador MOSFET para el Ejemplo 6.8-1: (*a*) esquema; (*b*) circuito equivalente en pequeña señal.

$$Z_i = \frac{v_i}{i} = \frac{v_i}{(v_i - v_{ds})/R_f} = \frac{R_f}{1 - v_{ds}/v_i} = \frac{10^5}{1 + 12} \approx 7{,}7 \text{ k}\Omega$$

y la resistencia de salida vista por la carga de 10 kΩ es

$$Z_o = \left.\frac{v_{ds}}{i_o}\right|_{v_i=0} = R_f \parallel r_{ds} = (100) \parallel (15) \approx 13 \text{ k}\Omega$$

6.9. EL SEGUIDOR DE FUENTE* (AMPLIFICADOR EN DRENAJE COMUN)

La Figura 6.9-1*a* muestra un circuito seguidor de fuente en que se emplea un JFET o un MOSFET del modo de empobrecimiento. Esta disposición provee polarización automática para funcionamiento con tensión negativa puerta-fuente. Para este tipo de operación la ecuación de la recta de carga de c.c. es

$$V_{DD} = v_{DS} + i_{DS}(R_{s1} + R_{s2}) \tag{6.9-1a}$$

y la tensión de polarización es, suponiendo corriente continua nula en R_1,

$$V_{GSQ} = -I_{DSQ}R_{s1} \tag{6.9-1b}$$

Típicamente V_{GSQ} sólo será de algunos voltios, mientras V_{DSQ} será, aproximadamente, la mitad de V_{DD} con el fin de situar el punto de trabajo cerca del centro de la recta de carga. Por consiguiente $R_{s1} \ll R_{s2}$.

Para determinar la ganancia y la impedancia de salida del seguidor de fuente supondremos que R_1 es suficientemente grande para ser considerado infinito. (Posponemos el análisis exacto hasta el Ejemplo 6.10-1). Entonces la Figura 6.9-1*a* puede ser dibujada de nuevo como en la Figura 6.9-1*b*, y el circuito equivalente resultante en pequeña señal es el de la Figura 6.9-1*c*. Ahora determinamos el circuito equivalente de Thévenin para este dispositivo y vamos a ver que la ganancia de tensión es casi igual a la unidad y que la resistencia de salida es pequeña.

La impedancia de salida Z_o vista por la resistencia de fuente R_s, es

$$Z_o = \left.\frac{v_s}{i_o}\right|_{v_i = 0} \tag{6.9-2a}$$

Luego, en la Figura 6.9-1*c*, tenemos

$$v_s = \mu v_{gs} + i_o r_{ds} \tag{6.9-2b}$$

* El término «seguidor de fuente» es menos habitual que el de «seguidor de emisor» refiriéndose a cualquier configuración que tenga las prestaciones de la configuración en colector común ya vista. (*N. del T.*)

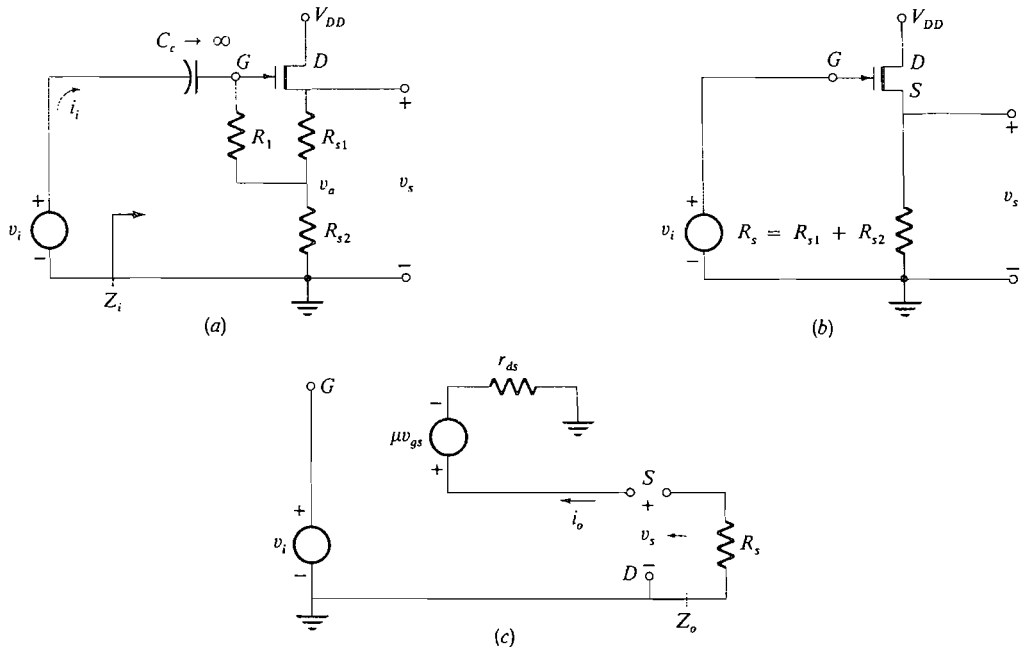


Figura 6.9-1. El seguidor de fuente: (*a*) esquema utilizando un JFET; (*b*) están omitidos los componentes de polarización; (*c*) circuito equivalente en pequeña señal.

Dado que $v_i = 0$

$$v_{gs} = -v_s \tag{6.9-2c}$$

y sustituyendo (6.9-2*c*) en (6.9-2*b*):

$$v_s = -\mu v_s + i_o r_{ds} \tag{6.9-2d}$$

Combinando (6.9-2*a*) y (6.9-2*d*):

$$Z_o = \frac{r_{ds}}{\mu + 1} \tag{6.9-2e}$$

Cuando $\mu = g_m r_{ds} \gg 1$, la impedancia de salida se convierte en

$$Z_o \approx \frac{1}{g_m} \tag{6.9-2f}$$

La ganancia de tensión en circuito abierto A'_v, suprimiendo R_s, es

$$A'_v|_{R_s \to \infty} = \frac{v_s}{v_g} \tag{6.9-3a}$$

La tensión de salida v_s es

$$v_s = \mu v_{gs} \tag{6.9-3b}$$

Sin embargo,

$$v_{gs} = v_g - v_s \tag{6.9-3c}$$

Así

$$A_v' = \frac{\mu}{\mu + 1} \tag{6.9-4a}$$

Si $\mu \gg 1$, la ganancia de tensión en circuito abierto A_v' será

$$A_v' \approx 1 \tag{6.9-4b}$$

El circuito equivalente completo de salida estando R_s conectado está representado en la Figura 6.9-2. Partiendo de este circuito calculamos primero la ganancia A_v:

$$A_v = \frac{v_s}{v_i} = \frac{v_s}{v_g} = \frac{A_v' R_s}{1/g_m + R_s} = \left(\frac{\mu}{\mu + 1}\right)\left(\frac{g_m R_s}{1 + g_m R_s}\right) \tag{6.9-5}$$

Ahora determinemos la impedancia de entrada Z_i del circuito

$$Z_i = \frac{v_g}{i_i} \tag{6.9-6a}$$

De la Figura 6.9-1*a* toda la corriente circula por R_1. Luego, puesto que hemos supuesto $R_1 \gg R_{s2}$,

$$i_i R_1 = v_g - v_a \approx v_g - \frac{R_{s2}}{R_{s1} + R_{s2}} v_s \tag{6.9-6b}$$

y, despejando la razón v_g/i_i, tenemos

$$Z_i \approx \frac{R_1}{1 - (v_s/v_g)[R_{s2}/(R_{s1} + R_{s2})]} \tag{6.9-6c}$$

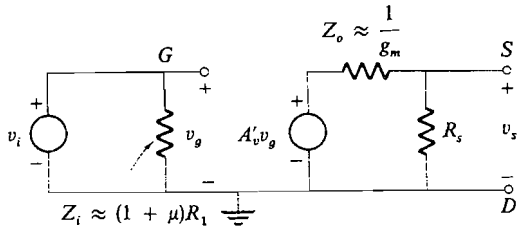


Figura 6.9-2. Circuito de Thévenin equivalente del seguidor de fuente.

Como R_1 es muy grande, el valor de v_s/v_g viene dado en (6.9-5). Sustituyendo (6.9-5) en (6.9-6*c*) y suponiendo $g_m R_s \gg 1$ se tiene

$$Z_i \approx \frac{R_1}{1 - [\mu/(\mu + 1)][R_{s2}/(R_{s1} + R_{s2})]} \tag{6.9-7a}$$

Si $R_{s2} \gg R_{s1}$,

$$Z_i \approx (\mu + 1)R_1 \tag{6.9-7b}$$

El circuito de entrada equivalente del seguidor de fuente está en la Figura 6.9-2. Obsérvese la similitud entre el seguidor de fuente y el seguidor de emisor. Ambos dispositivos se caracterizan por una elevada impedancia de entrada Z_i, una baja impedancia de salida Z_o y una ganancia de tensión casi igual a la unidad. Obsérvese que conectando R_1 al nudo formado por R_{s1} y R_{s2} resulta una impedancia de entrada mucho mayor que la que se obtendría conectando R_1 a masa.

EJEMPLO 6.9-1

Diseñar un seguidor de fuente utilizando el JFET 2N4223 para que el punto Q esté en $I_{DQ} = 3$ mA y $V_{DSQ} = 15$ V. La tensión de alimentación disponible es 20 V. Calcular las impedancias de entrada y salida y la ganancia de tensión.

Solución

En el circuito elegido se utiliza autopolarización como muestra la Figura 6.9-1*a*. La característica que se da en el Apéndice C, Figura C.3-1, indica que $V_{GSQ} \approx -1{,}2$ V. Por (6.9-1*b*)

$$R_{s1} = \frac{V_{GSQ}}{I_{DQ}} = \frac{1{,}2}{3 \times 10^{-3}} = 400\ \Omega$$

Se utiliza un valor estándar para la resistencia de 390 Ω. R_{s2} se halla ahora utilizando (6.9-1*a*):

$$R_{s2} = \frac{V_{DD} - V_{DSQ}}{I_{DQ}} - R_{s1} = \frac{20 - 15}{3 \times 10^{-3}} - 390 \approx 1280\ \Omega$$

Se usa una resistencia estándar de 1,2 kΩ. La impedancia de Thévenin de salida Z_o es $1/g_m$. En el Apéndice C, Figura C.3-1, vemos que con la corriente de drenaje especificada en reposo (3 mA), $g_m \approx 2$ mS.

Por tanto $$Z_o \approx \frac{1}{g_m} = 500\ \Omega$$

La resistencia r_{ds} es la pendiente de la característica *vi*. Hallamos que es ≈83 kΩ. Así $\mu = g_m r_{ds} \approx 166$. La ganancia de tensión A'_v es $\mu(\mu + 1)$. Por tanto

$$A'_v \approx \frac{166}{167} \approx 1$$

y por (6.9-5)

$$A_v = \frac{v_s}{v_g} = A'_v \frac{R_s}{R_e + 1/g_m} \approx 0{,}77$$

La impedancia de entrada es [Ecs. (6.9-5) y (6.9-6*c*)]

$$Z_i \approx \frac{R_1}{1 - \frac{v_s}{v_g}[R_{s2}/(R_{s1} + R_{s2})]} = \frac{R_1}{1 - 0{,}77\ [1280/(390 + 1280)]} \approx 2{,}1R_1$$

Así, si $R_1 = 100$ kΩ, $Z_i \approx 210$ kΩ.

6.10. REFLEXION DE IMPEDANCIA EN EL FET

En el análisis de los circuitos con BJT hemos visto que las impedancias y las corrientes se reflejan desde el circuito de base hasta el circuito de emisor mediante la división de las impedancias del circuito de base por $h_{fe} + 1$ y multiplicando sus corrientes asociadas por $h_{fe} + 1$. Esto sirve para conservar en cada impedancia el mismo valor de caída de tensión mientras se mantiene la relación que existe entre las corrientes de base y de emisor, es decir, $i_e = (h_{fe} + 1)i_b$. Análogamente, cuando se reflejan desde el circuito de emisor hasta el circuito de base, todas las impedancias se multiplican por $h_{fe} + 1$ y sus corrientes respectivas se dividen por $h_{fe} + 1$.

En un FET, la corriente de drenaje y la corriente de fuente son iguales. Ahora la regla para la reflexión es que las impedancias y las tensiones existentes en el circuito de drenaje pueden ser reflejadas en el circuito de fuente dividiendo las impedancias y las tensiones por $\mu + 1$. Como la impedancia y la tensión son divididas por $\mu + 1$, la corriente se mantiene invariable. De la misma manera, las impedancias y las tensiones existentes en el circuito de fuente pueden ser reflejadas en el circuito de drenaje multiplicándolas por $\mu + 1$.

La técnica de reflexión de impedancia se explica utilizando el circuito representado en la Figura 6.10-1. Aquí tenemos un amplificador FET con fuentes de tensión independientes separadas en los circuitos de puerta, drenaje y fuente. Las tres fuentes fueron elegidas para explicar el efecto de reflexión en una variedad de situaciones. Han sido omitidos todos los componentes de polarización.

En la Figura 6.10-2 está representado el circuito equivalente de la Figura 6.10-1. En este circuito tenemos

$$i_{ds} = \frac{\mu v_{gs} + v_3 - v_2}{R_s + r_{ds} + R_d} \tag{6.10-1a}$$

donde

$$v_{gs} = v_1 - v_2 - i_{ds}R_s \tag{6.10-1b}$$

Combinando (6.10-1*a*) y (6.10-1*b*) se tiene

$$i_{ds} = \frac{\mu v_1 + v_3 - (\mu + 1)v_2}{(\mu + 1)R_s + r_{ds} + R_d} \tag{6.10-2}$$

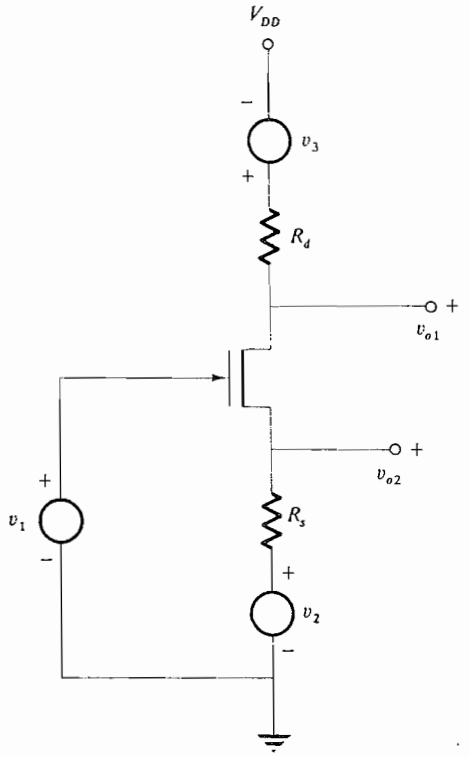


Figura 6.10-1. Un amplificador FET con tres fuentes de tensión independientes (componentes de polarización omitidos).

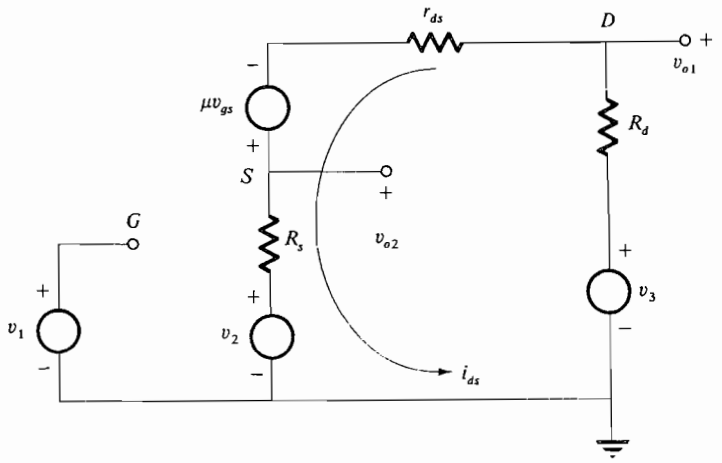


Figura 6.10-2. Circuito equivalente para la Figura 6.10-1.

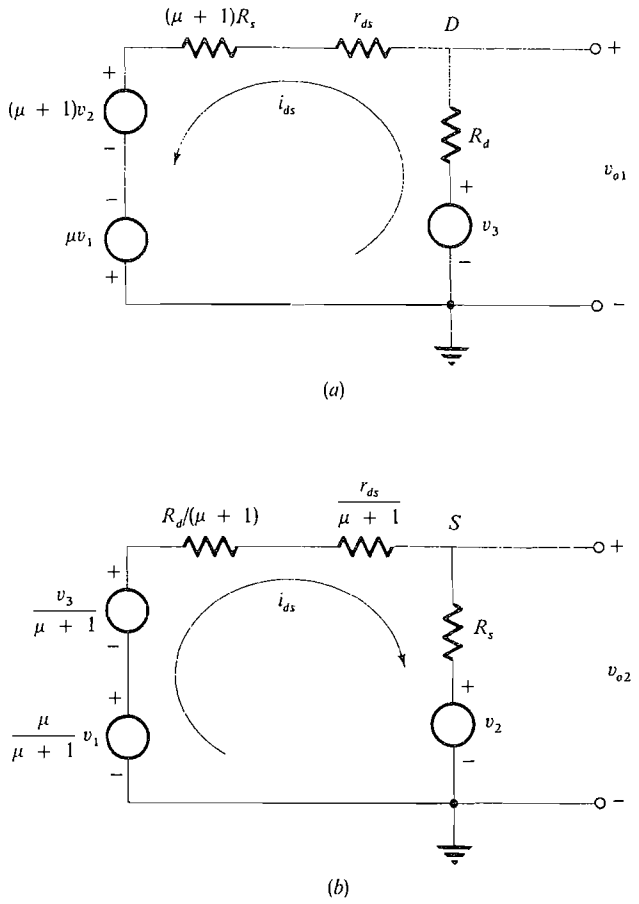


Figura 6.10-3. Reflexión de impedancia en el FET: (*a*) circuito equivalente para la Figura 6.10-1 visto desde el drenaje; (*b*) circuito equivalente para la Figura 6.10-2 visto desde la fuente.

El circuito equivalente visto mirando entre el drenaje y masa se halla directamente por (6.10-2) y es como el representado en la Figura 6.10-3*a*. Obsérvese que no ha sido alterado ningún componente del circuito de drenaje, pero la resistencia de fuente R_s ha sido multiplicada por $\mu + 1$, la tensión v_2 existente en el circuito de fuente ha sido multiplicada por $\mu + 1$ y la tensión de puerta v_1 ha sido multiplicada por μ.

El circuito equivalente visto mirando entre fuente y masa se halla de (6.10-2) después de dividir numerador y denominador por $\mu + 1$:

$$i_{ds} = \frac{[\mu/(\mu + 1)]v_1 + v_3/(\mu + 1) - v_2}{R_s + r_{ds}/(\mu + 1) + R_d/(\mu + 1)} \tag{6.10-3}$$

El circuito equivalente está representado en la Figura 6.10-3*b*. En esta figura R_s y v_2 no han variado ya que representan los mismos componentes que se encuentran en el circuito de

fuente. Sin embargo, los componentes situados en el circuito del drenaje r_d, R_d y v_3 han sido divididos cada uno por $\mu + 1$. La tensión de puerta v_1 está multiplicada por μ para aplicarla en el circuito de drenaje y luego dividida por $\mu + 1$ para reflejarla en fuente.

EJEMPLO 6.10-1

Determinar el circuito de Thévenin equivalente del seguidor de fuente representado en la Figura 6.9-1*a*. Utilizar el principio de reflexión de todos los componentes en el circuito de fuente.

Solución

Comenzamos simplificando el circuito para que sea como el de la Figura 6.10-4*a*. Como sólo nos interesa la pequeña señal hemos sustituido el condensador y la tensión de alimentación por cortocircuitos. A continuación separamos los circuitos de puerta y fuente suprimiendo la conexión entre el punto *a* y el punto *b*, como se muestra. Puesto que los puntos *a* y *b* están exactamente a la misma tensión, antes y después de que se suprima la conexión, las corrientes y las tensiones del circuito no cambian por esta modificación.

Vemos ahora que la Figura 6.10-4*a* es similar a la 6.10-1 con $v_3 = 0$ y $R_d = 0$. Entonces, el circuito equivalente obtenido haciendo uso de la reflexión en la fuente es como el de la Figura 6.10-4*b* (véase Fig. 6.10-3*b*). La tensión de puerta v_i es reflejada en el circuito de fuente después de la multiplicación por $\mu/(\mu + 1)$ y r_{ds} es reflejada en el circuito de fuente después de la multiplicación por $1/(\mu + 1)$.

Se propone como problema demostrar que la expresión exacta de la ganancia v_s/v_i es

$$A_v = \frac{[\mu/(\mu + 1)]g_m[R_{s1} + (R_{s2} \parallel R_1)] + (1/R_1)(R_{s2} \parallel R_1)}{1 + g_m[R_{s1} + (R_{s2} \parallel R_1)]} \tag{6.10-4}$$

Sin embargo, si $R_1 \gg R_{s2}$, la ganancia se reduce a la hallada por el análisis directo del circuito y dada por (6.9-5).

La impedancia de salida Z_o se obtiene poniendo $v_i = 0$ y calculando v_s/i_o

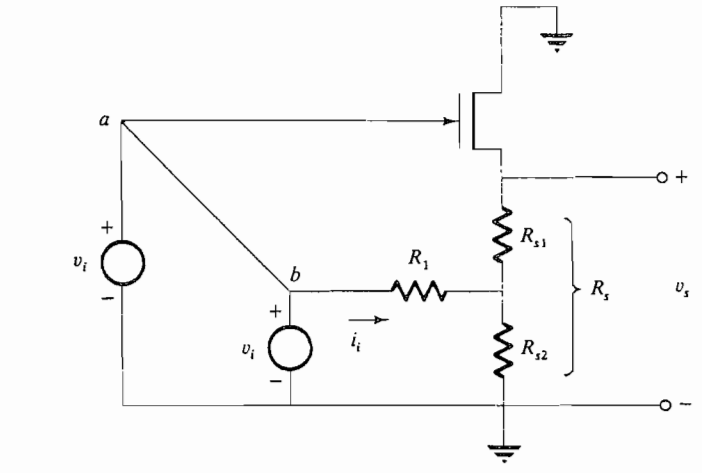
$$Z_o = \frac{1}{g_m} \parallel [R_{s1} + (R_1 \parallel R_{s2})] \tag{6.10-5}$$

Esta expresión se reduce a $1/g_m$ si $1/g_m \ll R_s$.

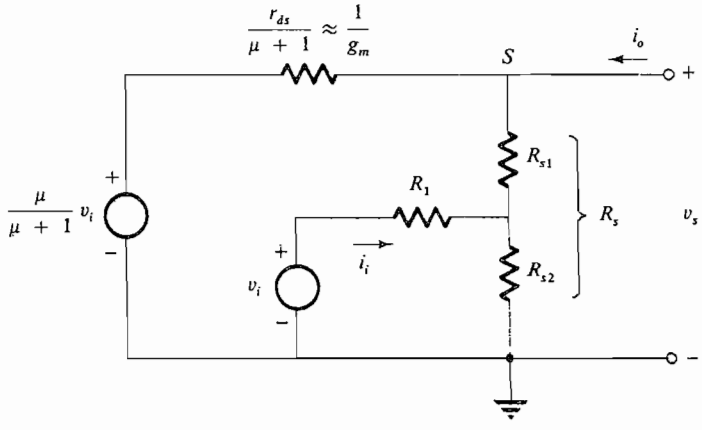
Puesto que la corriente en la puerta es cero, la impedancia de entrada es simplemente $Z_1 = v_i/i_i$. Esto se puede hallar directamente por la Figura 6.10-4*b*. El resultado, después de un laborioso cálculo algebraico es

$$Z_i = \frac{R_1 + [R_{s2} \parallel (R_{s1} + 1/g_m)]}{1 - [\mu/(\mu + 1)]g_m R_{s2}/[1 + g_m(R_{s1} + R_{s2})]} \tag{6.10-6}$$

Si $R_1 \gg R_{s2}$ y $g_m(R_{s1} + R_{s2}) \gg 1$, esto se reduce a (6.9-7*a*).



(a)



(b)

Figura 6.10-4. Seguidor de fuente para el Ejemplo 6.10-1: (*a*) redibujado en forma simplificada en la Figura 6.9-1*a*; (*b*) salida del circuito equivalente obtenido haciendo uso de la reflexión.

6.11. EL CIRCUITO DIVISOR DE FASE

El FET puede ser utilizado en un circuito divisor de fase como muestra la Figura 6.11-1. Para mayor simplicidad se han omitido todos los componentes de polarización. Para que el circuito de la Figura 6.11-1 funcione como divisor de fase, las dos salidas v_{o1} y v_{o2} deben ser de la misma amplitud y estar desfasadas 180°. Puesto que la corriente de drenaje y la de fuente son iguales,

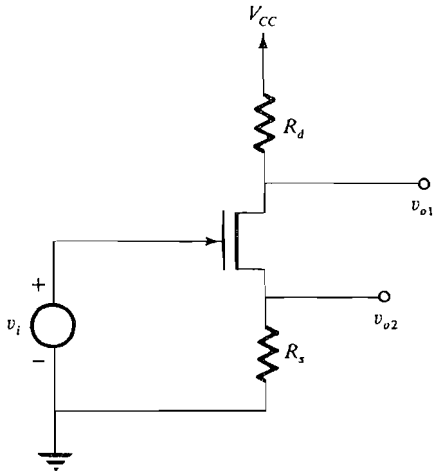


Figura 6.11-1. El circuito divisor de fase.

$$i_{ds} = -\frac{v_{o1}}{R_d} \tag{6.11-1a}$$

e

$$i_{ds} = \frac{v_{o2}}{R_s} \tag{6.11-1b}$$

donde

$$v_{o2} = -\frac{R_s}{R_d} v_{o1} \tag{6.11-2}$$

Si $R_s = R_d$, el circuito actúa como divisor de fase.

Para determinar la ganancia real y la impedancia de salida del divisor de fase, observemos que el circuito es idéntico al de la Figura 6.10-1 con $v_2 = v_3 = 0$ V y $v_1 = v_i$. Por tanto, de los circuitos equivalentes de la Figura 6.10-3 se deduce que

$$v_{o1} = -\frac{\mu R_d}{(\mu + 1)R_s + r_{ds} + R_d} v_i \tag{6.11-3a}$$

y

$$v_{o2} = \frac{[\mu/(\mu + 1)]R_s}{R_s + r_{ds}/(\mu + 1) + R_d/(\mu + 1)} v_i \tag{6.11-3b}$$

Como era previsible (6.11-3*a*) y (6.11-3*b*) tienen magnitudes idénticas si $R_d = R_s$.

La impedancia de salida vista desde el drenaje se halla por la Figura 6.10-3*a*.

$$Z_{o1} = R_d \parallel [r_{ds} + (\mu + 1)R_s] \tag{6.11-4a}$$

mientras la impedancia de salida vista desde la fuentes es (véase Fig. 6.10-3*b*)

$$Z_{o2} = R_s \parallel \left(\frac{r_{ds}}{\mu + 1} + \frac{R_d}{\mu + 1}\right) \tag{6.11-4b}$$

Para $R_d = R_s$, $(\mu + 1)R_s \gg r_{ds}$ y $\mu \gg 1$, estas expresiones se reducen a

$$Z_{o1} \approx \frac{R_s[r_{ds} + (\mu + 1)R_s]}{r_{ds} + (\mu + 2)R_s} \approx R_s \tag{6.11-5a}$$

y

$$Z_{o2} \approx \frac{R_s(r_{ds} + R_s)}{r_{ds} + (\mu + 2)R_s} \approx \frac{r_{ds} + R_s}{\mu} \tag{6.11-5b}$$

Por tanto Z_{o2} es usualmente menor que Z_{o1}.

6.12. EL AMPLIFICADOR EN CONFIGURACION EN PUERTA COMUN

El amplificador en configuración en puerta común es análogo al de configuración en base común y se utiliza principalmente en altas frecuencias o como conmutador. La Figura 6.12-1*a* es el esquema de este amplificador con todos los elementos de polarización omitidos para mayor simplicidad.

Analicemos el funcionamiento de este circuito hallando un modelo de circuito equivalente. La impedancia de entrada se halla reflejando las resistencias del circuito de drenaje en el de fuente. La impedancia de entrada resultante R_{sg} entre los terminales S y G es

$$R_{sg} = \frac{v_{sg}}{i_i} = \frac{r_{ds} + R_d}{\mu + 1} \tag{6.12-1}$$

Este resultado se ha obtenido observando que las resistencias del circuito de drenaje, cuando se reflejan en el de fuente, resultan divididas por $\mu + 1$. La Figura 6.12-1*b* muestra el modelo del circuito de entrada.

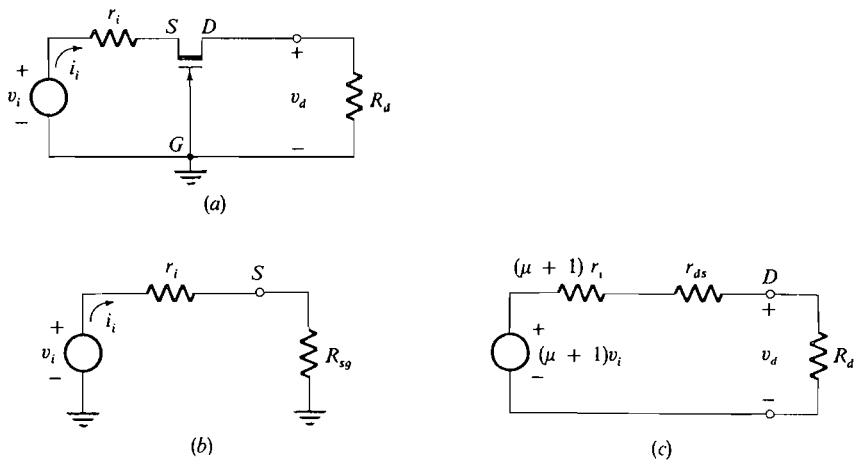


Figura 6.12-1. El amplificador en puerta común: (*a*) esquema; (*b*) circuito equivalente en la entrada (fuente); (*c*) circuito equivalente desde el drenaje.

El equivalente de Thévenin de salida se halla reflejando la tensión de entrada v_i y la resistencia r_i en el drenaje mediante la multiplicación de cada elemento por $\mu + 1$. El circuito resultante está en la Figura 6.12-1*c*. Por este modelo podemos calcular la ganancia del amplificador en configuración en puerta común. El resultado es

$$A_v = \frac{v_d}{v_i} = \frac{(\mu + 1)R_d}{R_d + r_{ds} + (\mu + 1)r_i} \tag{6.12-2}$$

6.13. EL FET DE DOBLE PUERTA

En esta sección estudiamos el funcionamiento del FET de doble puerta como multiplicador de dos señales. En la Figura 6.13-1*a* aparece un FET de deplexión de doble puerta y en la Figura 6.13-1*b* se muestra su símbolo. Como se ve en esta figura, cada puerta puede modular la conductividad del canal. En la Figura 6.13-2 se observan las características *vi* del FET. La Figura 6.13-2*a* muestra la variación de la corriente i_{DS} como función de v_{G1S}, con v_{G2S} como parámetro. En la Figura 6.13-2*b* se puede apreciar la característica *vi* drenaje-fuente para $v_{GS2} = 4$ V. Si las características se redibujan para $v_{G2S} = 2$ V, la corriente i_{DS} sería menor que la mostrada (cuando se mide para los mismos valores de v_{G1S} y v_{DS}). Nótese en la Figura 6.13-2*b* que la corriente deja de fluir cuando $v_{G1S} = V_{T1} \simeq -2$ V. También en la Figura 6.13-2*a*, $v_{G2S} = V_{T2} \simeq -1$ V, lo que demuestra que el FET es un dispositivo de deplexión o empobrecimiento.

Para ver cómo funciona el FET de doble puerta lo mismo que un multiplicador consideremos que $v_{G1S} = 0$ V, $v_{G2S} = 0{,}5$ V y que se aplica una señal pequeña en cada puerta, como muestra la Figura 6.13-3*a*. Suponiendo que el FET funciona por encima del punto de estrangulamiento, podemos escribir

$$i_{DS} = I(v_{G1S}, v_{G2S}) \tag{6.13-1}$$

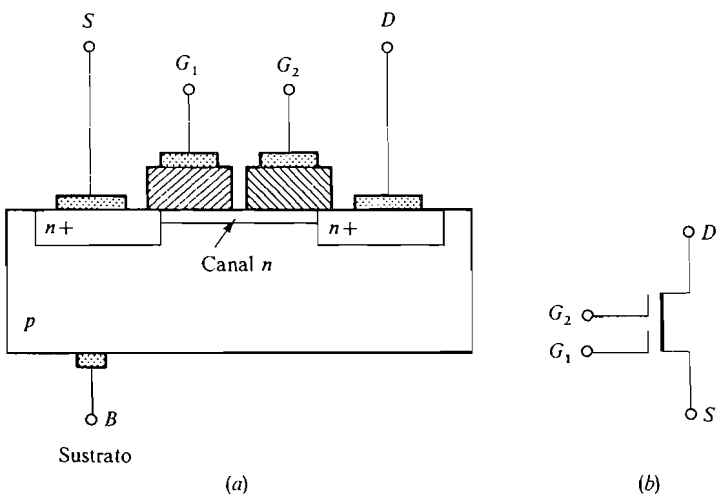


Figura 6.13-1. FET del modo de empobrecimiento NMOS de doble puerta: (*a*) vista esquemática; (*b*) símbolo de circuito.

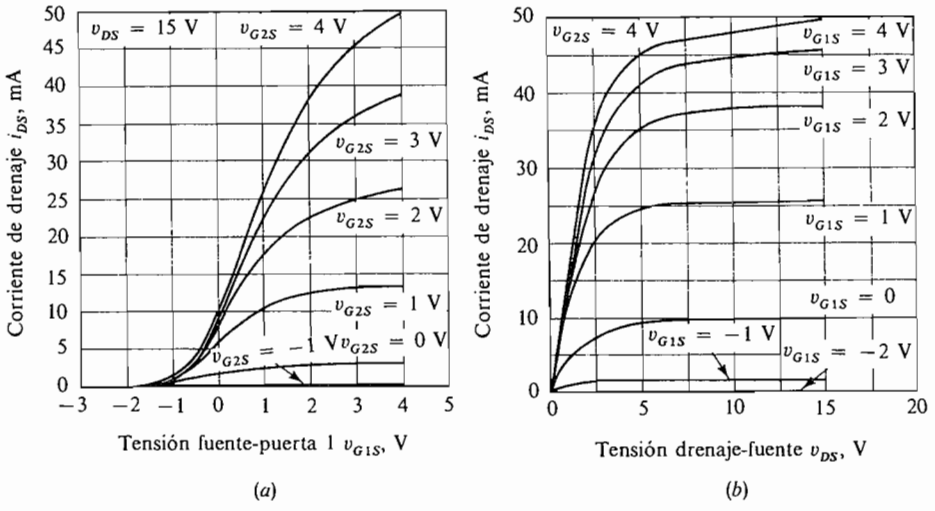


Figura 6.13-2. Características *vi* del FET de doble puerta MN81 para $T = 25$ °C: (*a*) i_{DS} en función de v_{G1S}; (*b*) i_{DS} en función de v_{DS}.

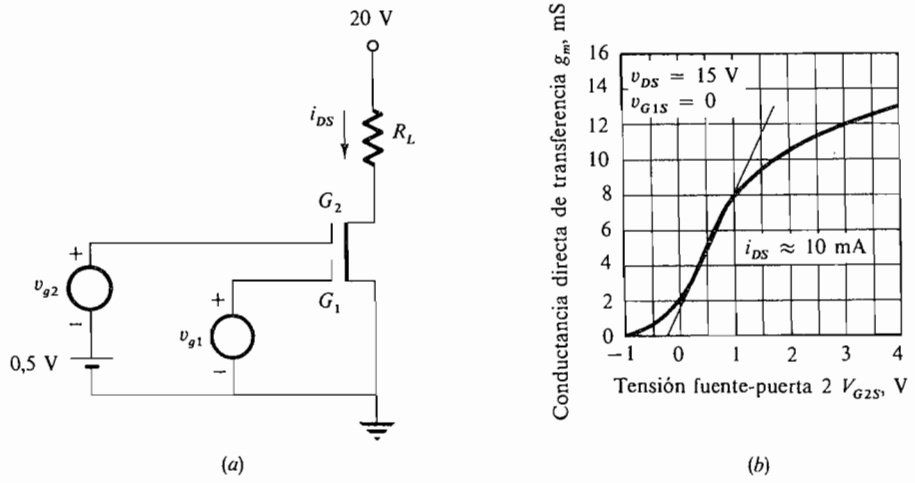


Figura 6.13-3. FET de doble puerta: (*a*) circuito multiplicador; (*b*) transconductancia g_m en función de v_{G2S}.

puesto que por encima de este punto (en saturación) la corriente i_{DS} del FET es relativamente independiente de v_{DS}. Entonces, utilizando el desarrollo en serie de Taylor en torno a la tensión de reposo, tenemos

$$i_{DS} = I(0,\ 0{,}5) + \left[\frac{\partial I}{\partial v_{G1S}}\bigg|_{\substack{v_{G1S}=0\text{ V}\\ v_{G2S}=0{,}5\text{ V}}}\right] v_{g1} + \left[\frac{\partial I}{\partial v_{G2S}}\bigg|_{\substack{v_{G1S}=0\text{ V}\\ v_{G2S}=0{,}5\text{ V}}}\right] v_{g2} + \\ + \left[\frac{\partial^2 I}{\partial v_{G1}\ \delta v_{G2}}\bigg|_{\substack{v_{G1S}=0\text{ V}\\ v_{G2S}=0{,}5\text{ V}}}\right] v_{g1} v_{g2} + \cdots \qquad (6.13\text{-}2)$$

Cuando el FET ha de funcionar como multiplicador, se suprimen los tres primeros términos con los circuitos apropiados y se concentra la atención en el cuarto término:

$$\left[\left.\frac{\partial^2 I}{\partial v_{G1}\,\partial v_{G2}}\right|_{\text{punto } Q}\right] v_{g1}v_{g2} = K_p v_{g1}v_{g2}$$

Este término es proporcional al producto de v_{g1} y v_{g2}. Para determinar el coeficiente K_p lo expresamos por

$$K_p = \frac{\partial}{\partial v_{G2}}\left(\frac{\partial I}{\partial v_{G1S}}\right)_{\text{punto } Q} \qquad (6.13\text{-}3a)$$

Pero, por (6.7-2) $g_m = \delta I/\delta v_{G1S}$, de donde

$$K_p = \left(\frac{\partial g_m}{\partial v_{G2S}}\right)_{\text{punto } Q} \qquad (6.13\text{-}3b)$$

La Figura 6.13-3*b* muestra la variación de g_m en función de v_{G2S}. La pendiente de esta curva en $v_{G2S} = 0{,}5$ V es $K_p \approx 6$ mA/V^2.

Por ejemplo, si $v_{g1} = 0{,}5 \cos \omega_1 t$ y $v_{g2} = 0{,}5 \cos \omega_1 t$, i_{DS} contiene el término

$$(6 \times 10^{-3})(0{,}5 \cos \omega_1 t)(0{,}5 \cos \omega_2 t) = 1{,}5 \cos \omega_1 t \cos \omega_2 t \quad \text{mA}$$

6.14. ESPECIFICACIONES DE LOS FABRICANTES

Las especificaciones que se dan son para el MOSFET de canal *n* 2N3796. Este FET es un dispositivo de empobrecimiento que funciona en la región de enriquecimiento y también en la de empobrecimiento. Está clasificado como dispositivo de audiofrecuencia y de baja potencia.

Valores nominales máximos ($T_a = 25$ °C). Los valores nominales máximos son

$V_{DS} = 25$ V	$P_D = 200$ mW
$V_{GS} = \pm 10$ V	$\theta_{jc} = 1{,}14$ °C/W
$I_{DS} = 20$ mA	$T_j = 200$ °C

Explicación de las especificaciones. Las especificaciones de los valores nominales máximos definen las tensiones de ruptura, la máxima corriente y la máxima potencia, así como las características de degradación. Son similares a las especificaciones para el transistor incluidas en la Sección 6.6 y se utilizan de la misma manera.

La Figura 6.14-1 muestra la característica *vi* de este MOSFET. Esta característica es «típica», es decir, el FET 2N3796 real utilizado puede diferir hasta en un 15 por 100 de la característica típica. Así pues, a diferencia de las del transistor, las características *vi* se pueden utilizar para ajustar el punto Q de reposo.

La característica de transferencia de la Figura 6.14-2 también la dan algunas veces los fabricantes. La pendiente inversa de esta curva es la transconductancia g_m.

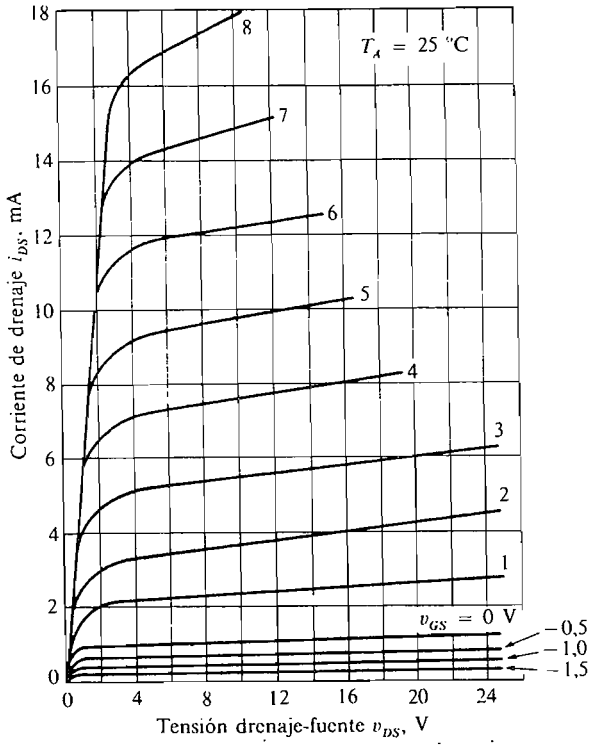


Figura 6.14-1. Características *vi* de salida del MOSFET.

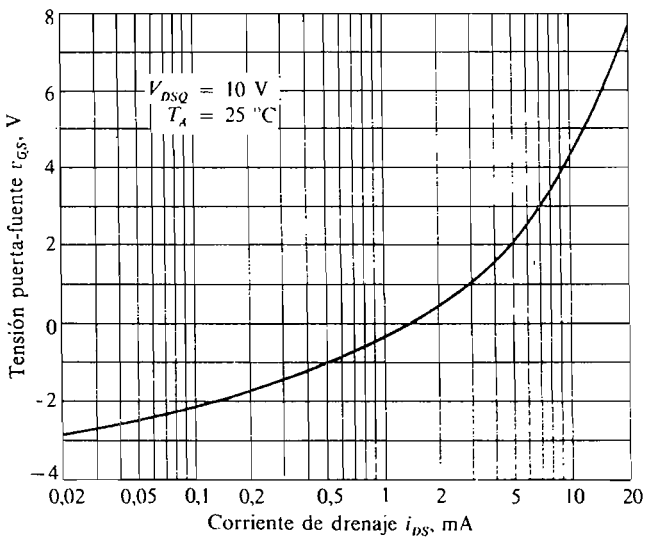


Figura 6.14-2. Característica de transferencia.

La Figura 6.14-3 es una característica extremadamente útil aunque no necesaria. Muestra que en $V_{DS} = 10$ V, $1/r_{ds}$ aumenta linealmente con la corriente [Ec. (6.7-4*b*)]. Además da la variación de g_m con la corriente de drenaje. En la Ecuación (6.7-3) se ve que g_m es proporcional a $\sqrt{I_{DSQ}}$. Obsérvese que el producto $g_m r_{ds} = \mu$ disminuye cuando aumenta la corriente de drenaje. Esto se puede ver combinando (6.7-3) y (6.7-4*b*) para obtener

$$g_m r_{ds} \propto \frac{1}{\sqrt{I_{DQ}}} \tag{6.14-1}$$

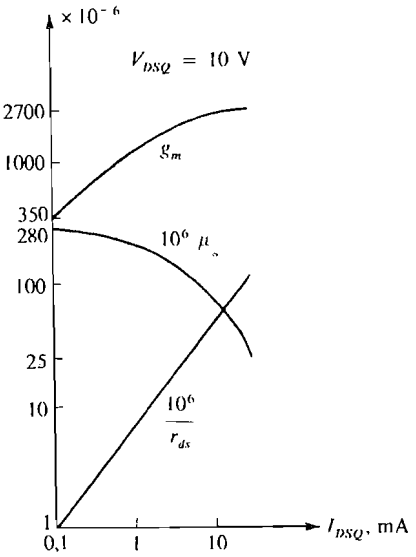


Figura 6.14-3. Variación de los parámetros FET con la corriente de drenaje.

PROBLEMAS

En todos los problemas debe acompañar a la solución un circuito equivalente completo.

6.1-1. Para el amplificador representado en la Figura P6.1-1, $h_i = 2$ kΩ, $h_r = 0$, $h_f = 200$ y $1/h_o = 10$ kΩ. Hallar A_i, i_2/i_i y $A_v = v_2/v_i$, donde $v_i = i_i r_i$.

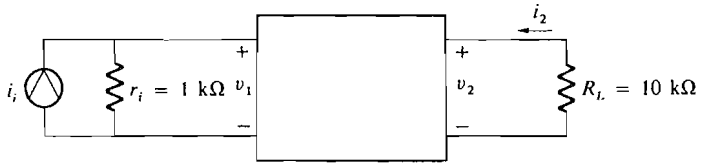


Figura P6.1-1.

6.1-2. Los transistores de alta frecuencia suelen estar especificados en términos de los parámetros *y*, definidos por

$$i_1 = y_{11}v_1 + y_{12}v_2 \qquad i_2 = y_{21}v_1 + y_{22}v_2$$

(*a*) Dibujar el circuito equivalente similar al de la Figura 6.1-1*b* utilizando los parámetros *y*.
(*b*) Expresar las definiciones desde los terminales de los parámetros *y* como en (6.1-4) a (6.1-7).

6.1-3. Hallar las relaciones mediante las cuales se pueden calcular los parámetros y cuando son conocidos los parámetros h.

6.1-4. Los parámetros de las redes de dos terminales suelen estar definidos en términos de las derivadas parciales calculadas para el punto de funcionamiento. Para los parámetros híbridos (6.1-2) y (6.1-3) son

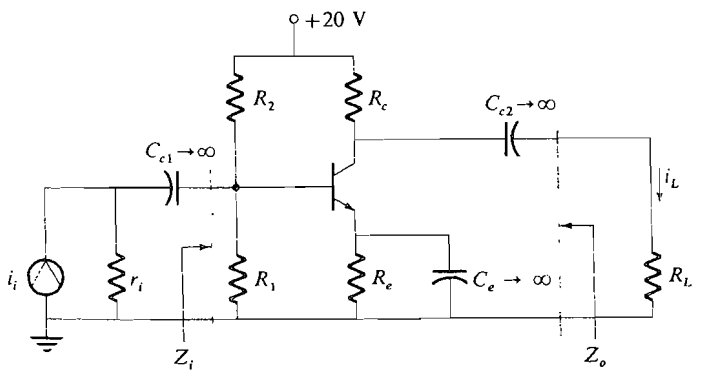
$$v_{1T} = V(i_{1T}, v_{2T}) \qquad i_{2T} = I(i_{1T}, v_{2T})$$

donde $i_{1T} = I_{1Q} + i_1$, etc. Desarrollar v_{1T} e i_{2T} en series de Taylor con dos variables alrededor del punto de trabajo I_{1Q}, V_{1Q}; despreciar los términos de orden más elevado y hallar la definición de los parámetros h en términos de las derivadas parciales de las funciones V e I.

6.2-1. Calcular h_{oe} y h_{ie} en $I_{CQ} = 1$ y 5 mA, $V_{CEQ} = 10$ V para el transistor *npn* de silicio 2N3904 cuyas características se dan en el Apéndice C.

6.2-2. Dibujar dos circuitos que se puedan utilizar para medir cada uno de los parámetros h. *Sugerencia:* Referirse a la Figura 6.1-1*b* y recordar que se puede obtener un cortocircuito de c.a. utilizando un condensador que tenga una reactancia muy pequeña a la frecuencia que se utiliza.

6.2-3. Para el transistor de silicio de la Figura P6.2-3, $h_{fe} = 100$ y $h_{re} = h_{oe} = 0$. Hallar h_{ie}, A_i, Z_i, Z_o.



$r_i = 2$ kΩ
$R_1 = 3{,}5$ kΩ
$R_2 = 20$ kΩ
$R_c = 1{,}5$ kΩ
$R_e = 500$ Ω
$R_L = 1{,}5$ kΩ

Figura P6.2-3.

6.2-4. Para el transistor de la Figura P6.2-4, $h_{ie} = 1$ kΩ, $h_{re} = 10^{-4}$, $h_{oe} = 10$ μS y $h_{fe} = 50$.
(*a*) Suponer que $R_b \gg h_{ie}$. Representar $A_i = i_L/i_i$ en función de R_L.
(*b*) Suponer que $h_{re} = h_{oe} = 0$. Representar A_i en función de R_L en los mismos ejes de la parte (*a*). Comparar los resultados de (*a*) y (*b*).
(*c*) Repetir las partes (*a*) y (*b*) para Z_i.
(*d*) Repetir las partes (*a*) y (*b*) para Z_o.

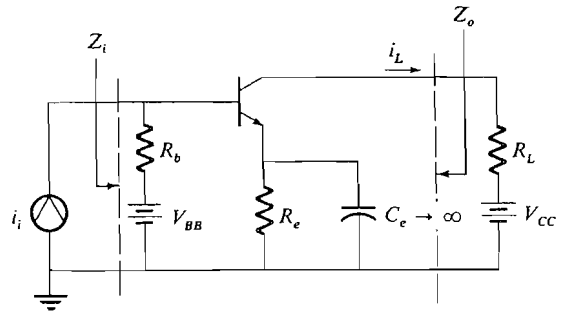


Figura P6.2-4.

6.2-5. Para el transistor de la Figura P6.2-5, $h_{re} = h_{oe} = 0$ y $50 < h_{fe} < 150$. Calcular los márgenes previsibles de A_i y Z_i.

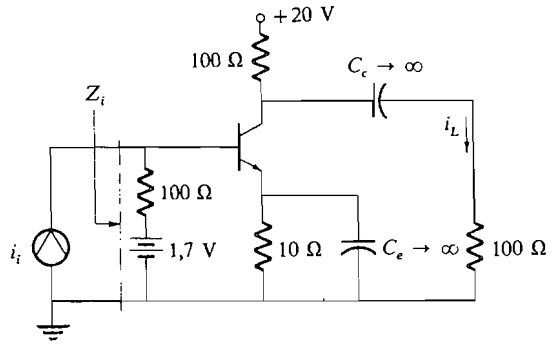


Figura P6.2-5.

6.2-6. Hallar la ganancia de tensión en la Figura P6.2-6 $A_v = v_c/v_i$ y Z_i. Suponer que $h_{fe} = 100$ y $h_{oe} = h_{re} = 0$.

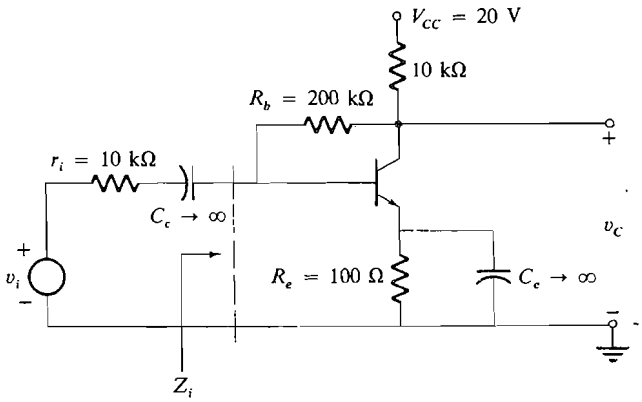


Figura P6.2-6.

6.2-7. En el circuito de la Figura P6.2-7 hallar (*a*) $A_i = i_L/i_i$ y (*b*) la máxima excursión simétrica posible de i_L.

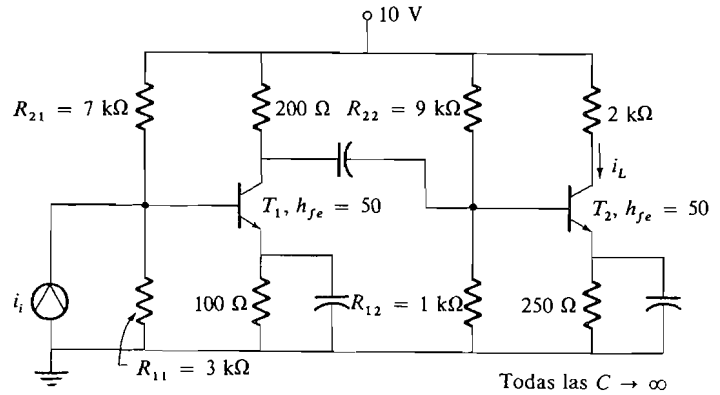


Figura P6.2-7.

6.2-8. Repetir el problema de diseño del Ejemplo 6.2-3 para obtener la mayor ganancia de corriente posible.

6.3-1. (*a*) Hallar los cuatro parámetros híbridos de la configuración en base común en función de los cuatro parámetros híbridos de la configuración en emisor común sustituyendo $i_e - i_c$ por i_b y $v_{cb} + v_{be}$ por v_{ce} en las ecuaciones en emisor común y hallando v_{be} e i_c en función de i_e y v_{cb}.
(*b*) Demostrar que si $h_{ie}h_{oe} \ll 1$ y $h_{re} \ll 1$.

$$h_{ib} = \frac{h_{ie}}{1 + h_{fe}} \qquad h_{rb} = -\left(h_{re} - \frac{h_{oe}h_{ie}}{1 + h_{fe}}\right)$$

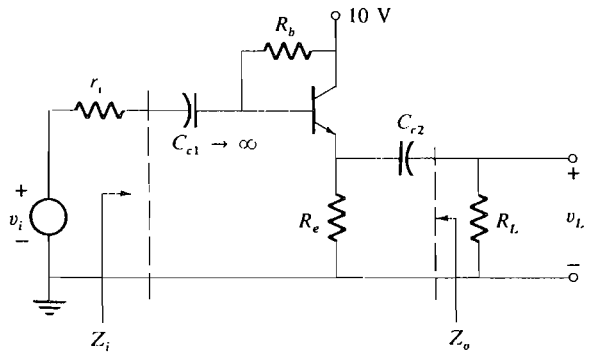
$$h_{fb} = \frac{-h_{fe}}{1 + h_{fe}} \qquad h_{ob} = \frac{h_{oe}}{1 + h_{fe}}$$

6.3-2. Utilizando las ecuaciones de Ebers-Moll (2.2-14) y los resultados del Problema 6.1-4 calcular h_{ib} y h_{ob}.

6.3-3. (*a*) Hallar los parámetros híbridos de la configuración en base común para el transistor del Problema 6.2-4.
(*b*) Utilizar estos parámetros en el circuito de la Figura 6.3-4 para hallar A_i, A_v, Z_i y Z_o.

6.3-4. Un transistor tiene $h_{fe} = 10$, $h_{oe} = 0{,}1$ mS a 1 mA y $h_{rb} = 0$. Diseñar un amplificador en configuración en base común como el de la Figura 6.3-4*a* para la máxima ganancia de tensión si $r_i = 50\ \Omega$ y $R_L = 10$ kΩ.

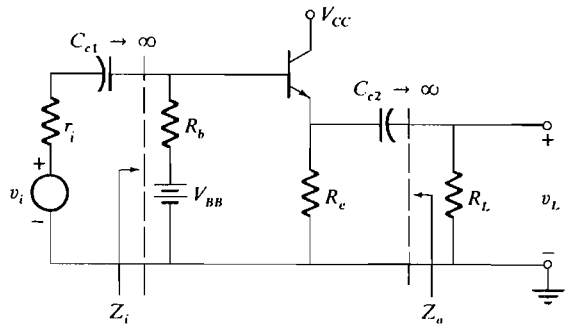
6.4-1. Para el circuito de la Figura P6.4-1 hallar h_{ie}, A_v, Z_i y Z_o.



$h_{fe} = 100$
$h_{oe} = h_{re} = 0$
$r_i = 500\ \Omega$
$R_b = 100$ kΩ
$R_e = 1$ kΩ
$R_L = 1$ kΩ

Figura P6.4-1.

6.4-2. Para el circuito de la Figura P6.4-2 representar (*a*) A_v en función de r_i para $0 < r_i < \infty$ ($R_L = 1$ kΩ), (*b*) A_v en función de R_L para $0 < R_L < \infty$ ($r_i = 1$ kΩ), (*c*) Z_i en función de R_L para $0 < R_L < \infty$ y (*d*) Z_o en función de r_i para $0 < r_i < \infty$.



$h_{fe} = 100$
$h_{ie} = 1$ kΩ
$h_{oe} = h_{re} = 0$
$R_b \to \infty$
$R_e = 1$ kΩ

Figura P6.4-2.

6.4-3. En el Ejemplo 6.4-2 demostrar que la máxima R_c para una excursión de cresta de 4 V es 75 Ω.

6.4-4. En un circuito seguidor de emisor se utiliza un transistor *npn* de silicio con $I_{EQ} = 1$ mA, $V_{CEQ} = 5$ V. En este punto Q, $h_{ib} = 42$ Ω y $h_{fb} = -0{,}96$. En este circuito $r_i = 10$ kΩ, $R_b = 100$ kΩ y $R_e = R_L = 1$ kΩ. Hallar A_v, Z_o y Z_i.

6.4-5. En el circuito de la Figura 6.4-11*a* sean $R_1 = 10$ kΩ, $R_2 = 20$ kΩ, $R_3 = 100$ kΩ, $V_{CC} = 20$ V, $R_e = 1$ kΩ, $r_i = 600$ Ω y $h_{fe} = h_{FE} = 50$.
(*a*) Calcular Z_{in}.
(*b*) Determinar el circuito Thévenin equivalente en v_L(v_T y R_T).

6.4-6. En el circuito de la Figura P6.4-6 hallar A_i y Z_i.

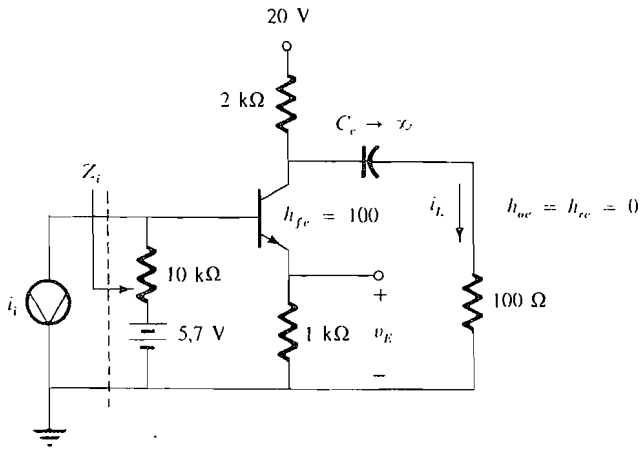


Figura P6.4-6.

6.4-7. Hallar el circuito Thévenin equivalente en v_E en la Figura P6.4-6.

6.4-8. Calcular Z_{o1} y Z_{o2} en la Figura 6.4-10. Comparar utilizando $|h_{fb}R_c| = R_c$.

6.4-9. En el circuito de la Figura P6.4-9 hallar (*a*) R_{11}, R_{21}, R_{12} y R_{22} para que v_L pueda experimentar la máxima excursión y (*b*) v_L/i_i.

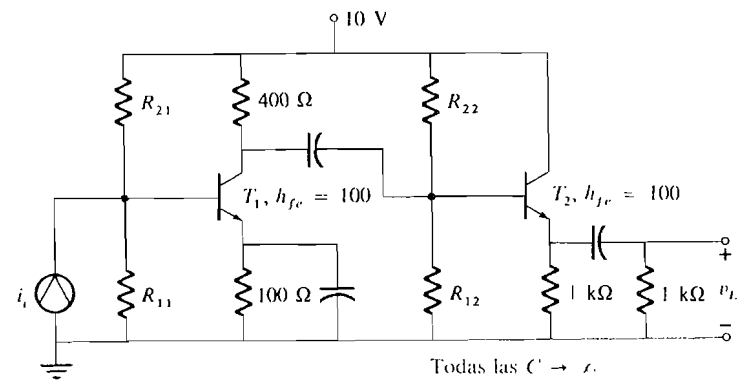


Figura P6.4-9.

6.7-1. Dos MOSFET idénticos están conectados en paralelo como en la Figura P6.7-1. Hallar el MOSFET equivalente.

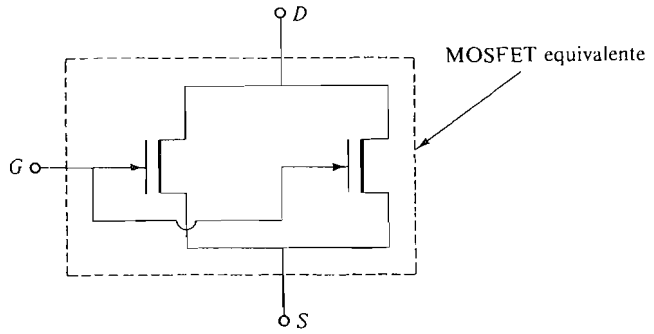


Figura P6.7-1.

6.8-1. El MOSFET de la Figura P6.8-1 está polarizado de modo que $I_{DSQ} = 2$ mA.
(*a*) Calcular V_{DSQ}, V_{GSQ} y g_m suponiendo que $k_n = 1$ mA/V^2.
(*b*) Si $r_{ds} = 20$ kΩ, calcular la ganancia de tensión v_L/v_i.

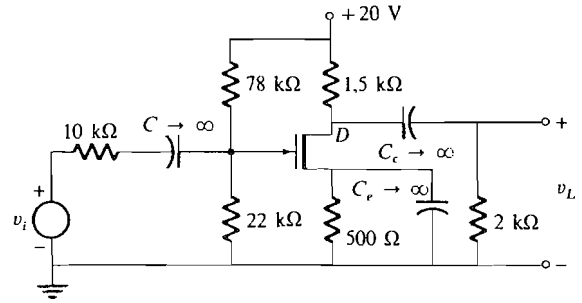


Figura P6.8-1.

6.8-2. (*a*) Calcular la ganancia de tensión v_o/v_i del circuito del Problema 4.5-3 suponiendo $r_{ds} = 30$ kΩ.
(*b*) Hallar Z_i y Z_o.

6.8-3. Diseñar el amplificador MOSFET de la Figura P6.8-3 de modo que tenga una ganancia de 10. Suponer $V_{GSQ} = 3$ V, $V_{DSQ} = 4$ V, $I_{DSQ} = 5$ mA, $r_{ds} = 20$ kΩ y $k_n = 2$ mA/V^2.

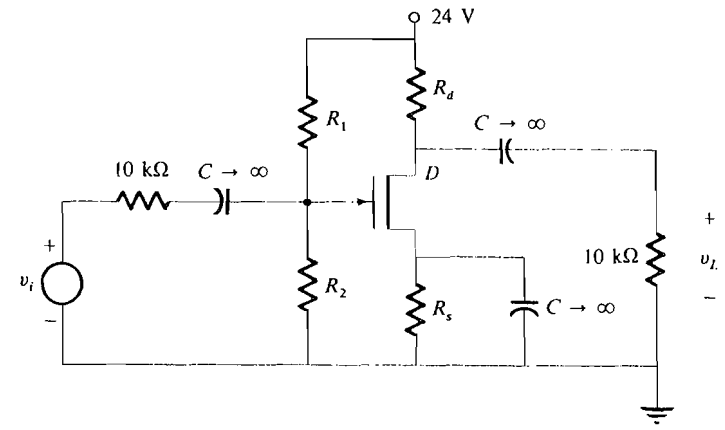


Figura P6.8-3.

6.8-4. En el Ejemplo 6.8-1 se utiliza el MOSFET que tiene las variaciones más desfavorables de los parámetros indicados en la Figura 4.5-4, donde $V_{DD} = 20$ V, $R_L = 5$ kΩ, $R_f = 1$ MΩ y $r_{ds} = 20$ kΩ. Calcular la variación de la ganancia de tensión v_{ds}/v_i.

6.9-1. (*a*) Calcular la ganancia de tensión A'_v para el circuito del Problema 4.5-4.
(*b*) Hallar Z_i y Z_o.

6.10-1. (*a*) Hallar el circuito Thévenin equivalente en v_o para el seguidor de fuente del Problema 4.5-4.
(*b*) Hallar Z_i.

6.10-2. Diseñar un seguidor de fuente utilizando el circuito de la Figura P6.10-2. Se utilizará un JFET 2N4223 (véase Apéndice C). La ganancia debe ser mayor que 0,8. Hallar R_1, R_{s1} y R_{s2}.

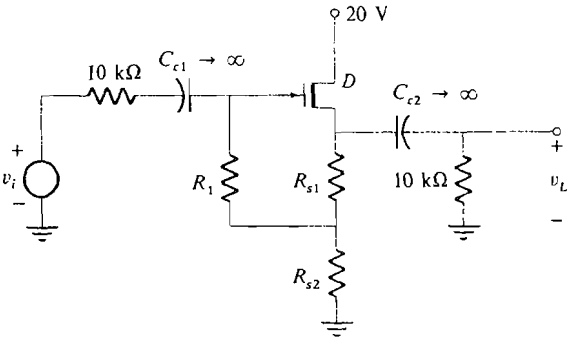


Figura P6.10-2.

6.10-3. Verificar las ecuaciones (6.10-4), (6.10-5) y (6.10-6).

6.11-1. (*a*) Repetir el Problema 6.8-1 con el condensador de desacoplo de la resistencia de fuente suprimido. (*b*) Hallar la resistencia Thévenin en v_L y (*c*) en la resistencia de fuente de 500 Ω.

6.11-2. (*a*) Hallar el circuito Thévenin equivalente de v_L en el Problema 6.8-3 si el condensador de desacoplo de la resistencia de fuente se ha suprimido. (Utilizar R_d = 3 kΩ y R_s = 1 kΩ.)
(*b*) Hallar el circuito Thévenin equivalente a través de R_s si se ha suprimido el condensador de desacoplo de la resistencia de fuente.

6.11-3. En la Figura P6.11-3 se debe utilizar como divisor de fase el MOSFET que tiene los valores de los parámetros en el caso más desfavorable con las variaciones de la Figura 4.5-4. Suponer r_{ds} = 30 kΩ, $R_L + R_S$ = 10 kΩ y V_{CC} = 20 V.

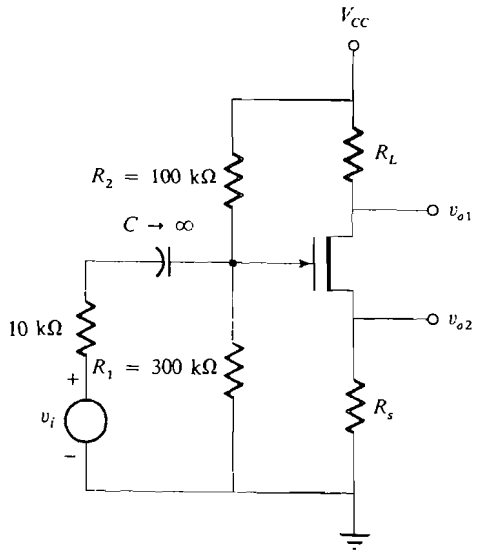


Figura P6.11-3.

(*a*) Determinar las variaciones de las ganancias de tensión v_{o1}/v_i y v_{o2}/v_i.
(*b*) Determinar las variaciones de las impedancias de Thévenin desde v_{o1} y v_{o2}.

6.12-1. La característica *vi* del amplificador en configuración de puerta común representado en la Figura P6.12-1 viene dada aproximadamente por

$$i_{DS} = (1 + v_{GS})^2 \times 10^{-4}$$

(*a*) Representar las características.
(*b*) Hallar gráficamente el punto *Q*.
(*c*) Calcular g_m.
(*d*) Siendo $r_{ds} = 10$ kΩ, calcular μ.
(*e*) Determinar Z_i, Z_o y la ganancia v_d/v_i.

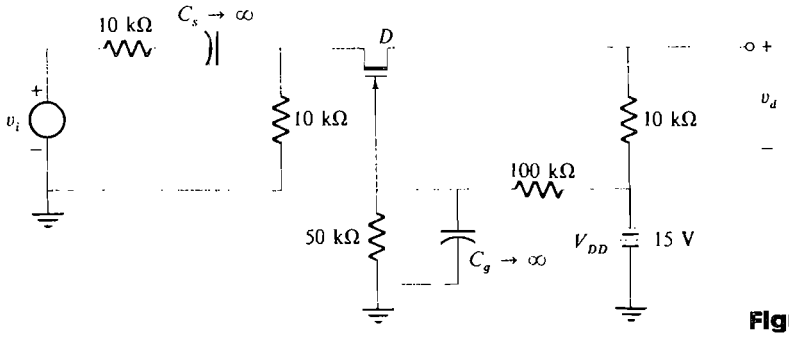


Figura P6.12-1.

6.12-2. En el circuito de la Figura P6.12-2 ambos FET tienen g_m, μ y r_{ds} idénticas. Calcular (*a*) i_L en función de v_1 y v_2, (*b*) v_{o1}, v_{o2} y v_{o3}, y (*c*) la resistencia de salida en los terminales S_2S_2'.

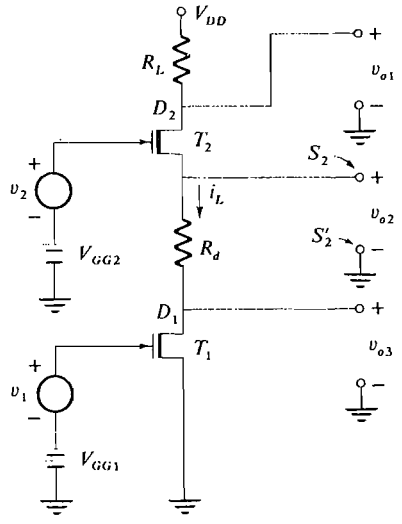


Figura P6.12-2.

6.13-1. Calcular R_L en la Figura 6.13-3 para obtener el punto *Q*: $I_{DSQ} = 10$ mA, $V_{DSQ} = 15$ V, $V_{G1SQ} = 0$ V y $V_{G2SQ} = 0{,}5$ V.

CAPITULO

7

Circuitos con varios transistores

Los diseñadores de circuitos que antes de la implantación de los circuitos integrados (CI) necesitaban un amplificador tenían que diseñarlo utilizando transistores, resistencias, condensadores, etc., discretos. Con el advenimiento del circuito integrado esto ya no es necesario. Ahora se fabrican amplificadores completos en una sola pastilla o chip de una gran variedad de características. Estos se denominan *amplificadores operacionales* y abreviadamente se les llama operacionales; hoy en día la práctica de la ingeniería impone su uso siempre que sea posible a causa de sus ventajas y pequeño tamaño, bajo consumo de potencia y alta fiabilidad.

La mayoría de los operacionales son básicamente lo mismo. Se componen de una etapa de entrada con amplificador diferencial seguida por una o más etapas de amplificadores de alta ganancia que a su vez excitan algún tipo de etapa de salida. En este capítulo analizaremos estos circuitos individuales y estudiaremos sus propiedades fundamentales.

7.1. EL AMPLIFICADOR DIFERENCIAL

El amplificador diferencial es un circuito versátil que sirve como etapa de entrada para la mayoría de los amplificadores operacionales y también encuentra su aplicación en circuitos integrados tan diversos como el comparador (Sec. 15.3) y la puerta lógica acoplada por emisor (Sec. 12.3).

En la Figura 7.1-1 está representada la configuración básica. El esquema indica que el circuito tiene dos entradas, v_1 y v_2, y tres salidas, v_{o1}, v_{o2} y $v_{o1} - v_{o2}$. La importancia del amplificador diferencial estriba en el hecho de que las salidas son proporcionales a la *diferencia* entre las dos señales de entrada, como vamos a ver. Así pues, el circuito se puede utilizar para amplificar la diferencia entre las dos entradas o amplificar una sola entrada conectando simplemente a masa la otra. Las características que distinguen las diversas salidas serán estudiadas en la exposición que sigue.

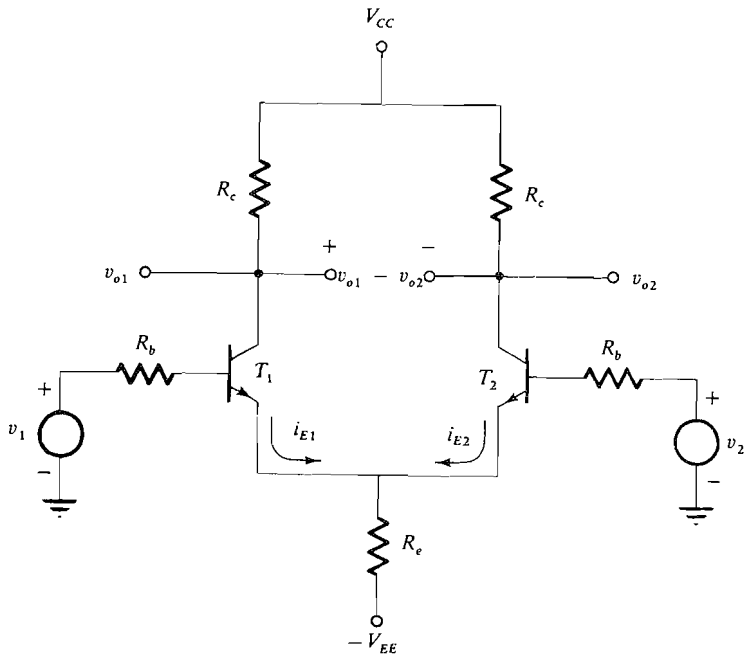


Figura 7.1-1. Amplificador diferencial básico

El amplificador diferencial que vamos a analizar en esta sección se supone que está fabricado en una pastilla o chip de CI. Cuando éste es el caso, podemos suponer que los transistores T_1 y T_2 son idénticos y, por tanto, que existe una simetría perfecta entre ambas mitades del circuito. En la Sección 7.4 analizaremos el funcionamiento del circuito cuando los transistores difieren ligeramente.

Señales en las configuraciones de modo común y de modo diferencial. Como el amplificador diferencial se utiliza más comúnmente para amplificar la diferencia entre las dos señales de entrada, es adecuado expresar las entradas como sigue, de manera que resalte este hecho. Llamemos v_d a la diferencia entre las tensiones de entrada, por lo que

$$v_d = v_2 - v_1 \tag{7.1-1a}$$

Esta es la *tensión de entrada de modo diferencial.* Para completar necesitamos un término que designe el valor medio de las tensiones de entrada, que llamaremos v_a. Resulta cómodo definir esta tensión por

$$v_a = \frac{v_2 + v_1}{2} \tag{7.1-1b}$$

Puesto que v_a es el *promedio* de las dos tensiones de entrada, se le denomina tensión de entrada de *modo común*.

Resolviendo ahora (7.1-1*a*) y (7.1-1*b*) hallamos v_1 y v_2 como función de v_d y v_a. El resultado es

$$v_2 = v_a + \frac{v_d}{2} \tag{7.1-2a}$$

y

$$v_1 = v_a - \frac{v_d}{2} \tag{7.1-2b}$$

Por estas expresiones vemos que las tensiones de entrada pueden ser expresadas en función de una *tensión de entrada de modo común* y una *tensión de entrada de modo diferencial*. La interpretación gráfica de estas definiciones está representada en la Figura 7.1-2.

En las aplicaciones usuales del amplificador diferencial, la entrada de modo diferencial es la señal deseada que se amplifica mientras la entrada de modo común debe ser suprimida o rechazada y, por tanto, no es amplificada. Las definiciones anteriores nos permiten analizar directamente el circuito en función de estas entradas de modo común y de modo diferencial y concentrarnos en los parámetros importantes del amplificador diferencial. Para fines de ensayo podemos calcular fácilmente señales de entrada que son totalmente de modo común o totalmente de modo diferencial. Por ejemplo, si $v_1 = -v_2$, la entrada de modo común es cero, mientras que la entrada de modo diferencial es $v_d = 2v_2 = -2v_1$. Por otra parte, si $v_1 = v_2$ la entrada de modo diferencial es cero y la entrada de modo común $v_a = v_1 = v_2$.

Análisis del punto de reposo *Q*. Cuando estudiábamos los amplificadores de una sola etapa vimos que la recta de carga (de c.a. o c.c.) definía completamente la curva de funcionamiento del circuito de colector dentro de los límites de variación de la señal de entrada. Esta curva se mantiene como línea recta cuando el circuito contiene solamente resistencias y fuentes de tensión. Ahora estamos en una situación diferente; tenemos *dos* señales de entrada. Cada transistor funcionará dentro de una *región* de las características del colector a la que corresponden valores máximo y mínimo de las dos señales de entrada. En esta sección determinaremos las fronteras de la región de funcionamiento; esto nos conducirá a expresiones que se pueden utilizar para asegurar que estas fronteras proporcionan un funcionamiento lineal en el margen previsible de variación de las señales de entrada. El análisis se realiza mejor en función de las entradas de modo diferencial y de modo común definidas en el apartado anterior.

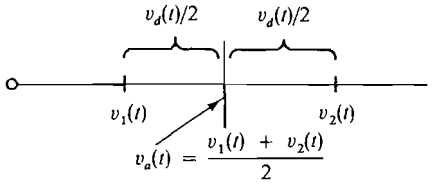


Figura 7.1-2. Descomposición de las tensiones de entrada.

Usualmente, cuando deseamos determinar el punto Q de un amplificador, ajustamos a cero la señal de entrada. Para el amplificador diferencial es apropiado partir del análisis del punto Q suponiendo que la entrada de modo diferencial es cero. Esto se consigue haciendo simplemente que las dos entradas sean iguales; entonces, por (7.1-1*b*), tenemos $v_a = v_1 = v_2$. Con este supuesto comenzamos observando que, gracias a la simetría del circuito, podemos separar los emisores, intercalando una resistencia $2R_e$ en cada rama de emisor, como muestra la Figura 7.1-3. Aplicando la segunda ley de Kirchhoff al circuito original de la Figura 7.1-1 podemos ver que la tensión de emisor no ha cambiado. En efecto

$$v_{E1} = v_{E2} = (i_{E1} + i_{E2})R_e - V_{EE} \tag{7.1-3}$$

Cuando $v_1 = v_2$, tendremos nuevamente, gracias a la simetría, $i_{E1} = i_{E2} = i_E$, por lo que (7.1-3) se simplifica y queda

$$v_{E1} = v_{E2} = i_E(2R_e) - V_{EE} \tag{7.1-4}$$

Esta tensión es justamente la misma que la tensión de emisor hallada en el circuito separado de la Figura 7.1-3.

La ecuación de la recta de carga, que es válida cuando $v_a = v_1 = v_2$, se halla aplicando la ley de Kirchhoff de tensiones en el bucle colector-emisor de la Figura 7.1-3:

$$v_{CE} = V_{CC} - i_C R_c - i_E(2R_e) + V_{EE} \approx V_{CC} + V_{EE} - i_C(R_c + 2R_e) \tag{7.1-5}$$

La corriente de emisor (y, por tanto, la corriente de colector) se halla aplicando la ley de Kirchhoff de tensiones al bucle base-emisor

$$v_a = i_B R_b + v_{BE} + i_E(2R_e) - V_{EE} \tag{7.1-6a}$$

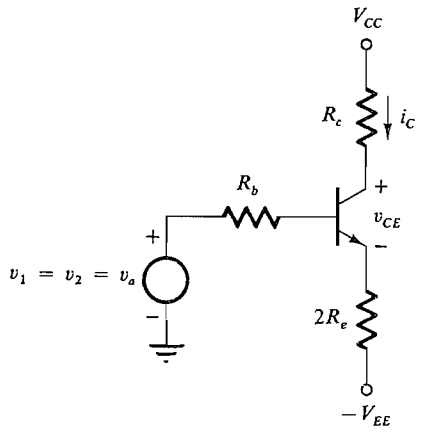


Figura 7.1-3. Circuito equivalente para cualquiera de los transistores T_1 o T_2 cuando $v_1 = v_2 = v_a$.

Como $i_B = i_E/(h_{fe} + 1)$, $i_E \approx i_C$ y $v_{BE} = 0{,}7$ V, la Ecuación (7.1-6*a*) se simplifica y queda

$$i_C \approx \frac{v_a + V_{EE} - 0{,}7}{2R_e + R_b/(h_{FE} + 1)} \tag{7.1-6b}$$

En la obtención de (7.1-6) hemos despreciado el efecto de h_{ie} y considerando que v_{BE} es constante. En este caso, la aproximación es excelente, puesto que la impedancia h_{ie} reflejada en el emisor en la Figura 7.1-3 es $h_{ie}(h_{fe} + 1)$. Esta impedancia está en serie con $2R_e$, que es una resistencia mucho mayor en la práctica.

La ecuación de la recta de carga (7.1-5) está representada en la Figura 7.1-4. Como sólo está presente la entrada de modo común, la llamaremos *recta de carga de modo común.* Aquí, Q es el punto estático o de reposo obtenido (7.1-4*b*) ajustando a cero la entrada de modo común v_a. Los puntos marcados $Q_{máx}$ y Q_{min} representan los puntos de trabajo obtenidos cuando la entrada de modo común v_a varía desde su valor más positivo $V_{a,\,máx}$ hasta su valor más negativo $V_{a,\,min}$ *con la entrada de modo diferencial igual a cero.* Hay que señalar que se aplica la misma recta de carga a cada transistor, puesto que la corriente de colector de cada uno es la misma en tanto que las tensiones de entrada serán idénticas y la tensión de salida $v_{o1} - v_{o2}$, entre los colectores, será cero independientemente del valor de v_a en tanto que $v_1 = v_2$. Las tensiones individuales de colector v_{o1} y v_{o2} variarán, sin embargo, con las variaciones de v_a. Seguidamente determinaremos la extensión de esta variación.

Lo que acabamos de exponer determina la región de funcionamiento cuando la entrada de modo diferencial es cero. Debemos determinar el efecto de una entrada no nula de modo diferencial. Por tanto, sea $v_2 = -v_1 = v_d/2$. En este caso la entrada de modo común es nula y el punto estático o de reposo es el punto Q representado en la Figura 7.1-4. Volviendo al circuito de la Figura 7.1-1 y poniendo $v_2 = v_d/2$ y $v_1 = -v_d/2$, vemos que, cuando v_2 aumenta, también aumenta la corriente de emisor i_{E2} y cuando v_1 disminuye, también disminuye la corriente i_{E1}. Si las variaciones de v_1 y v_2 no son excesivas, el

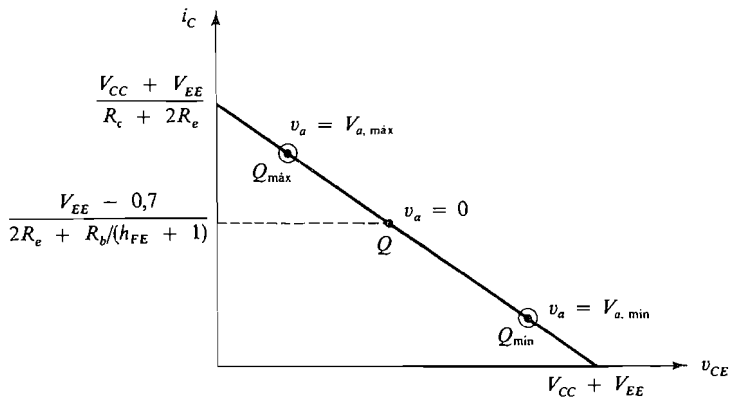


Figura 7.1-4. Recta de carga de modo común para el circuito de la Figura 7.1-3 en que se muestra el punto Q cuando $v_a = 0$ y la variación del punto Q cuando v_a varía desde $V_{a,\,máx}$ a $V_{a,\,min}$.

aumento de i_{E2} es igual a la disminución de i_{E1} y, por tanto, no habrá variación de la corriente $i_{E1} + i_{E2}$ que circula por R_e. Así pues, la tensión de emisor $v_{E1} = v_{E2}$ se mantiene fija cuando se aplica la señal de modo diferencial. Pero, puesto que i_{E1} e i_{E2} están variando, v_{CE1} y v_{CE2} deben variar también de modo tal que

$$\Delta v_{CE1} = -R_c \, \Delta i_{C1}$$

o sea, utilizando la notación para pequeña señal,

$$v_{ce1} = -R_c i_{c1} \tag{7.1-7a}$$

y

$$\Delta v_{CE2} = -R_c \, \Delta i_{C2}$$

o

$$v_{ce2} = -R_c i_{c2} \tag{7.1-7b}$$

Las Ecuaciones (7.1-7) son las correspondientes a la recta de carga de modo diferencial del amplificador diferencial y la pendiente de estas rectas de carga es $-1/R_C$.

La combinación de las rectas de carga de modo diferencial y de modo común define la región de funcionamiento de cada transistor. Como cada señal de entrada tendrá, en general, presentes ambas componentes, podemos establecer los confines de la región de funcionamiento si conocemos los valores máximo y mínimo de las señales o de sus componentes de modo diferencial y de modo común, respectivamente. Esto se aclara en el ejemplo siguiente.

EJEMPLO 7.1-1

En el circuito de la Figura 7.1-1, $V_{CC} = V_{EE} = 10$ V, $R_b = 0\ \Omega$, $R_e = 900\ \Omega$, $R_c = 200\ \Omega$ y el margen de entrada de modo común es $-7\text{ V} \leqslant v_a \leqslant +7$ V. Hallar las máximas variaciones de corriente permisibles i_{C1} e i_{C2} debidas a la señal de modo diferencial para que el funcionamiento sea lineal.

Solución

Utilizando (7.1-5) trazamos la recta de carga de modo común como se muestra en la Figura 7.1-5. Utilizando (7.1-6*b*) podemos determinar los puntos Q_1 ($v_a = +7$ V) y Q_2 ($v_a = -7$ V); éstos representan los puntos de trabajo extremos de modo común. En la condición más desfavorable, estas entradas funcionan con una de las tensiones de modo común $v_a = \pm 7$ V. De aquí que, para determinar la máxima variación de corriente permisible debida a v_d, tracemos las rectas de carga de modo diferencial (7.1-7) en la Figura 7.1-5 de modo que corten a la recta de carga de modo común en los puntos Q_1 y Q_2. El caso más desfavorable ocurre en Q_2, donde la variación de corriente debida a v_d debe ser menor que 1.3 mA para evitar el bloqueo o corte. Si la señal de entrada de modo diferencial está restringida a valores que mantienen la variación de la corriente de colector dentro de ± 1.3 mA, la región de trabajo de los dos transistores es la superficie sombreada en la Figura 7.1-5. En general, ambos transistores funcionarán en puntos diferentes para un par arbitrario de tensiones de entrada; sin embargo, su variación máxima debe estar dentro de la región de

funcionamiento. La tensión de entrada v_d necesaria para producir esta variación de la corriente está determinada en la exposición que sigue:

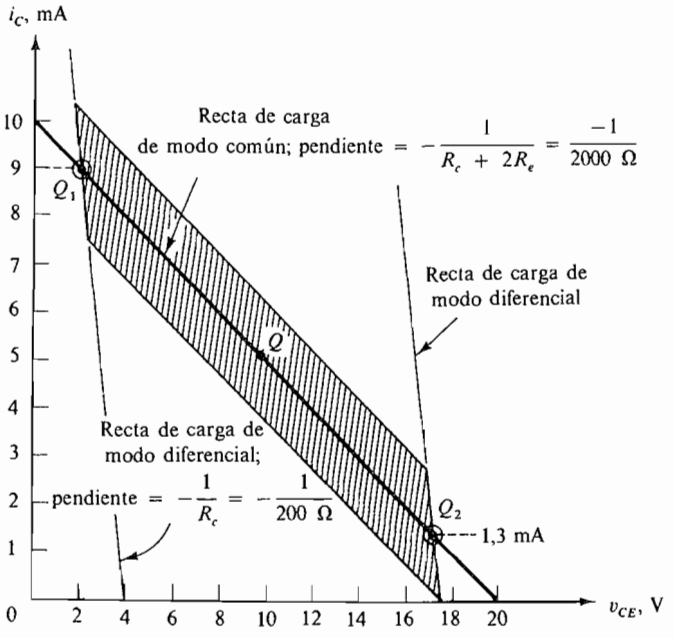


Figura 7.1-5. Rectas de carga para el Ejemplo 7.1-1.

Análisis en pequeña señal. Ahora que hemos determinado las condiciones necesarias para que el funcionamiento sea lineal concentremos nuestra atención en el funcionamiento en pequeña señal del amplificador diferencial. A este fin dibujamos el circuito equivalente de pequeña señal en que todos los componentes están reflejados en el emisor. El resultado está representado en la Figura 7.1-6.

En la Figura 7.1-6*a*, si hemos ajustado $v_d = 0$, se ve fácilmente que como consecuencia de la simetría $i_{e1} = i_{e2}$. Haremos uso de esto para determinar i_{e1} e i_{e2} utilizando el principio de superposición. Para ello primero ajustaremos $v_d = 0$ y determinaremos la corriente media de emisor, o de modo común, $i_{e1} = i_{e2} = i_a$. Ajustaremos $v_a = 0$ y determinaremos la corriente de emisor de modo diferencial $i_{e2} = -i_{e1} = i_d$.

En la Figura 7.1-7*a* está representado el circuito de la Figura 7.1-6*a* cuando $v_d = 0$. Puesto que la corriente que circula en R_e es $2i_a$, la tensión de emisor $v_e = 2R_e i_a$. Lo mismo que antes, a causa de la simetría, podemos separar R_e en dos resistencias en paralelo (cada una igual a $2R_e$) y partir el circuito en dos mitades para obtener el circuito equivalente reducido de la Figura 7.1-7*b*. Se ve que la tensión de emisor v_e es exactamente la misma en este circuito reducido que en el circuito de la Figura 7.1-7*a*. Utilizando la Figura 7.1-7*b* hallamos la corriente de modo común i_a.

$$i_a = \frac{v_a}{2R_e + h_{ib} + R_b/(h_{fe} + 1)} \tag{7.1-8}$$

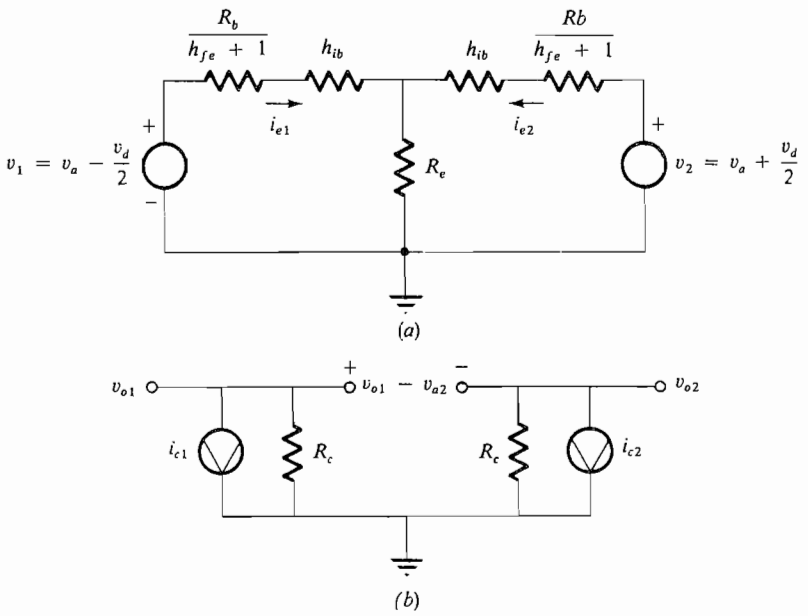


Figura 7.1-6. Amplificador diferencial, en pequeña señal: (*a*) su circuito de entrada equivalente con todos los componentes reflejados en el emisor; (*b*) circuito de salida equivalente en pequeña señal.

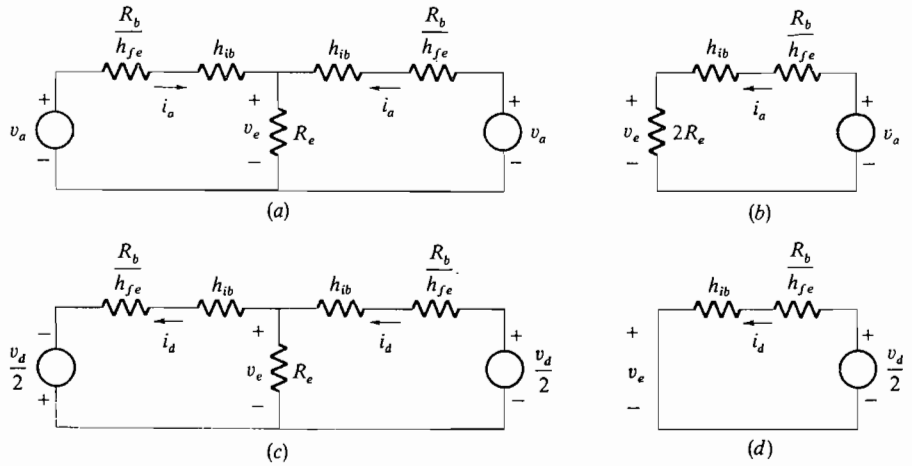


Figura 7.1-7. Circuitos equivalentes de emisor utilizados para calcular la corriente de emisor $i_{e2,1} = i_a \pm i_d$: (*a*) circuito utilizado para calcular la corriente de emisor de modo común i_a; (*b*) circuito equivalente reducido; (*c*) circuito utilizado para calcular la corriente de modo diferencial i_d; (*d*) circuito equivalente reducido.

La Figura 7.1-7*c* es el circuito equivalente de la Figura 7.1-6*a* cuando $v_a = 0$. A causa de las polaridades de las dos fuentes, $v_e = 0$. Por consiguiente, este circuito puede ser reducido al representado en la Figura 7.1-7*d*. La corriente i_d es

$$i_d = \frac{v_d/2}{h_{ib} + R_b/(h_{fe} + 1)} \tag{7.1-9}$$

En el Ejemplo 7.1-1 esta corriente de modo diferencial era forzosamente menor que 1,3 mA. Conociendo h_{ib} R_b y h_{fe} podemos hallar la máxima tensión de señal diferencial v_d.

Aplicando el teorema de superposición combinamos (7.1-8) y (7.1-9). Esto da

$$i_{e1} = \frac{v_a}{2R_e + h_{ib} + R_b/(h_{fe} + 1)} - \frac{v_d/2}{h_{ib} + R_b/(h_{fe} + 1)} \tag{7.1-10a}$$

e

$$i_{e2} = \frac{v_a}{2R_e + h_{ib} + R_b/(h_{fe} + 1)} + \frac{v_d/2}{h_{ib} + R_b/(h_{fe} + 1)} \tag{7.1-10b}$$

Utilizando el circuito equivalente de salida representado en la Figura 7.1-6*b* y suponiendo $i_c \approx i_e$, podemos determinar fácilmente v_{o1}, v_{o2} y $v_{o1} - v_{o2}$:

$$v_{o1} = -R_c i_{C1} = \frac{R_c/2}{h_{ib} + R_b/(h_{fe} + 1)} v_d - \frac{R_c}{2R + h_{ib} + R_b/(h_{fe} + 1)} v_a \tag{7.1-11a}$$

$$v_{o2} = -R_c i_{C2} = -\frac{R_c/2}{h_{ib} + R_b/(h_{fe} + 1)} v_d - \frac{R_c}{2R_e + h_{ib} + R_b/(h_{fe} + 1)} v_a \tag{7.1-11b}$$

y

$$v_{o1} - v_{o2} = \frac{R_c}{h_{ib} + R_b/(h_{fe} + 1)} v_d \tag{7.1-12}$$

La Ecuación (7.1-12) muestra claramente que $v_{o1} - v_{o2}$ es directamente proporcional a la tensión de entrada de modo diferencial $v_d = v_2 - v_1$. Las salidas v_{o1} y v_{o2} son también proporcionales a la tensión de modo diferencial, pero contienen un término proporcional a la tensión de entrada de modo común $v_a = (v_1 + v_2)/2$. En el amplificador diferencial ideal la salida sólo es proporcional a v_d. Así, si hay que tomar la salida entre uno de los colectores y masa, el amplificador deja de ser ideal. En la siguiente sección se describe un factor de calidad que proporciona la medida de la desviación con respecto al ideal.

7.2. RELACION DE RECHAZO DE MODO COMUN

Utilizando (7.1-11) podemos escribir las tensiones de salida v_{o1} y v_{o2} como sigue

$$v_{o1} = A_d v_d - A_a v_a \tag{7.2-1a}$$

y

$$v_{o2} = -A_d v_d - A_a v_a \tag{7.2-1b}$$

donde A_d, *ganancia de modo diferencial*, es

$$A_d = \frac{R_c/2}{h_{ib} + R_b/(h_{fe} + 1)} \tag{7.2-1c}$$

y A_d, *ganancia de modo común*, es

$$A_a = \frac{R_c}{2R_e + h_{ib} + R_b/(h_{fe} + 1)} \tag{7.2-1d}$$

En un amplificador diferencial ideal la tensión de salida es proporcional a v_d y no depende de la tensión de modo común v_a. Según esto, en un amplificador diferencial ideal $A_a = 0$. Esta condición no se puede cumplir en la práctica, ya que para que $A_a = 0$, R_e tendría que ser infinita. Con el fin de medir la desviación con respecto al ideal, se utiliza una cantidad denominada *razón de rechazo de modo común* (RRMC, en inglés CMRR). Se define como la relación entre la ganancia de modo diferencial y la ganancia de modo común

$$\text{RRMC} = \frac{A_d}{A_a} \tag{7.2-2a}$$

Cuando se utilizan (7.2-1*c*) y (7.2-1*d*) la RRMC se convierte en

$$\text{RRMC} = \frac{2R_e + h_{ib} + R_b/h_{fe}}{2(h_{ib} + R_b/h_{fe})} \tag{7.2-2b}$$

Así, tal como ocurre realmente en la práctica, $2R_e \gg h_{ib} + R_b/h_{fe}$, entonces

$$\text{RRMC} \approx \frac{R_e}{h_{ib} + R_b/h_{fe}} \tag{7.2-2c}$$

Para poner de manifiesto la utilidad de la RRMC consideremos que $v_2 = 10{,}5$ mV y $v_1 = 9{,}5$ mV. Entonces $v_a = 10$ mV y $v_d = 1$ mV, por lo que $v_a/v_d = 10$. La tensión de salida v_{o1} se puede escribir, de (7.2-1*a*),

$$v_{o1} = A_d v_d\left(1 - \frac{A_a v_a}{A_d v_d}\right) = A_d v_d\left(1 - \frac{v_a/v_d}{\text{RRMC}}\right) \tag{7.2-3}$$

Así, para que v_{o1} sea proporcional a v_d, la RRMC debe ser mucho mayor que 10. En general, vemos que la RRMC debe ser elegida de modo que

$$\text{RRMC} \gg \frac{v_a}{v_d} \tag{7.2-4}$$

para que la tensión de salida sea proporcional a v_d.

EJEMPLO 7.2-1

En el Ejemplo 7.1-1 la tensión de modo común es 1 mV. (*a*) Hallar la relación de rechazo de modo común. Suponer

$$h_{fe1} = h_{fe2} = 100$$

(*b*) Hallar la señal de modo diferencial para que la salida diferencial sea por lo menos 100 veces mayor que la salida de modo común.

Solución

(*a*) Para calcular A_a y A_d, primero debemos calcular $h_{ib} = V_T/I_{EQ1} = V_T/I_{EQ2}$. Refiriéndonos a la Figura 7.1-3 y despreciando la variación de corriente producida por la tensión de modo común v_a, tenemos (puesto que $R_b = 0$)

$$I_{EQ} = \frac{V_{EE} - 0{,}7}{2R_e} = \frac{9{,}3}{1800} = 5{,}17 \text{ mA}$$

Luego

$$h_{ib} = \frac{V_T}{I_{EQ}} = \frac{25 \times 10^{-3}}{5{,}17 \times 10^{-3}} \approx 4{,}8\ \Omega$$

De (7.2-1*d*)

$$A_a = \frac{200}{(2)(900) + 4{,}8} \approx 0{,}11$$

y de (7.2-1*c*)

$$A_d = \frac{200}{(2)(4{,}8)} \approx 20{,}8$$

Así pues,

$$v_{o1} = +20{,}8v_d - 0{,}11v_a$$

La relación de rechazo de modo común es

$$\text{RRMC} = \frac{A_d}{A_a} = 189 \approx 45 \text{ dB}$$

Los amplificadores diferenciales (operacionales) existentes en el mercado tienen valores nominales de RRMC comprendidos típicamente entre 80 y 100 dB. Para un buen funcionamiento del amplificador diferencial

$$v_d \gg \frac{v_a}{\text{RRMC}} = \frac{v_a}{189}$$

(*b*) Si $v_a = 1$ mV y v_d tiene que ser por lo menos $100v_a$, se debe tener

$$v_d \geq \tfrac{100}{189} \approx 0{,}53 \text{ mV}$$

Si v_d es menor que 0,53 mV, la discrepancia con respecto a una señal diferencial pura en la salida será mayor del 1 por 100.

7.3. AMPLIFICADOR DIFERENCIAL CON FUENTE DE CORRIENTE CONSTANTE

Para hallar el valor máximo de la RRMC consideremos (7.2-2*c*). Puesto que $h_{ib} = V_T/I_{EQ}$, se puede escribir (7.2-2*c*) en la forma siguiente

$$\text{RRMC} = \frac{R_e}{V_T/I_{EQ} + R_b/h_{fe}} \tag{7.3-1a}$$

Si R_b/h_{fe} es pequeña, tendremos

$$\text{RRMC} = \frac{R_e I_{EQ}}{V_T} \tag{7.3-1b}$$

Así pues, únicamente se puede aumentar la RRMC aumentando $R_e I_{EQ}$, que es la caída de tensión en R_e. Este proceso resulta limitado por la disipación de potencia en R_e, la tensión disponible de la fuente de alimentación, etc.

Los amplificadores diferenciales que se utilizan en la práctica suelen tener una fuente de corriente constante en lugar de R_e como muestra la Figura 7.3-1. En este circuito el transistor T_3 actúa como una fuente de corriente constante que proporciona la corriente estática necesaria y una impedancia muy alta $1/h_{ob3}$ vista desde el colector. Esta es la impedancia que sustituye a R_e en (7.2-2*c*). Por ejemplo, $1/h_{ob3}$ es típicamente 500 kΩ e I_{CQ3} casi igual a 0,5 mA. De (7.3-1*b*) vemos que se puede obtener una RRMC $\approx$ 10 000 usando un circuito similar al mostrado en la Figura 7.3-1. En cambio, considerando el circuito

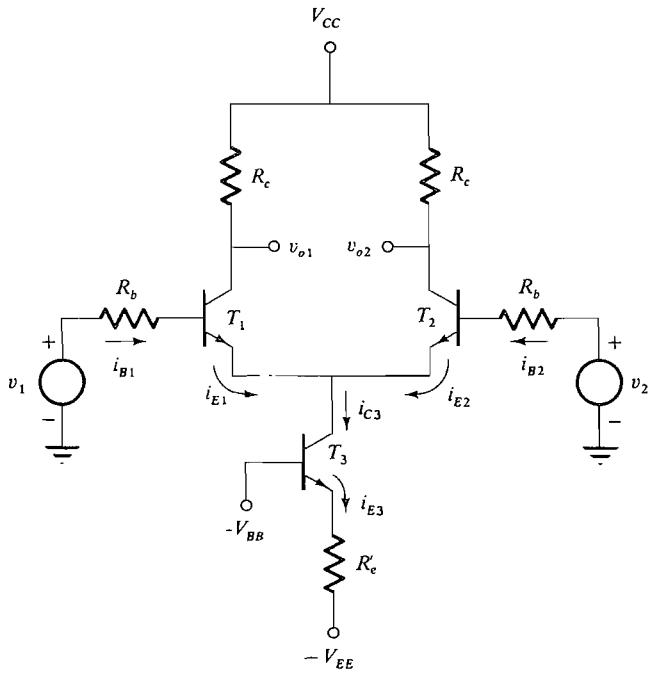


Figura 7.3-1. Amplificador diferencial con fuente de corriente constante.

básico de la Figura 7.1-1 con $R_e = 500$ kΩ e $I_E = 0{,}5$ mA, V_{EE} tendría que ser 250 V y la potencia disipada en R_e sería 125 mW, que son valores no razonables para unCI.

Funcionamiento en reposo. La corriente de reposo sin señal, llamada también estática I_{CQ3} suministrada por T_3 es

$$I_{CQ3} \approx \frac{V_{EE} - V_{BB} - 0{,}7}{R'_e} \tag{7.3-2}$$

y es constante mientras T_3 no esté saturado. En la Figura 2.2-6 vemos que, para que se mantenga en la región lineal, es necesario que

$$v_{CE} > V_T\left[2{,}2 + \ln\left(\frac{h_{fe}}{h_{fc}}\right)\right]$$

En un transistor típico $h_{fe} = 100$ y $h_{fc} = 0{,}01$ por lo que $v_{CE} > 285$ mV. Para que el funcionamiento sea lineal hay que prever un margen de seguridad y ajustar $v_{CEQ3} \geqslant 0{,}35$ V.

Es importante notar que cuando se emplea una fuente de corriente constante, como en la Figura 7.3-1, la suma de las corrientes de emisor i_{E1} e i_{E2} es igual a la corriente de colector constante $i_{C3} = I_{CQ3}$:

$$i_{E1} + i_{E2} = I_{CQ3} = \text{cte} \tag{7.3-3}$$

Recta de carga de modo común. La recta de carga de modo común describe la variación de la corriente de colector i_{C1} en función de v_{CE1} (i_{C2} en función de v_{CE2}) cuando $v_1 = v_2 = v_a$. Si nos referimos a la Figura 7.3-1 podemos ver que cuando $v_1 = v_2 = v_a$, entonces por simetría, $i_{C1} = i_{C2}$. Usando 7.3-3 y teniendo presente que en este caso $i_{B1} = i_{B2}$, tenemos

$$i_{C1} = i_{C2} \approx \tfrac{1}{2} I_{CQ3} = \text{cte}$$

De aquí se deduce que la recta de carga de modo común para T_1 y T_2 es una línea horizontal.

La extensión de la recta de carga, que es la variación de v_{CE1} (y v_{CE2}) en función de la tensión de entrada $v_1 = v_2 = v_a$, puede obtenerse mediante la ley de Kirchhoff de tensiones aplicada al circuito mostrado en la Figura 7.3-1:

$$v_{C1} = V_{CC} - R_c I_{CQ1} \quad \text{y} \quad v_{E1} = v_a - R_b I_{BQ1} - 0{,}7$$

Entonces

$$v_{CE1} = v_{C1} - v_{E1} = V_{CC} - R_c I_{CQ1} - v_a + 0{,}7 + \frac{R_b I_{CQ1}}{h_{fe}} \tag{7.3-4a}$$

De forma similar, se puede ver que

$$v_{CE2} = V_{CC} - R_c I_{CQ2} - v_a + 0{,}7 + \frac{R_b I_{CQ2}}{h_{fe}} \tag{7.3-4b}$$

De este modo, v_{CE1} y v_{CE2} varían directamente con la señal de modo común, v_a.

La variación positiva de la tensión de modo común debe ser restringida para que $v_{CE1} \geqslant 0{,}35$ V y $v_{CE2} \geqslant 0{,}35$ V, y la variación negativa no debe causar la saturación de T_3, es decir, $v_{CE3} \geqslant 0{,}35$ V. Para asegurar que v_{CE1} (y v_{CE2}) $\geqslant 0{,}35$ V se resuelve (7.3-4) para v_a. Dado que*

$$v_a = V_{CC} - R_c I_{CQ1,2} - v_{CE1,2} + 0{,}7 + \frac{R_b I_{CQ1,2}}{h_{fe}} \tag{7.3-5a}$$

Haciendo $v_{CE1,2} = 0{,}35$ V se tiene:

$$v_a \leqslant V_{CC} - \left(R_c - \frac{R_b}{h_{fe}}\right) I_{CQ1,2} = 0{,}35 \tag{7.3-5b}$$

Para asegurar que T_3 no se satura nos referimos a la Figura 7.3-1 y escribimos la ley de Kirchhoff de tensiones partiendo de v_1, atravesando la base y el emisor de T_1, continuando por el colector y el emisor de T_3, atravesando la unión emisor-base de T_3 y finalizando con la tensión de base $-V_{BB}$. El resultado es:

$$v_1 = v_a = \frac{R_b I_{CQ1}}{h_{fe}} + 0{,}7 + v_{CE3} - 0{,}7 - V_{BB}$$

Para evitar la saturación $v_{CE3} \geqslant 0{,}35$ V; de aquí

$$v_a \geqslant \frac{R_b I_{CQ1}}{h_{fe}} + 0{,}35 - V_{BB} \tag{7.3-6}$$

Las Ecuaciones (7.3-5*b*) y (7.3-6) definen los límites superior e inferior de v_a. Puesto que v_a puede ser positiva o negativa V_{CC} [véase (7.3-5*b*)] debe tomar un valor suficientemente alto como para asegurar que v_a pueda alcanzar su máximo valor positivo, es decir, V_a, y V_{BB} [véase (7.3-6)] debe escogerse adecuadamente para que v_a pueda, a su vez, alcanzar su máximo valor negativo, que con frecuencia, es igual a $-V_a$.

Recta de carga de modo diferencial. Cuando consideramos la entrada de modo común $v_a = v_1 = v_2$, una variación en v_a producía una variación proporcional en v_{C3}. Esto se deduce de la Figura 7.3-1, donde

$$v_{C3} = v_1 - R_b I_{BQ1} - V_{BE1}$$

Puesto que I_{BQ1} y V_{BE1} ($= 0{,}7$ V) son constantes y $v_1 = v_a$, los cambios en v_{C3} son debidos a cambios en la señal de modo común.

En el modo diferencial, v_{C3} es *constante*. Esto puede deducirse de la Figura 7.3-1, haciendo $v_1 = v_d/2$ y $v_2 = -v_d/2$. Entonces, cuando v_d se incrementa, la corriente de base

* En (7.3-5) se usa el subindice 1,2 para denotar que la misma ecuación es aplicable tanto para el transistor 1 como para el 2.

i_{B1} crece mientras que i_{B2} se reduce. Las corrientes de colector i_{C1} e i_{C2} también cambian, provocando una disminución de la tensión v_{CE1} y un aumento de v_{CE2}. Escribiendo las ecuaciones de la ley de Kirchhoff de tensiones desde la alimentación V_{CC} hasta v_{C3}, se tiene:

$$V_{CC} = R_c i_{C1} + v_{CE1} + v_{C3}$$

Por tanto,

$$V_{CC} - v_{C3} = R_c i_{C1} + v_{CE1} \tag{7.3-7}$$

donde v_{C3} es una constante. Si acudimos a la Ecuación (7.3-7) podemos ver que la *pendiente* de la recta de carga de modo diferencial es $-1/R_c$.

Recta de carga compuesta. Las rectas de carga de modo diferencial y de modo común se muestran en la Figura 7.3-2. Los valores numéricos indicados han sido obtenidos del Ejemplo 7.3-1.

Aquí podemos ver que, debido a la fuente de corriente constante T_3, la recta de carga de modo común es horizontal, extendiéndose de Q_1 a Q_2. El punto Q_1 se escoge para que con una corriente en el punto de equilibrio de 1 mA, el peor caso de máxima señal de entrada v_1 dé lugar a $v_{CE1} = 0{,}35$ V. El punto Q_2 se selecciona para que en la peor situación de señal de entrada en modo común v_1, $v_{CE3} = 0{,}35$ V

El cálculo de estas tensiones críticas se han desarrollado en el Ejemplo 7.3-1.

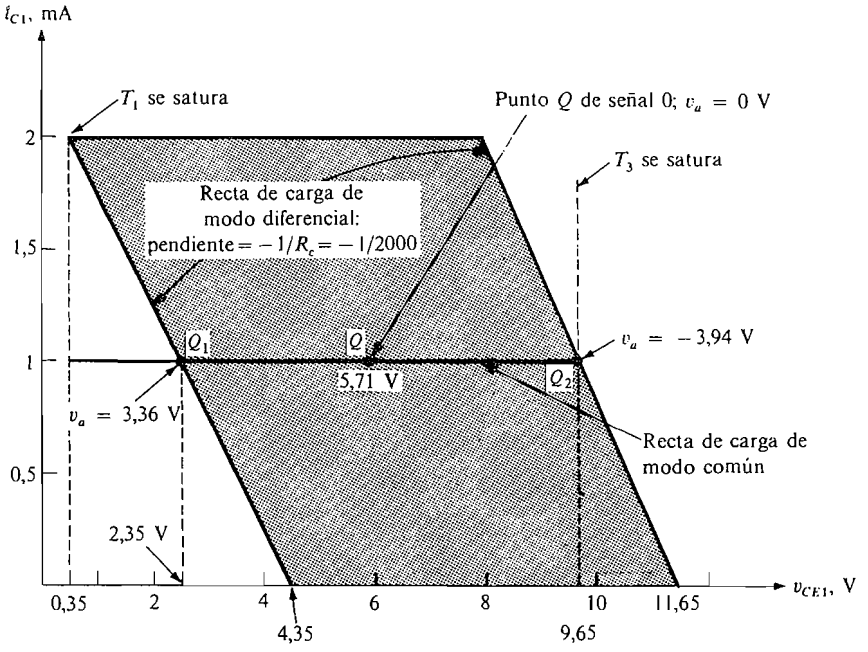


Figura 7.3-2. Rectas de carga para el amplificador diferencial con fuente de corriente constante del Ejemplo 7.3-1.

EJEMPLO 7.3-1

En el amplificador diferencial de la Figura 7.3-1, $V_{CC} = 7$ V, $V_{EE} = 7$ V, $R_c = 2$ kΩ, $R_b = 1$ kΩ, $R'_e = 1$ kΩ, $h_{fe} + 1 = 100$ e $I_{EQ1} = I_{EQ2} = 1$ mA. Hallar (*a*) la tensión de polarización necesaria V_{BB}, (*b*) la máxima tensión diferencial permisible $V_{d,\text{máx}}$ y (*c*) las tensiones máxima y mínima permisibles de modo común.

Solución

(*a*) Para hallar V_{BB} aplicamos la ley de Kirchhoff de tensiones al bucle base-emisor de T_3. Como $I_{EQ3} \simeq I_{EQ1} + I_{EQ2} = 2$ mA:

$$-V_{BB} = 0{,}7 + I_{CQ3}R'_e - V_{EE} = 0{,}7 + 2(1) - 7 = -4{,}3 \text{ V}$$

de donde $V_{BB} = 4{,}3$ V.

(*b*) Como la corriente estática es 1 mA y además es constante, la recta de carga de modo común es horizontal, como muestra la Figura 7.3-2. Esto muestra claramente que las corrientes de colector y, por tanto, de emisor pueden variar como máximo ± 1 mA antes de que el corte produzca distorsión. Como la resistencia de colector es de 2 kΩ, la máxima variación de las tensiones de salida es ± 2 V. En (7.1-9), cuando $v_a = 0$, la máxima excursión de la tensión diferencial $v_2 = -v_1 = v_{d,\text{máx}}/2$ es

$$I_{e1,\text{máx}} = I_{e2,\text{máx}} = \frac{V_{d,\text{máx}}}{2[h_{ib} + R_b/(h_{fe} + 1)]}$$

Sustituyendo los valores $I_{e1,\text{máx}} = I_{e2,\text{máx}} = 1$ mA, $h_{ib} = 25\ \Omega$ y $R_b/(h_{fe} + 1) = 10\ \Omega$, tenemos

$$V_{d,\text{máx}} = (2 \times 10^{-3})(25 + 10) = 70 \text{ mV}$$

(*c*) Para determinar la máxima excursión permisible de la tensión de modo común, primero indicamos en la Figura 7.3-2 la tensión colector-emisor v_{CE1} correspondiente al extremo de saturación de ambos transistores. Como antes hemos visto, T_1 se satura cuando $v_{CE1} = 0{,}35$ V, y T_3 se satura cuando $v_{CE3} = 0{,}35$ V. De esta forma, la recta de carga de modo diferencial pasa a través de Q_1, terminando en $V_{CE1} = 0{,}35$ V, $i_{C1} = 2$ mA como se ha indicado.

Como la pendiente de la recta de carga es $-1/2$ kΩ, Q_1 queda definido por $i_{C1} = 1$ mA y $v_{CE1} = 2{,}35$ V. Cuando T_3 se satura, la ley de Kirchhoff de tensiones a lo largo de la malla $T_1 - T_3$ indica que en el punto de equilibrio Q_2, $i_{C1} = i_{C2} = 1$ mA. Por tanto,

$$\begin{aligned} v_{CE1} &= V_{CC} + V_{EE} - R_cI_{EQ1} - R'_eI_{EQ3} - v_{CE3} \\ &= 7 \quad + 7 \quad - 1(2) \quad - 2 \quad - 0{,}35 = 9{,}65 \text{ V} \end{aligned}$$

Este resultado se muestra en la Figura 7.3-2 como el punto de equilibrio Q_2 en la parte derecha de la recta de carga de modo diferencial. El área sombreada entre las dos rectas de carga de modo diferencial representa la zona lineal de trabajo. Una vez

más, vemos que $v_{d,\text{máx}} = 70$ mV es suficiente para cambiar la corriente i_{C1} (o i_{C2}) de 0 a 2 mA.

Para obtener el máximo y el mínimo de las tensiones de modo común nos fijaremos en la Figura 7.3-2, que muestra que la tensión de modo común debe ser restringida para limitar v_{CE1} a un rango comprendido entre 2,35 y 9,65 V. Los valores apropiados se obtienen de (7.3-5*a*):

$$v_a = V_{CC} - R_c I_{EQ1} - v_{CE1} + 0{,}7 + \frac{R_b I_{EQ1}}{h_{fe} + 1} \tag{7.3-5}$$

Sustituyendo los valores en este ejemplo, tenemos

$$v_a = 7 - 2 - v_{CE1} + 0{,}7 + 0{,}01 = 5{,}71 - v_{CE1}$$

El punto de equilibrio Q se obtiene haciendo $v_a = 0$, en cuyo caso $v_{CE1} = 5{,}71$ V. La corriente de colector es de 1 mA. Para $V_{CE1} = 2{,}35$ V s obtiene el límite superior de v_a:

$$V_{a,\text{máx}} = 5{,}71 - 2{,}35 = 3{,}36 \text{ V}$$

Para $v_{CE1} = 9{,}65$ V se obtiene el límite inferior

$$V_{a,\text{mín}} = 5{,}71 - 9{,}65 = -3{,}94 \text{ V}$$

En conclusión, hemos establecido el funcionamiento que se da en la región sombreada de las características de colector de la Figura 7.3-2, en los márgenes

$$-70 \text{ mV} < v_d < +70 \text{ mV}$$

y

$$-3.94 \text{ V} < v_a < +3{,}36 \text{ V}$$

Nótese que el amplificador diferencial podía haber sido polarizado de forma que $|v_a| < 3{,}65$ V y, por tanto, ser capaz de admitir sin distorsión un amplio margen de tensiones de modo común.

Funcionamiento en pequeña señal. El circuito equivalente en pequeña señal del amplificador representado en la Figura 7.3-1 es idéntico al de la Figura 7.1-6. La tensión de salida viene dada por (7.1-11). La diferencia importante entre el amplificador con dos transistores representado en la Figura 7.1-1 y el amplificador con tres transistores de la Figura 7.1-6 es el valor de R_e y, por tanto, de la RRMC. Como antes hemos visto, cuando se utiliza un transistor con corriente constante, $R_e \approx 1/h_{ob}$, que es mucho mayor que el valor de R_e, alcanzable utilizando una resistencia pasiva. Esto conduce a una RRMC mucho mayor.

Impedancia de entrada. Para hallar la impedancia de entrada del amplificador diferencial visto por las fuentes de tensión de entrada v_1 y v_2 debemos reflejar todas las impedancias en los circuitos de base en vez de en los circuitos de emisor (Figura 7.1-6*a*). El resultado de esta reflexión está representado en la Figura 7.3-3 y el lector deberá

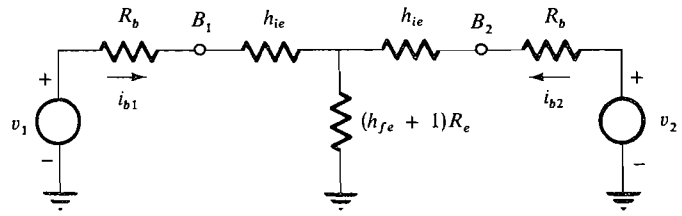


Figura 7.3-3. Circuito equivalente en pequeña señal visto desde las bases.

cerciorarse de que comprende la diferencia que existe entre este circuito y el representado en la Figura 7.1-6*a*. La impedancia de entrada R_i está medida entre las bases de T_1 y T_2, por lo que

$$R_i \simeq 2h_{ie} \tag{7.3-8}$$

Si $I_{EQ1} = I_{EQ2} = 0{,}1$ mA y $h_{fe} + 1 = 100$, entonces, $h_{ie} = (h_{fe} + 1)V_T/I_{EQ} = 25$ kΩ y $R_i = 50$ kΩ. Si se necesitase una impedancia de entrada más elevada, se puede disminuir I_{EQ1} (e I_{EQ2}), sustituir los BJT por FET (Sec. 7.5) o utilizar un amplificador Darlington (compuesto) (Sec. 7.6).

7.4. AMPLIFICADOR DIFERENCIAL CON RESISTENCIAS DE EMISOR PARA EL EQUILIBRIO

Control del equilibrio. Cuando T_1 y T_2 tienen características diferentes, se suele conectar una resistencia variable R_v entre los emisores de T_1 y T_2 para que sirva como control del equilibrio, como en la Figura 7.4-1. El cursor de la resistencia variable se ajusta de modo que $I_{EQ1} = I_{EQ2}$. Suele ser suficiente un pequeño valor de R_v, típicamente 100 Ω, para compensar las diferencias grandes entre h_{fe1} y h_{fe2}.

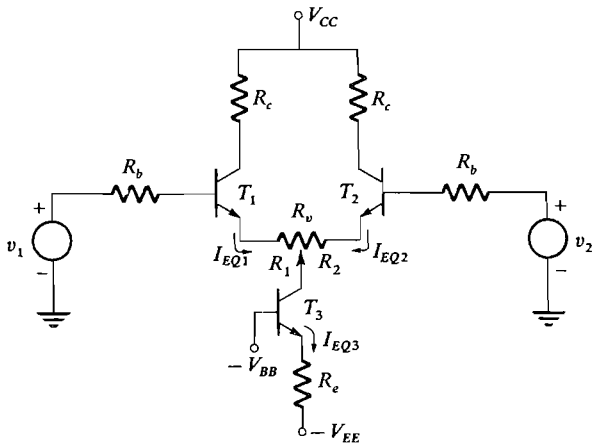


Figura 7.4-1. Amplificador diferencial con control del equilibrio R_v.

Para evaluar el efecto del control del equilibrio obsérvese que la ley de Kirchhoff de tensiones aplicada, entre el brazo de control y masa, debe producir la misma tensión en los bucles base-emisor de cualquiera de los transistores T_1 o T_2. Así, con $v_1 = v_2 = 0$,

$$\left(\frac{R_b}{h_{fe1}} + R_1\right) I_{EQ1} + V_{BE1} = \left(\frac{R_b}{h_{fe2}} + R_2\right) I_{EQ2} + V_{BE2} \tag{7.4-1}$$

Si $V_{BE1} = V_{BE2}$, la condición que asegura que las corrientes de emisor de T_1 y T_2 son las mismas se obtiene haciendo $I_{EQ1} = I_{EQ2}$ en (7.4-1). Esto da

$$R_2 - R_1 = R_b\left(\frac{1}{h_{fe1}} - \frac{1}{h_{fe2}}\right) \tag{7.4-2}$$

y puesto que

$$R_2 + R_1 = R_v = \text{cte} \tag{7.4-3}$$

el equilibrio se obtiene cuando

$$R_2 = \frac{R_v}{2} + \frac{R_b}{2}\left(\frac{1}{h_{fe1}} - \frac{1}{h_{fe2}}\right) \tag{7.4-4a}$$

y

$$R_1 = \frac{R_v}{2} - \frac{R_b}{2}\left(\frac{1}{h_{fe1}} - \frac{1}{h_{fe2}}\right) \tag{7.4-4b}$$

Por ejemplo, si $h_{fe1} = 50$, $h_{fe2} = 150$ y $R_b = 1{,}5$ kΩ, entonces R_v debe ser por lo menos igual a 20 Ω. Para este valor de R_v hallamos $R_2 = 20$ Ω y $R_1 = 0$.

La inclusión de R_v da por resultado un funcionamiento simétrico, pero también causa una pérdida de la ganancia de corriente. Si R_1 y R_2 se ajustan como en (7.4-4) y la resistencia efectiva de emisor es muy grande, por lo que

$$(R_e)_{\text{efec}} \approx \frac{1}{h_{ob3}} \gg h_{ib1} + \frac{R_b}{h_{fe1}} + R_1 \tag{7.4-5}$$

entonces la ganancia de modo diferencial de (7.2-1c) llega a ser

$$A_d = \frac{R_c}{R_b(1/h_{fe1} + 1/h_{fe2}) + 2h_{ib} + R_v} \tag{7.4-6}$$

Compárese esto con (7.2-1c) que da la ganancia para un circuito ideal.

EJEMPLO 7.4-1

El amplificador diferencial representado en la Figura 7.4-2 emplea un circuito integrado (representado dentro de las líneas de trazos). Hallar R_e y V_{EE} para que la relación de rechazo de modo común sea 100 (40 dB). Las fuentes de señal v_1 y v_2 tienen resistencias internas de 1 kΩ cada una y los transistores tienen $h_{fe} = 100$. Además $V_{CC} = 10$ V y $R_c = 2$ kΩ.

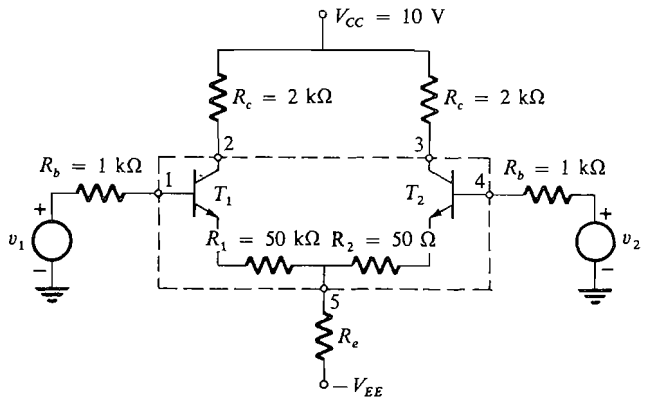


Figura 7.4-2. Circuito para el Ejemplo 7.4-1.

Solución

La RRMC del amplificador diferencial se obtiene por (7.2-2). Sin embargo, a causa de las dos resistencias de 50 Ω, las expresiones resultan ligeramente alteradas. La ganancia de modo diferencial viene dada por (7.4-6) y la ganancia de modo común [véase (7.2-1*d*)] es

$$A_a = \frac{R_c}{2R_e + h_{ib} + R_b/(h_{fe} + 1) + R_1} \tag{7.4-7}$$

Suponiendo que $2R_e \gg h_{ib} + R_b/(h_{fe} + 1) + R_1$, hallamos que

$$\text{RRMC} = \frac{A_d}{A_a} \approx \frac{2R_e}{(1000)(\frac{2}{100}) + 2h_{ib} + 100} = \frac{R_e}{60 + h_{ib}}$$

Para obtener una RRMC = 100, debemos tener

$$R_e \geqslant (100)(60 + h_{ib})$$

Si ajustamos $I_{EQ1} = I_{EQ2} = 1$ mA; entonces $h_{ib} = 25$ Ω y un valor de $R_e = 10$ kΩ satisface la desigualdad. Para hallar V_{EE} escribimos la ley de Kirchhoff de tensiones aplicada al bucle base-emisor de la Figura 7.4-2. Poniendo $v_1 = v_2 = 0$,

$$V_{EE} = \frac{R_b}{h_{fe} + 1} I_{EQ1} + V_{BE1} + R_1 I_{EQ1} + 2R_e I_{EQ1}$$
$$= 10 \times 10^{-3} + 0{,}7 + 50 \times 10^{-3} + (20 \times 10^{+3}) \times 10^{-3} \approx 20{,}8 \text{ V}$$

EJEMPLO 7.4-2

En el circuito mostrado en la Figura 7.4-1, $R_b = 1$ kΩ, $h_{fe1} = 50$ y $h_{fe2} = 150$. $I_{EQ1} + I_{EQ2} = 2$ mA. (*a*) Calcular I_{EQ1} e I_{EQ2} cuando $v_1 = v_2 = 0$. (*b*) Repetir el apartado anterior si $R_1 = R_2 = 0$ Ω.

Solución

(*a*) Aplicando la ley de Kirchhoff en la Figura 7.4-1, de v_1 a v_2 se tiene

$$\left(50 + \frac{R_b}{h_{fe1} + 1}\right) I_{EQ1} = \left(50 + \frac{R_b}{h_{fe2} + 1}\right) I_{EQ2}$$

Además, $I_{EQ1} + I_{EQ2} = 2$ mA. Resolviendo las ecuaciones para I_{EQ1} e I_{EQ2} se obtiene

$$I_{EQ1}\left[1 + \frac{50 + R_b/(h_{fe1} + 1)}{50 + R_b/(h_{fe2} + 1)}\right] = 2 \text{ mA}$$

luego
$$I_{EQ1} = \frac{2 \text{ mA}}{1 + [(50 + 20)/(50 + 6{,}7)]} = 0{,}9 \text{ mA}$$

Con este resultado encontramos que $I_{EQ2} = 1{,}1$ mA.

(*b*) Si $R_1 = R_2 = 0$, entonces

$$I_{EQ1} = \frac{2 \text{ mA}}{1 + (20/6{,}7)} = 0{,}5 \text{ mA}$$

De aquí $I_{EQ2} = 1{,}5$ mA.

Podemos deducir de este ejemplo que aun teniendo el mismo valor R_1 y R_2 se minimiza el efecto de la diferencia de valor entre h_{fe1} y h_{fe2}.

7.5. AMPLIFICADOR DIFERENCIAL UTILIZANDO FET

Se puede obtener una impedancia de entrada muy alta sustituyendo T_1 y T_2 por dos FET en la Figura 7.3-1. En la Figura 7.5-1 está representado un amplificador diferencial utilizando esta técnica.

Para demostrar que este circuito funciona como amplificador diferencial reflejamos todos los componentes en los circuitos de fuente. El resultado está representado en la Figura 7.5-2. La resistencia $1/h_{ob3}$ es la impedancia vista desde el colector de T_3. La Figura 7.5-2 es de la misma forma que la 7.1-6*a* y, por consiguiente, resultan ecuaciones similares, indicando que el circuito funciona como amplificador diferencial con un efecto de modo común presente.

Si, para mayor simplicidad, despreciamos la tensión de modo común y ponemos $v_2 = -v_1 = v_d/2$, hallamos

$$i_{ds2} = -i_{ds1} = \frac{[\mu/(\mu + 1)](v_2 - v_1)}{2[r_{ds}/(\mu + 1) + R_d/(\mu + 1)]} \tag{7.5-1}$$

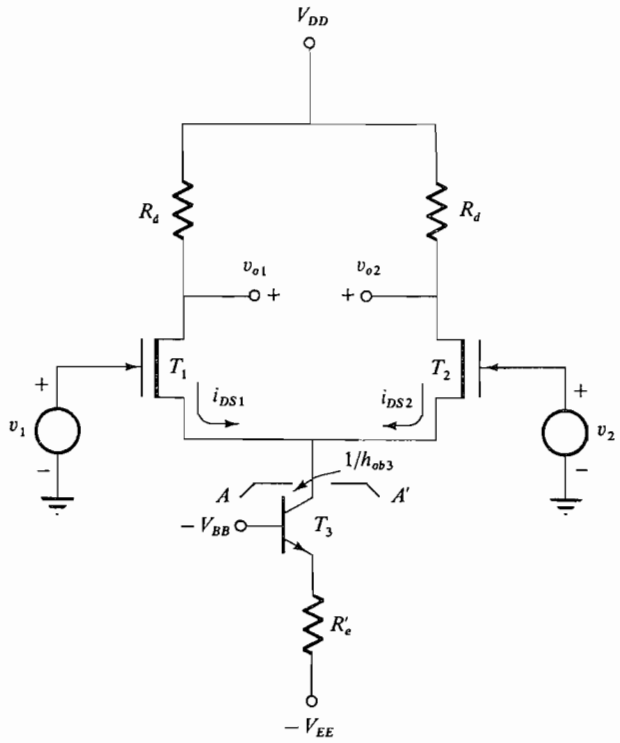


Figura 7.5-1. Amplificador diferencial utilizando dos FET.

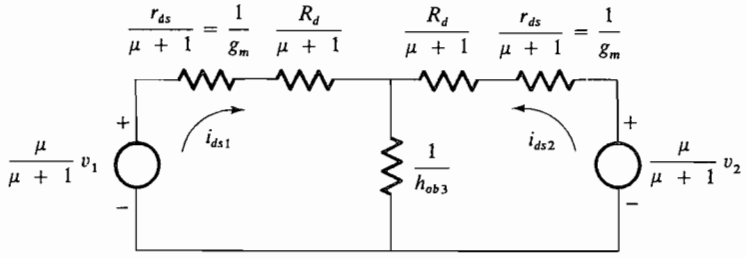


Figura 7.5-2. Circuito equivalente de un amplificador diferencial FET con todos los componentes reflejados en los circuitos de fuente.

Por tanto, puesto que $v_{o2} = -i_{ds2}R_d$ y $v_{o1} = -i_{ds1}R_d$ (véase Figura 7.5-1),

$$v_{o2} = -v_{o1} = -\frac{\mu(v_2 - v_1)R_d}{2(r_{ds} + R_d)} \tag{7.5-2a}$$

Por esta relación hallamos la ganancia de modo diferencial

$$A_d = \frac{v_{o1}}{v_2 - v_1} = \frac{-v_{o2}}{v_2 - v_1} = \frac{\mu R_d}{2(r_{ds} + R_d)} \tag{7.5-2b}$$

Igualmente podemos ver que haciendo $v_1 = v_2 = v_a$ en la Figura 7.5-2, la ganancia de modo común A_c es (véase Problema 7.5-2)

$$A_c = \frac{v_{o1}}{v_a} = \frac{v_{o2}}{v_a} = \frac{-\mu R_d}{r_{ds} + R_d + [2(\mu + 1)/h_{ob3}]} \tag{7.5-2c}$$

Impedancias. La impedancia de entrada del amplificador diferencial FET es casi infinita, ya que la corriente de puerta de un FET suele ser menor que 1 pA.

La impedancia de salida del amplificador diferencial, vista desde el drenaje de T_2 (Fig. 7.5-1), se halla reflejando primero los componentes R_d y r_{ds} de T_1 en el circuito de fuente de T_1. Este cambio pone estos componentes en el circuito de fuente de T_2, como muestra la Figura 7.5-3*a*. Aquí hemos omitido la impedancia colector-base $1/h_{ob3}$ de T_3 para simplificar el circuito.

Para completar el análisis reflejamos todos los componentes en el circuito de drenaje de T_2, como en la Figura 7.5-3*b*. La tensión de salida v_2 se puede obtener por este circuito y el resultado viene dado por (7.5-2*a*). La impedancia de salida R_o es

$$R_o = R_d \| (R_d + 2r_{ds}) \tag{7.5-3}$$

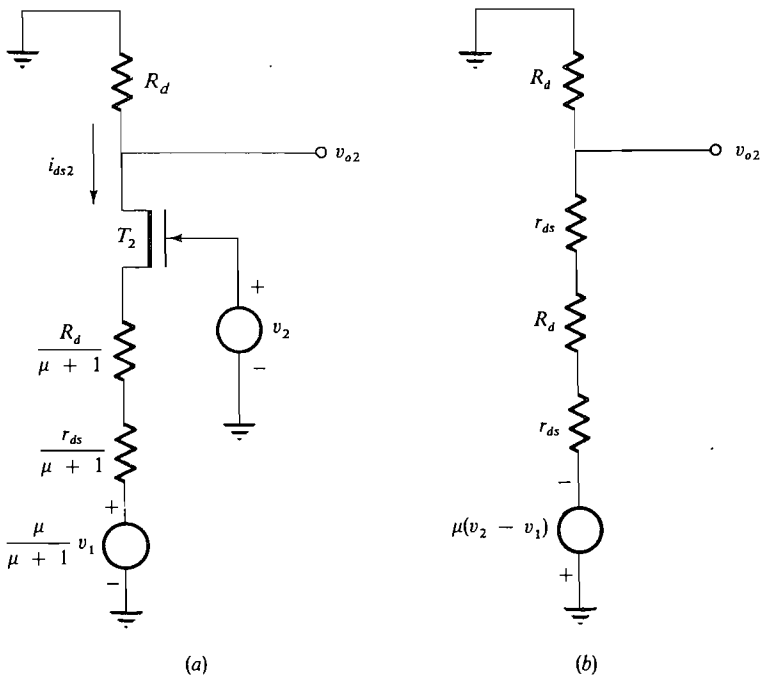


Figura 7.5-3. Amplificador diferencial FET: (*a*) circuito equivalente con todos los componentes de T_1 reflejados en su fuente; $1/h_{ob3}$ se desprecia; (*b*) circuito equivalente total visto desde el drenaje de T_2.

EJEMPLO 7.5-1

Para el amplificador diferencial mostrado en la Figura 7.5-1 los valores de los componentes son $R_d = 5\ \text{k}\Omega$, $r_{ds} = 100\ \text{k}\Omega$, $g_m = 5\ \text{mS}$, y $h_{ob3} = 10^{-5}\ \text{S}$. Calcular (*a*) la RRMC, (*b*) la tensión de salida $v_{o2} - v_{o1}$ y (*c*) la impedancia de salida vista desde el drenaje de T_2.

Solución

(*a*) Si acudimos a (7.5-2*b*) y (7.5-2*c*) la RRMC para el amplificador diferencial FET es:

$$\text{RRMC} = \frac{A_d}{A_c} = \frac{r_{ds} + R_d + 2(\mu + 1)/h_{ob3}}{2(r_{ds} + R_d)} = \frac{1}{2} + \frac{2(\mu + 1)/h_{ob3}}{2(r_{ds} + R_d)}$$

Como $r_{ds} \gg R_d$,

$$\text{RRMC} \approx \frac{2(\mu + 1)/h_{ob3}}{2(r_{ds})} \approx \frac{g_m}{h_{ob3}} = \frac{5 \times 10^{-3}}{10^{-5}} = 500 = 57\ \text{dB}$$

(*b*) La tensión de salida $v_{o2} - v_{o1}$ es [véase (7.5-2)]:

$$v_{o2} - v_{o1} = \frac{-\mu}{1 + r_{ds}/R_d}(v_2 - v_1) = \frac{-500}{1 + \frac{100}{5}}(v_2 - v_1) \approx -25(v_2 - v_1)$$

Nótese que si la ganancia de modo común [véase (7.5-2*c*)] es despreciable, es decir, suponiendo que es cero, (7.5-2*b*) da

$$\frac{v_{o2} - v_{o1}}{v_2 - v_1} = 2\frac{v_{o2}}{v_2 - v_1} = -2\frac{v_{o1}}{v_2 - v_1} = \frac{\mu R_d}{2(r_{ds} + R_d)}$$

(*c*) La impedancia de salida es [Ec. (7.5-3)]

$$R_o = R_d \| (R_d + 2r_{ds}) \approx R_d = 5\ \text{k}\Omega$$

7.6. EL AMPLIFICADOR DARLINGTON

El *amplificador Darlington* (frecuentemente llamado *amplificador compuesto*) se muestra en la Figura 7.6-1. Esta configuración se usa para aumentar la impedancia de entrada y conseguir una alta ganancia de corriente, ganancia que es igual al producto de las ganancias de los dos transistores h_{fe1} y h_{fe4}.

En este circuito el emisor de T_4 está conectado directamente a la base de T_1. Normalmente, los dos colectores están también unidos como se indica, pero esto no es necesario. Un ejemplo de un amplificador Darlington en el que los colectores de los dos transistores *no* están conectados podemos verlo en la Figura 7.9-1. Nótese que los transistores T_3 y T_1, T_4 y T_2 forman dos amplificadores Darlington.

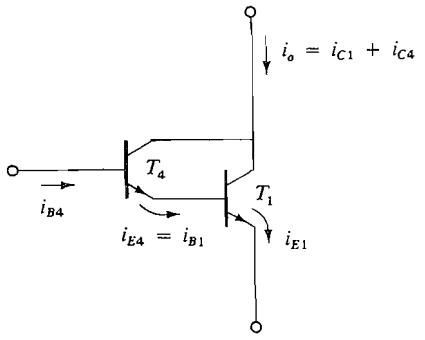


Figura 7.6-1. Amplificador Darlington básico (compuesto).

La ganancia de corriente del amplificador Darlington, mostrado en la Figura 7.6-1, puede ser calculada a partir de

$$A_i = \frac{i_o}{i_{B4}} = \frac{i_{C1} + i_{C4}}{i_{B4}} = \frac{\alpha_1 i_{E1}}{i_{B4}} + \frac{\alpha_4 i_{E4}}{i_{B4}} \tag{7.6-1a}$$

donde

$$\begin{aligned} \frac{i_{E1}}{i_{B4}} &= \frac{i_{E1}}{i_{B1}} \cdot \frac{i_{B1}}{i_{E4}} \cdot \frac{i_{E4}}{i_{B4}} \\ &= (h_{fe1} + 1)(1)(h_{fe4} + 1) \\ &= (h_{fe1} + 1)(h_{fe4} + 1) \end{aligned} \tag{7.6-1b}$$

Así,

$$A_i = \alpha_1(h_{fe1} + 1)(h_{fe4} + 1) + \alpha_4(h_{fe4} + 1) \tag{7.6-1c}$$

Si los dos transistores son idénticos, $\alpha_1 = \alpha_4 = \alpha$ y $h_{fe1} = h_{fe4} = h_{fe}$, de forma que

$$A_i \simeq h_{fe}^2 \tag{7.6-1d}$$

Este resultado era de esperar, puesto que se necesitan «dos reflexiones» para ir del emisor de T_1 a la base de T_4, y en cada reflexión tiene lugar una multiplicación por h_{fe}.

7.6-1. Impedancia de entrada

La impedancia de entrada vista entre la base de T_4 y el emisor de T_1 se calcula fácilmente, como se indica en la Figura 7.6-2, reflejando la impedancia base-emisor h_{ie1} de T_1 desde el circuito de emisor de T_4 al circuito de base de T_4. El resultado es (suponiendo $h_{fe1} = h_{fe4}$)

$$R_i = h_{ie4} + (h_{fe} + 1)h_{ie1} \tag{7.6-2}$$

No obstante, $h_{ie} = (h_{fe} + 1)V_T/I_{EQ}$, luego

$$R_i = \frac{(h_{fe} + 1)V_T}{I_{EQ4}} + \frac{(h_{fe} + 1)^2 V_T}{I_{EQ1}} \tag{7.6-3}$$

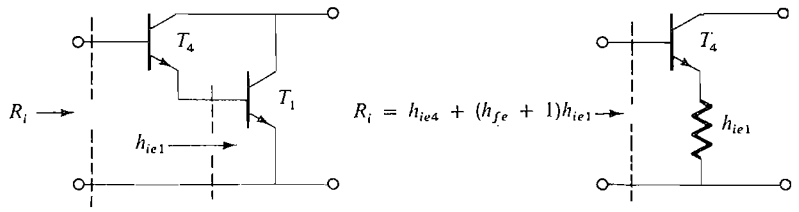


Figura 7.6-2. Uso de la reflexión para determinar la impedancia de entrada del amplificador Darlington básico: (*a*) el amplificador Darlington; (*b*) T_1 reemplazado por h_{ie1}.

De la Figura 7.6-1 podemos ver que

$$\frac{I_{EQ1}}{h_{fe} + 1} = I_{EQ4} \tag{7.6-4}$$

Combinando (7.6-4) con (7.6-3) se obtiene R_i en función de h_{ie1} o h_{ie4}

$$R_i = 2(h_{fe} + 1)h_{ie1} = 2h_{ie4} \tag{7.6-5}$$

De este modo hemos conseguido multiplicar la impedancia de entrada de T_1 por el factor $2(h_{fe} + 1)$.

7.6-2. Utilización de una resistencia de polarización de emisor R_b

En determinadas aplicaciones es deseable hacer que la corriente en T_4 sea independiente de T_1. Esto puede conseguirse usando el circuito de la Figura 7.6-3. Aquí se ha colocado una resistencia de polarización de base entre los terminales base-emisor de T_1. La corriente de emisor de T_4 puede ahora escogerse modificando R_b, ya que

$$I_{EQ4} = I_{BQ1} + \frac{0{,}7}{R_b} \tag{7.6-6}$$

Por ejemplo, podemos hacer $I_{EQ4} = I_{EQ1}$ o a cualquier otro valor mayor que I_{BQ1}.

Impedancia de entrada. Comparando la Figura 7.6-3 con la Figura 7.6-2 podemos ver que R_b está en paralelo con h_{ie1}, por lo que la impedancia de entrada de este circuito

$$R_i = h_{ie4} + (h_{fe} + 1)(R_b \| h_{ie1}) \tag{7.6-7}$$

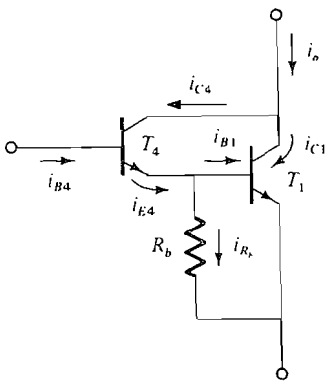


Figura 7.6-3. Amplificador Darlington con resistencia de polarización.

La Ecuación (7.6-7) sería comparable a la (7.6-5). La Ecuación (7.6-5) se obtuvo para el caso especial de $I_{EQ4} = I_{BQ1}$. En la obtención de (7.6-7) escogimos $I_{EQ4} > I_{BQ1}$. De aquí la impedancia de entrada R_i, dada por (7.6-7), para la Figura (7.6-3) es menor que la impedancia de entrada calculada a partir de (7.6-5) para la Figura 7.6-2.

Ganancia de corriente. Para obtener una expresión de la corriente de salida i_o en pequeña señal tenemos en cuenta que $i_o = i_{c1} + i_{c4}$, donde $i_{c1} = h_{fe}i_{b1}$, $i_{c4} = h_{fe}i_{b4}$ e $i_{b1} = i_{e4}R_b/(R_b + h_{ie1})$. Combinando estas expresiones y haciendo $i_{e4} = (h_{fe} + 1)i_{b4}$ se obtiene

$$i_o = i_{c4} + i_{c1} = h_{fe}i_{b4} + h_{fe}(h_{fe} + 1)i_{b4}\frac{R_b}{R_b + h_{ie1}} \qquad (7.6\text{-}8a)$$

La ganancia de corriente es, entonces

$$A_i = \frac{i_o}{i_{b4}} = h_{fe}^2\frac{R_b}{R_b + h_{ie1}} + h_{fe}\left(1 + \frac{R_b}{R_b + h_{ie1}}\right)$$

$$\approx h_{fe}^2\frac{R_b}{R_b + h_{ie1}} \qquad (7.6\text{-}8b)$$

La ganancia de corriente dada por (7.6-8*b*) es siempre menor que el valor obtenido usando la configuración amplificadora Darlington de la Figura 7.6-1 que está dada por (7.6-1*c*) o (7.6-1*d*).

7.6-3. Amplificador diferencial con entrada Darlington

La Figura 7.6-4 muestra un amplificador diferencial con entrada Darlington. Los transistores T_4 y T_5 aumentan sensiblemente la impedancia de entrada sin subir la corriente de T_1 y T_2 ni la de T_3.

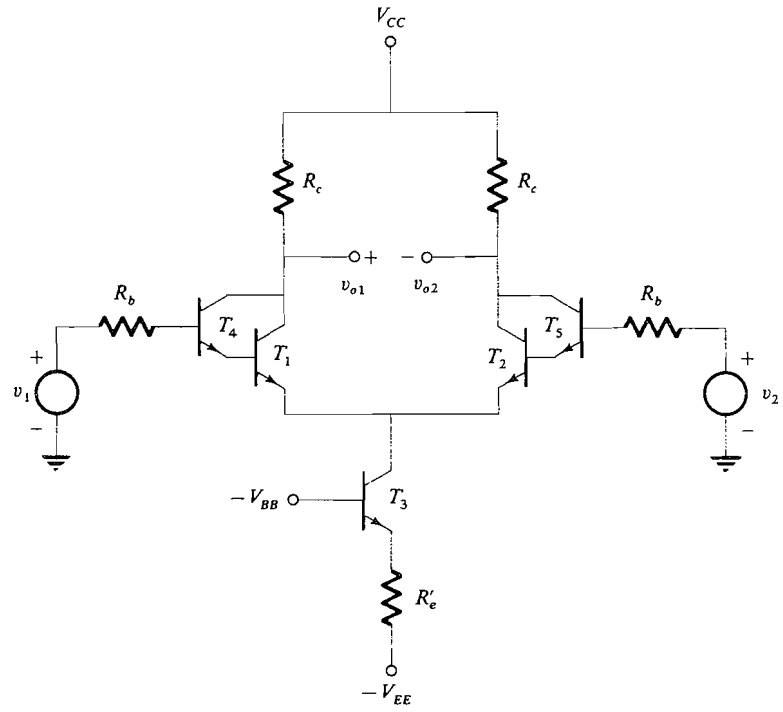


Figura 7.6-4. Amplificador diferencial utilizando la configuración Darlington.

El lector debería verificar que la impedancia de entrada diferencial de este amplificador (vista entre las bases de T_4 y T_5) es [refiriéndonos a (7.6-5)]

$$R_i = 4(h_{fe} + 1)h_{ie1} = 4(h_{fe} + 1)^2 h_{ib1} \tag{7.6-9}$$

Así, si $h_{fe} + 1 = 100$ e $I_{EQ1} = 1$ mA, resulta que $R_i = 1$ MΩ.

Para determinar la ganancia en pequeña señal de un amplificador diferencial reflejamos todos los componentes en los emisores de T_1 y T_2, como se muestra en la Figura 7.6-5,

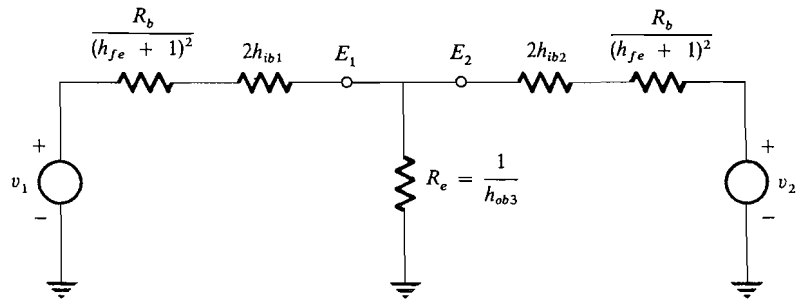


Figura 7.6-5. Circuito equivalente de la Figura 7.6-4 desde los emisores de T_1 y T_2.

donde R_e es la impedancia vista desde el colector de T_3. Nótese el parecido con la Figura 7.6-1. Cuando hacemos uso de esta semejanza la RRMC dada por (7.2-2*c*) se convierte en

$$\text{RRMC} = \frac{R_c}{2h_{ib} + R_b/(h_{fe} + 1)^2} \tag{7.6-10}$$

Despreciando la ganancia de modo común hallamos las tensiones de salida

$$v_{o2} = -v_{o1} = \frac{R_c}{2[R_b/(h_{fe} + 1)^2] + 2h_{ib}}(v_2 - v_1) \tag{7.6-11}$$

EJEMPLO 7.6-1

El amplificador diferencial Darlington de la Figura 7.6-6 está disponible como circuito integrado. Determinar sus condiciones de funcionamiento en reposo. Se supone $h_{fe} = 100$ en todos los transistores.

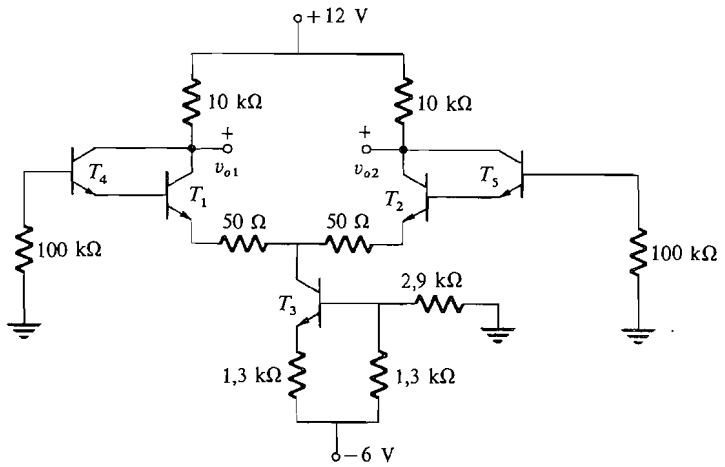


Figura 7.6-6. Amplificador diferencial Darlington.

Solución

Los transistores T_1, T_2 y T_3 forman un amplificador diferencial con una fuente de corriente de emisor constante. La corriente suministrada por T_3 en ausencia de señal se calcula por el circuito de la Figura 7.6-7*a*. Despreciando I_{B3}, se tiene

$$V_{B3} = (-6)\frac{2{,}9}{2{,}9 + 1{,}3} = -4{,}14 \text{ V}$$

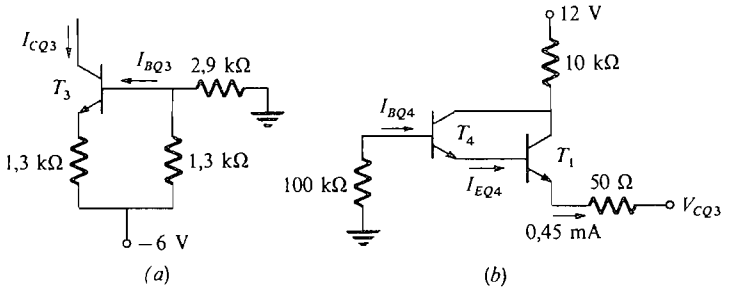


Figura 7.6-7. Circuitos para el Ejemplo 7.6-1: (*a*) fuente de corriente constante para el amplificador diferencial Darlington de la Figura 7.6-6; (*b*) parte del amplificador Darlington del Ejemplo 7.6-1.

La tensión de emisor V_{E3} es

$$V_{E3} = V_{B3} - 0{,}7 = -4{,}84 \text{ V}$$

Así

$$I_{CQ3} \approx I_{EQ3} = \frac{6 - 4{,}84}{1{,}3 \text{ k}\Omega} \approx 0{,}9 \text{ mA}$$

Se supone que la corriente se divide en partes iguales entre T_1 y T_2, por lo que

$$I_{EQ1} = I_{EQ2} \approx 0{,}45 \text{ mA}$$

Para determinar el punto estático de funcionamiento de T_1 y T_4 (y T_2 y T_5) consideremos el circuito de la Figura 7.6-7*b*. En esta figura

$$I_{EQ4} \approx \frac{I_{EQ1}}{h_{fe}} = \frac{0{,}45 \text{ mA}}{100} = 4{,}5 \ \mu\text{A}$$

e

$$I_{BQ4} \approx \frac{I_{EQ4}}{h_{fe}} = \frac{4{,}5 \ \mu\text{A}}{100} = 45 \text{ nA}$$

Después se pueden hallar las tensiones de colector:

$$V_{CQ4} = V_{CQ1} \approx 12 - 10^4 \times [(0{,}45 \times 10^{-3}) + (4{,}5 \times 10^{-6})] \approx 7{,}5 \text{ V}$$

$$V_{EQ4} \approx -10^5 \times (45 \times 10^{-9}) - 0{,}7 \approx -0{,}7 \text{ V}$$

y $V_{EQ1} \approx -1{,}4$ V

Luego

$$V_{CQ3} \approx -1{,}4 - (50)(0{,}45 \times 10^{-3}) \approx -1{,}4 \text{ V}$$

El circuito está representado en la Figura 7.6-8, con todas las corrientes y tensiones.

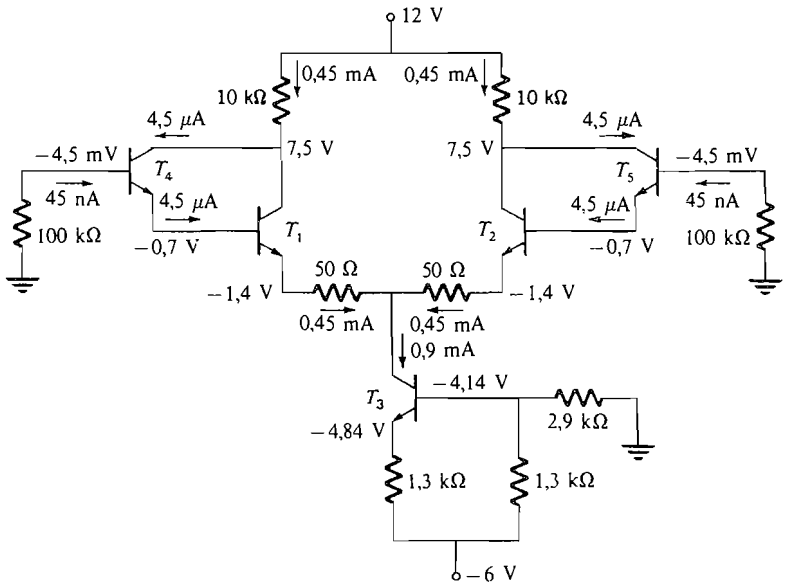


Figura 7.6-8. Amplificador diferencial mixto (compuesto) en condiciones de funcionamiento.

7.7. EL AMPLIFICADOR CASCODO

En los amplificadores CI se utiliza el amplificador cascodo representado en la Figura 7.7-1 como desplazador del nivel de c.c. cuando la tensión que interesa tiene una componente de c.a. de pequeña señal v_i y un nivel fijo de c.c. V_i. La tensión de salida v_L del desplazador de nivel debe tener un nivel de c.c. diferente de V_i; generalmente, este nivel final de salida debe ser 0 V. La resistencia R_i representa la impedancia de salida del amplificador que produce la tensión de entrada del desplazador de nivel $v_i + V_i$.

La variación de nivel se puede obtener utilizando una red resistiva divisora de tensión; es decir, en principio podemos suprimir T_1 y T_2 y sus componentes asociados y sustituirlos por una única resistencia conectada a $-V_{EE}$, como muestra la Figura 7.7-2. Entonces, mediante un ajuste apropiado de R_e y V_{EE} podemos establecer el valor de c.c. de v_L para cualquier nivel que se desee. Por ejemplo, si el valor de c.c. de v_L ha de ser 0 V, debemos tener

$$\frac{V_{EE}}{R_e} = \frac{V_i}{R_i} \tag{7.7-1}$$

Sin embargo, este tipo de divisor resistivo da lugar a una tensión de c.a. de salida que es menor que v_i, cuando V_{EE} y R_e se eligen de acuerdo con (7.7-1). Es decir,

$$v_L = \frac{R_e}{R_e + R_i} v_i \tag{7.7-2}$$

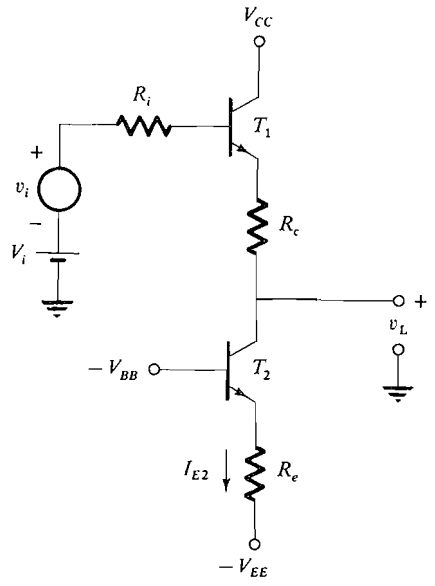


Figura 7.7-1. Amplificador cascodo.

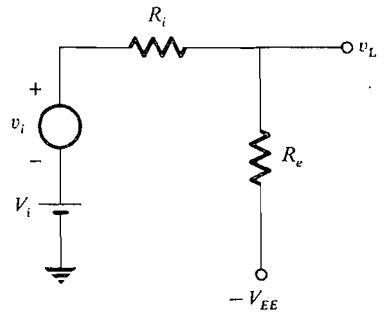


Figura 7.7-2. Una red resistiva elemental divisora de tensión.

El amplificador cascodo representado en la Figura 7.7-1 puede variar el nivel de c.c. sin atenuar la señal de c.a., propiedad que lo hace muy útil en los circuitos integrados.

7.7-1. Análisis en continua

En el amplificador cascodo de la Figura 7.7-1, T_1 es un seguidor de emisor y T_2 actúa como fuente de corriente constante. Así, T_2 ajusta la corriente continua $I_{E2} \simeq I_{C2}$ que circula por T_1 y R_c. La componente de c.c. de la tensión de salida es pues

$$V_L = V_i - \frac{R_i I_{E2}}{h_{fe} + 1} - 0{,}7 - R_c I_{E2} \tag{7.7-3}$$

Haciendo uso de esta relación podemos ajustar fácilmente la tensión de salida de c.c. en cualquier valor que se desee mediante el ajuste de la caída de tensión $R_c I_{E2}$. Por ejemplo, si despreciamos la pequeña tensión existente entre los terminales de R_i, y si V_L ha de ser ajustada a 0 V, se tiene

$$R_c I_{E2} \approx V_i - 0{,}7 \tag{7.7-4}$$

7.7-2. Análisis en pequeña señal

Para determinar la componente de pequeña señal de la tensión de salida, dibujamos el circuito equivalente en pequeña señal de T_1 con respecto a su emisor. El resultado se muestra en la Figura 7.7-3 con T_2 sustituido por la impedancia $1/h_{ob2}$ vista hacia su colector. La componente de señal de la tensión de salida v_L es, entonces,

$$v_L \approx \frac{v_i}{1 + [(R_i/h_{fe} + h_{ib} + R_c)/(1/h_{ob2})]} \tag{7.7-5}$$

Son valores típicos $R_i = 1$ kΩ, $h_{ib} = 25$ Ω, $R_c = 5$ kΩ y $1/h_{ob2} = 100$ kΩ. Como $1/h_{ob2}$ es mucho mayor que $R_i/h_{fe} + h_{ib} + R_c$, la tensión de carga $v_L \approx v_i$ y el resultado de la variación del nivel de c.c. ha sido una atenuación despreciable de la señal.

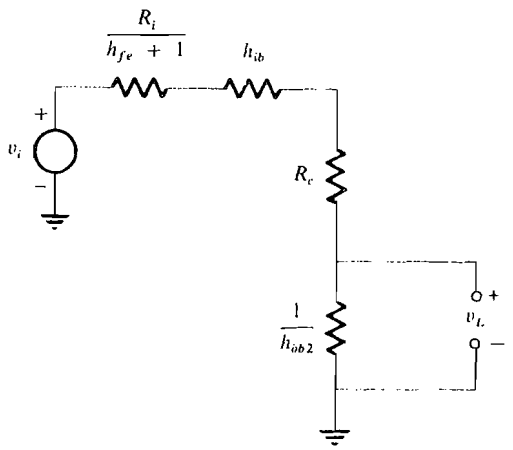


Figura 7.7-3. Circuito equivalente visto desde el emisor de T_1.

EJEMPLO 7.7-1

En la Figura 7.7-4 está representado un amplificador cascodo. Hallar el valor de R_c que ajuste la componente de c.c. de la tensión de salida a 0 V. Se supone $h_{fe} = 50$ para todos los transistores.

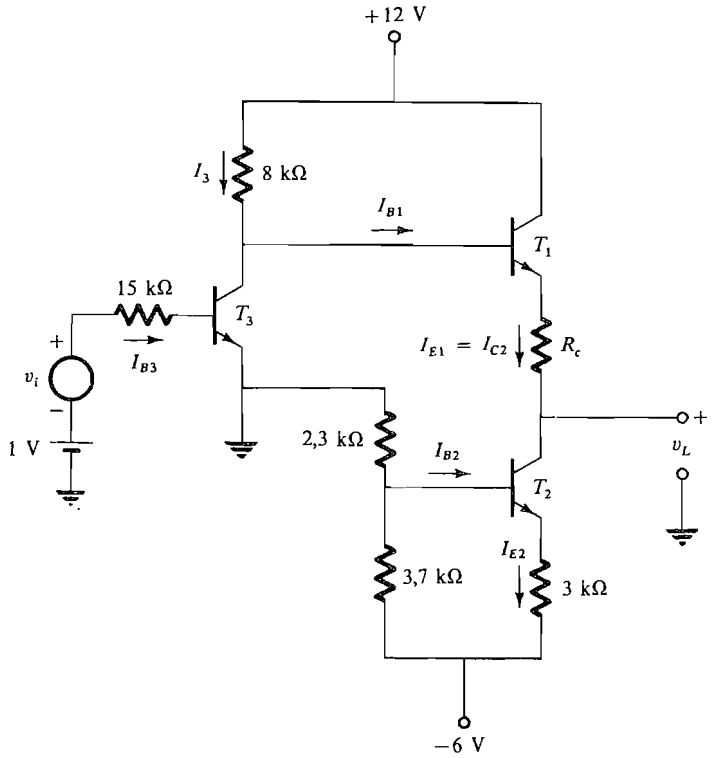


Figura 7.7-4. Amplificador cascodo para el Ejemplo 7.7-1.

Solución

El cálculo empieza determinando V_{B2} y luego V_{E2} para hallar I_{E2}. Despreciando I_{B2}, se tiene

$$V_{B2} = -6\,\frac{2{,}3}{2{,}3 + 3{,}7} = -2{,}3 \text{ V}$$

y

$$V_{E2} = -2{,}3 - 0{,}7 = -3 \text{ V}$$

Luego

$$I_{E1} \approx I_{C2} \approx I_{E2} = \frac{3}{3000} = 1 \text{ mA}$$

Como la finalidad del circuito es hacer $V_L = 0$ V,

$$V_{C3} = V_{BE1} + R_c I_{E1}$$
$$= 0{,}7 + R_c I_{E2} = 0{,}7 + R_c \times 10^{-3}$$

Una vez determinada V_{C3} se puede determinar el valor de R_c como sigue. La coriente de base I_{B3} es

$$I_{B3} = \frac{1 - 0{,}7}{15 \times 10^3} = 0{,}02 \text{ mA}$$

Por tanto, $I_3 \approx I_{C3}$ es

$$I_3 \approx I_{C3} = h_{FE} I_{B3} = 50(0{,}02) \text{ mA} = 1 \text{ mA}$$

La tensión de colector V_{C3} es, pues, 4 V. Ahora se puede hallar el valor de la resistencia R_c por la ecuación

$$4 = 0{,}7 + R_c \times 10^{-3}$$

que da $R_c = 3{,}3$ kΩ.

7.8. EL AMPLIFICADOR OPERACIONAL

Como antes hemos visto, los operacionales se caracterizan por su entrada diferencial y una ganancia muy alta generalmente mayor que 10^5 (100 dB). El operacional típico tiene cuatro bloques, como ilustra la Figura 7.8-1. El primero es el amplificador diferencial que puede tener una entrada Darlington o utilizar varios FET y una fuente de corriente constante. Va seguido de una etapa amplificadora lineal de alta ganancia, generalmente otro amplificador diferencial. Si la tensión de c.c. existente en la salida del amplificador de alta ganancia no es 0 V cuando $v_1 = v_2 = 0$ V, se emplea un circuito desplazador de nivel tal como un amplificador cascodo. La última etapa es un amplificador de salida, habitualmente uno de simetría complementaria o configuración push-pull.

El conjunto amplificador funciona linealmente, por lo que

$$v_o = -A_d(v_1 - v_2) - \frac{A_a(v_1 + v_2)}{2} \tag{7.8-1}$$

tal como es de esperar cuando se utiliza un amplificador diferencial. Aquí hemos supuesto que A_d y A_a son positivas. Un valor típico de A_d es 10^5 (100 dB), mientras que un valor

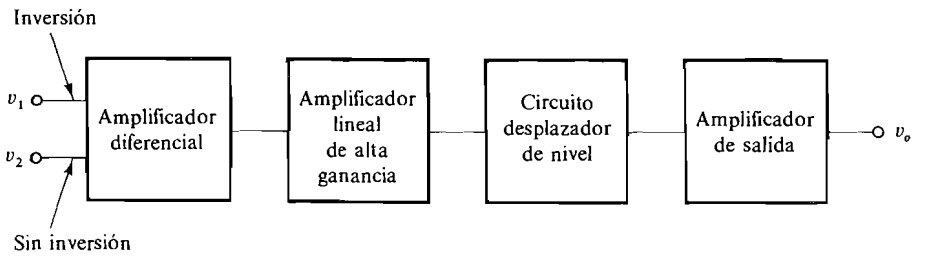


Figura 7.8-1. Configuración típica de un amplificador operacional.

típico de A_a es 1. Así la RRMC es típicamente 10^5, o 100 dB. En (7.8-1) vemos que si $v_2 = 0$, la tensión de salida v_o es de fase opuesta a la que tiene la tensión de entrada v_1, mientras si $v_1 = 0$, la tensión de salida está en fase con v_2. Es, pues, una práctica normalizada referirse a v_2 como entrada *no inversora* y a v_1 como entrada *inversora*.

El operacional suele estar diseñado de modo que si ambas entradas de tensión son cero, la salida también lo es en un margen especificado de temperatura y de variación de la tensión de alimentación.

Con el fin de asegurar la mínima variación de la tensión de salida debida a cambios de temperatura, se suele emplear polarización por diodo. Las variaciones de la tensión de salida son del orden de 1 μV/°C. Análogamente, se emplean técnicas depuradas de diseño para garantizar que el efecto de las variaciones de V_{CC} y/o V_{EE} sobre la tensión de salida sea mínimo. La *relación de rechazo de la fuente de alimentación* de un operacional es típicamente 10^5 (100 dB); es decir, una variación de 1 V de la tensión de alimentación hace que la tensión de salida varíe 10 μV.

7.9. EJEMPLO DE UN AMPLIFICADOR OPERACIONAL COMPLETO

Un operacional típico es un circuito muy elaborado en el que generalmente se utilizan más de 20 transistores. En esta sección analizaremos un operacional integrado que sólo contiene ocho transistores y que posee muchas de las características de los operacionales más complicados. El esquema, que es igual que el del National LH0061, está representado en la Figura 7.9-1.

La etapa de entrada es un amplificador diferencial Darlington. T_3 y T_1 constituyen una configuración Darlington aunque el colector de T_3 no está unido al colector T_1. (La característica esencial del Darlington es que el emisor de T_3 está conectado directamente a la base de T_1.) El amplificador diferencial de entrada no utiliza una fuente de corriente constante; sin embargo, como más adelante se muestra, se obtiene con él una elevada RRMC utilizando ambas salidas v_{C1} y v_{C2} como entradas de un segundo amplificador diferencial formado por los transistores T_5 y T_6. En el esquema T_5 y T_6 son transistores *pnp** y *npn*. Esta segunda etapa confiere elevada ganancia y buena RRMC. También efectúa la variación de nivel necesaria, lo cual se consigue mediante la correcta elección de R_4 y del número de diodos, por lo que $v_o = 0$ cuando $v_1 = v_2 = 0$. Finalmente la etapa de salida es un amplificador de simetría complementaria (véase Sec. 5.4) en el que hemos omitido los circuitos utilizados para evitar la distorsión de cruce, con el fin de simplificar el análisis que sigue del circuito (véase Problema 7.9-3).

7.9-1. Análisis y diseño en continua

Primero ajustamos $v_1 = v_2 = 0$ y determinamos los valores de R_1 a R_4, los cuales aseguran que $v_o = 0$ independientemente de las variaciones de temperatura y de la tensión de alimentación. Previamente suponemos que todas las tensiones base-emisor y las caídas

* En los circuitos integrados los transistores *pnp* están fabricados de modo diferente a los transistores *npn* (véase Sec. 16.1). En consecuencia, tienen una β baja, típicamente menor que 10. Por esto los transistores *pnp* se utilizan pocas veces como amplificadores en configuración de emisor común en los circuitos integrados.

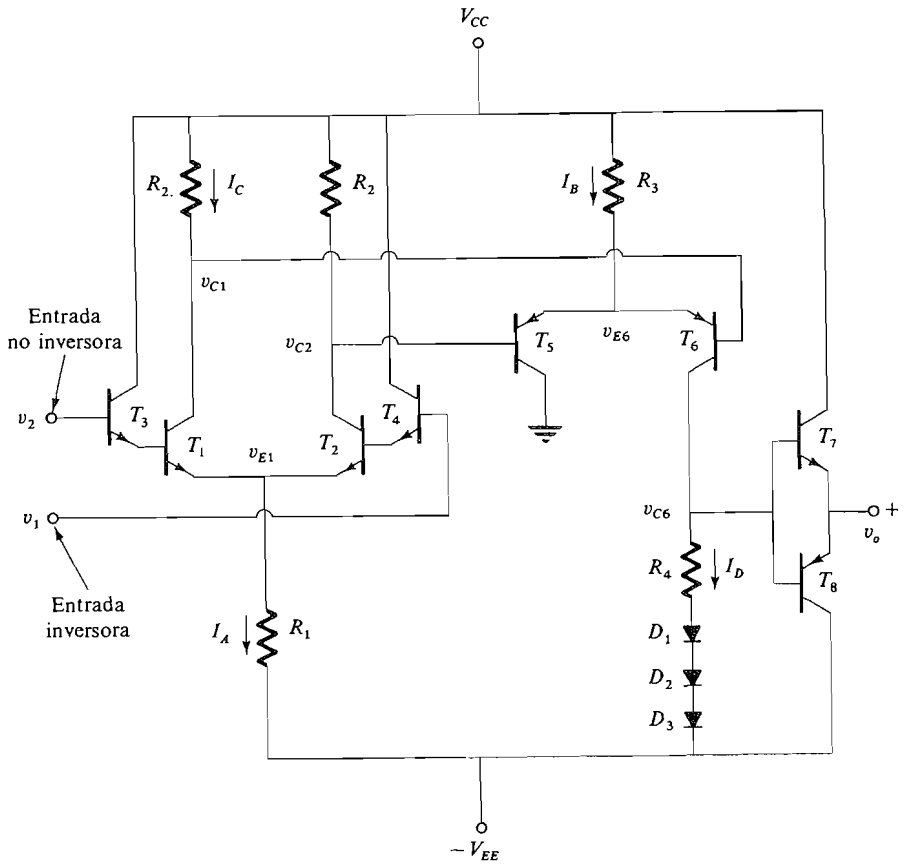


Figura 7.9-1. Un operacional integrado.

de tensión de los diodos son iguales. Para simplificar designaremos todas estas tensiones por V_D, que tiene un valor usual de 0,7 V.

Cuando $v_1 = v_2 = 0$, $v_{E1} = -2V_D$. Por tanto,

$$I_A = \frac{V_{EE} - 2V_D}{R_1} \tag{7.9-1}$$

Despreciamos ahora las corrientes de base i_{B1}, i_{B2}, i_{B5} e i_{B6} en comparación con las corrientes de colector de T_1 y T_2. De la simetría del circuito tenemos $i_{E1} = i_{E2} = i_E$ y, por tanto, $I_C = I_A/2$. Despreciando i_{B1}, $I_C = I_{E1}$, y la tensión v_{C1} queda

$$v_{C1} = V_{CC} - R_2 I_C = V_{CC} - \frac{R_2 I_A}{2} \tag{7.9-2a}$$

Sustituyendo (7.9-1) en (7.9-2*a*) se tiene que

$$v_{C1} = V_{CC} - \frac{R_2}{2R_1}(V_{EE} - 2V_D) \tag{7.9-2b}$$

Esta tensión se aplica a la base de T_6. Dado que la tensión de emisor de T_6 es $v_{E6} = V_D + v_{B6} = V_D + v_{C1}$, de la Ecuación (7.9-2*b*) obtenemos

$$v_{E6} = V_D + V_{CC} - \frac{R_2}{2R_1}(V_{EE} - 2V_D) \tag{7.9.3}$$

La corriente I_B que circula por R_3 es $I_B = (V_{CC} - v_{E6})/R_3$. Entonces [usando (7.9-3)]

$$I_B = \frac{R_2}{2R_1R_3}(V_{EE} - 2V_D) - \frac{V_D}{R_3} \tag{7.9-4}$$

Puesto que las tensiones de base de T_5 y T_6 son iguales (notar que $v_{C1} = v_{C2}$ cuando la tensión de entrada $v_1 = v_2$), la corriente I_B se dividirá por igual entre los transistores T_5 y T_6. De aquí, despreciando las corrientes de base de T_7 y T_8, $I_D \approx I_B/2$. La tensión v_{C6} es, por lo tanto,

$$v_{C6} = \frac{I_B}{2}R_4 + 3V_D - V_{EE} \tag{7.9-5a}$$

Usando la ecuación (7.9-4)

$$v_{C6} = \frac{R_2}{2R_1}\frac{R_4}{2R_3}(V_{EE} - 2V_D) - \frac{R_4}{2R_3}V_D + 3V_D - V_{EE} \tag{7.9-5b}$$

Para que v_o sea 0 V, debemos hacer $v_{C6} = 0$ V. Esta condición se traduce en

$$0 = V_{EE}\left[\frac{R_2}{2R_1}\left(\frac{R_4}{2R_3}\right) - 1\right] + V_D\left[3 - 2\left(\frac{R_2}{2R_1}\right)\frac{R_4}{2R_3} - \frac{R_4}{2R_3}\right] \tag{7.9-6}$$

Para conseguir que (7.9-6) se cumpla para todos los valores de V_{EE} y V_D hay que hacer que sus coeficientes sean cero. El resultado es

$$\left(\frac{R_2}{2R_1}\right)\left(\frac{R_4}{2R_3}\right) = 1 \tag{7.9-7a}$$

y

$$2\left(\frac{R_2}{2R_1}\right)\left(\frac{R_4}{2R_3}\right) + \frac{R_4}{2R_3} = 3 \tag{7.9-7b}$$

Combinando (7.9-7*a*) y (7.9-7*b*) se obtiene

$$\frac{R_4}{2R_3} = \frac{R_2}{2R_1} = 1 \tag{7.9-8}$$

Por ejemplo, si hacemos $R_2 = R_4 = 10$ kΩ, entonces $R_1 = R_3 = 5$ kΩ.

El lector habrá notado la total interdependencia entre R_1 y R_4, según (7.9-8). Usando esta relación en el diseño llegamos a que la tensión de salida es independiente de V_{CC}, V_{EE} y V_D y, por tanto, independiente de los cambios de temperatura así como de las variaciones en la tensión de alimentación. La tensión de salida depende entonces sólo de las señales de entrada de modo común y diferencial.

EJEMPLO 7.9-1

El operacional representado en la Figura 7.9-1 tiene como valores $R_1 = R_3 = 5$ kΩ y $R_2 = R_4 = 10$ kΩ. Hallar (*a*) las corrientes y tensiones en el estado de reposo I_A, I_B, I_C, I_D, V_{C1}, V_{E1}, V_{E6} y V_{C6} cuando $V_{CC} = V_{EE} = 12$ V y $V_1 = V_2 = 0$ V; (*b*) la máxima excursión simétrica de cresta de modo común $V_{a,\text{máx}}$ que se puede conseguir si $V_{CC} = V_{EE} = 12$ V; (*c*) el valor de V_{EE} (con $V_{CC} = 12$ V) que maximizará la excursión de tensión permitida de modo común.

Solución

(*a*) Puesto que $V_1 = V_2 = 0$ V, $V_{E1} = -1{,}4$ V y [véase (7.9-1)]

$$I_A = \frac{12 - 1{,}4}{5} = 2{,}12 \text{ mA}$$

Por tanto, $I_C \approx I_A/2 = 1{,}06$ mA y $V_{C1} = 12 - (1{,}06)(10) = 1{,}4$ V. Obsérvese que $V_{E6} = V_{C1} + 0{,}7 = 2{,}1$ V, por lo que

$$I_B = \frac{12 - 2{,}1}{5} = 1{,}98 \text{ mA}$$

Como $I_D = I_B/2 = 0{,}99$ mA, tenemos

$$V_{C6} = 0{,}99(10) + 2{,}1 - 12 = 0 \text{ V}$$

como era previsible.

(*b*) Las ecuaciones de la recta de carga de modo común para T_1 [véase Ecuación (7.1-5)] son

$$V_{CC} + V_{EE} = v_{CE1} + i_{C1}(R_2 + 2R_1)$$

y

$$24 = v_{CE1} + i_{C1}(20 \times 10^3) \qquad (7.9\text{-}9a)$$

y [véase Ec. (7.1-6*b*)] el punto Q para diferentes valores de v_a se puede hallar por

$$i_{C1} = \frac{v_a + V_{EE} - 2V_D}{2R_1} = \frac{v_a + 10{,}6}{10^4} \qquad (7.9\text{-}9b)$$

En la Figura 7.9-2*a* está representada la Ecuación (7.9-9*a*) para $V_{CC} = V_{EE} = 12$ V. Los puntos Q, Q_1 y Q_2 se hallan como sigue. Q es el correspondiente a $v_a = 0$ V.

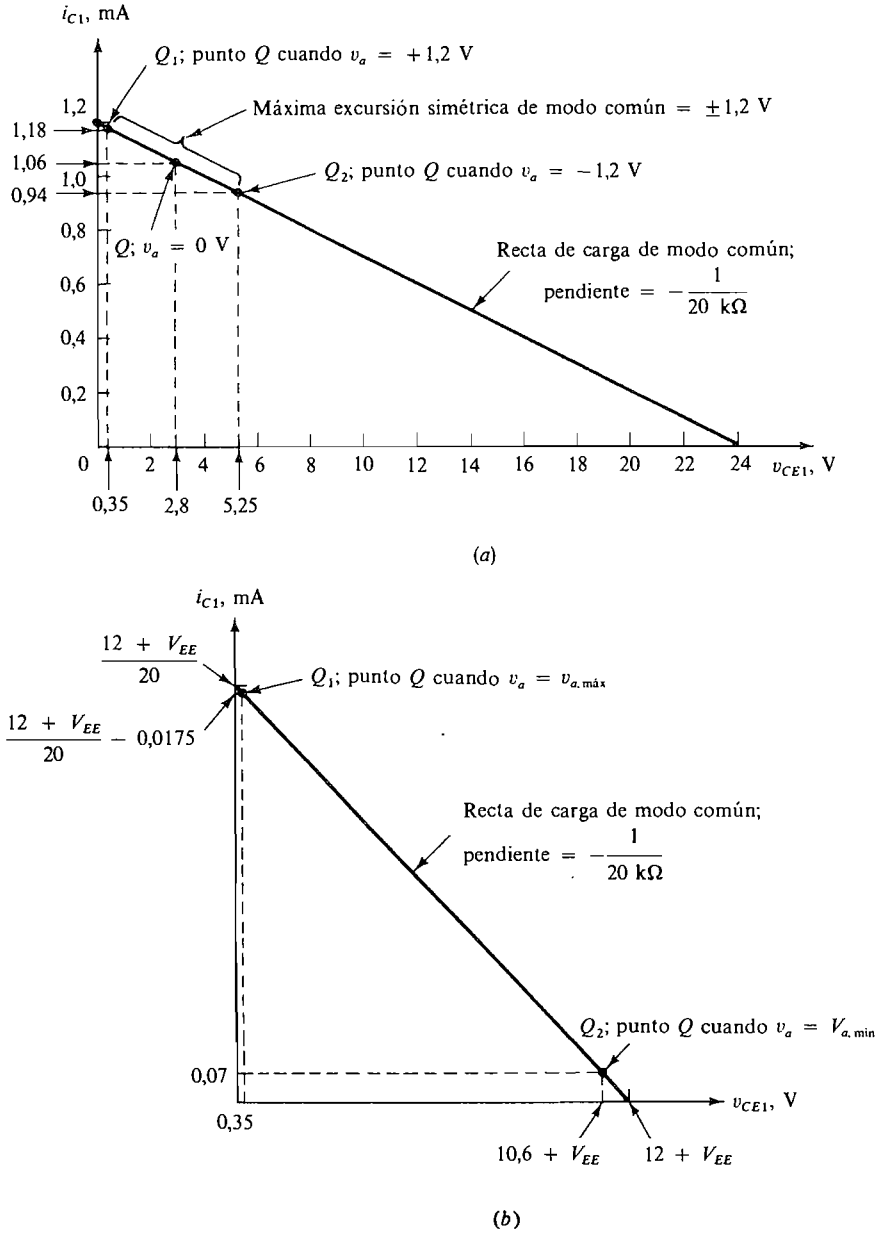


Figura 7.9-2. Ejemplo 7.9-1: (*a*) recta de carga para T_1 de la parte (*b*) del ejemplo; (*b*) recta de carga para la parte (*c*) del ejemplo. Nótese que la inclinación de la línea de carga común es la misma en la parte (*a*) que en la parte (*b*).

Utilizando (7.9-9*a*) hallamos que, cuando $v_a = 0$ V, $I_C = 1{,}06$ mA y por la figura [o por (7.9-9*a*)] $V_{CE1} = 2{,}8$ V. Q_1 es el punto Q en que T_1 está en el extremo de la región lineal (véase Sec. 7.3). Esto ocurre cuando $V_{CE1} = 0{,}35$ V. El valor correspon-

diente de I_C es 1,06 + (2,8 − 0,35)/20 = 1,18 mA, como muestra la figura. Sustituyendo este resultado en (7.9-9*b*) se tiene $v_{a,\text{máx}} = 1{,}2$ V. El punto Q_2 está situado en el otro extremo de la máxima excursión simétrica de modo común, en que $v_{a,\text{min}} = -1{,}2$ V. En este punto $I_C = 0{,}94$ mA y $V_{CE1} = 5{,}25$ V. Después demostraremos que para $|v_a| < 1{,}2$ V la ganancia de modo común $A_a = v_o/v_a = 1$.

(*c*) Cuando no se conoce V_{EE}, (7-9-9*a*) puede reescribirse como:

$$12 + V_{EE} = v_{CE1} + i_{C1}(20 \times 10^3) \qquad (7.9\text{-}9c)$$

Las Ecuaciones (7.9-9) se usan para obtener la recta de carga mostrada en la Figura 7.9-2*b* cuando se desconoce V_{EE}. Para entender por qué la recta de carga se dibuja tal y como se muestra, debemos primero observar que cuando la tensión de modo común crece, las corrientes i_{C1} e i_{C2} aumentan y v_{CE1} disminuye hasta que T_1 entra en la zona de saturación, $v_{CE1} \approx 0{,}35$ V. El máximo valor posible de la tensión de modo común, $V_{a,\text{máx}}$ aparece cuando la tensión colector-emisor es de 0,35 V. Este valor máximo puede ser calculado igualando i_{C1} de la Ecuación (7.9-9*a*) con la i_{C1} obtenida de (7.9-9*b*), tal y como se indica a continuación:

$$\frac{12 + V_{EE} - 0{,}35}{20} = \frac{V_{a,\text{máx}} + V_{EE} - 1{,}4}{10}$$

Al decrecer la tensión de modo común, las corrientes i_{C1} e i_{C2} se reducen, mientras que v_{C1} aumenta. El aumento de v_{C1} puede ser seguido por T_6 siempre que $v_{C1} \leqslant V_{CC} - 0{,}7$ (véase Fig. 7.9-1). De este modo, la tensión más negativa posible de modo común es aquella para la que $v_{C1} = V_{CC} - 0{,}7 = 11{,}3$ V. Considerando la Figura 7.9-1 podemos ver que cuando $v_{C1} = 11{,}3$ V, $i_{C1} = 0{,}7/10 = 0{,}07$ mA. Utilizando (7.9-9*c*) encontramos que para este caso $v_{CE1} = 10{,}6 + V_{EE}$. Este punto Q, Q_2, se muestra en la Figura 7.9-2*b* y en él la entrada de modo común alcanza el valor más negativo posible sin causar distorsión (el corte de T_5 y T_6 es aquí el factor limitador). Por lo tanto, cuando $i_{C1} = 0{,}07$ mA, $v_a = V_{a,\text{min}}$. Para maximizar la variación admisible de modo común V_{EE} se escoge de forma que el punto Q, cuando $v_a = 0$ V, divida a la recta de carga en partes iguales entre $V_{a,\text{máx}}$ y $V_{a,\text{min}}$. El valor de i_{C1} en este punto es

$$i_{C1}(v_a = 0) = \frac{1}{2}\left(\frac{12 + V_{EE} - 0{,}35}{20} + 0{,}07\right)$$

Combinando esta ecuación con (7.9-9*b*) se tiene

$$i_{C1}(v_a = 0) = \frac{13 + V_{EE}}{40} = \frac{V_{EE} - 1{,}4}{10}$$

Despejando V_{EE}, hallamos

$$V_{EE} \approx 6{,}3 \text{ V}$$

Para hallar $V_{a,\text{máx}}$ podemos combinar (7.9-9*b*) con i_{C1} calculada en $V_{a,\text{máx}}$,

$$i_{C1}(v_a = V_{a,\text{máx}}) = \frac{12 + 6{,}3 - 0{,}35}{20} = \frac{V_{a,\text{máx}} + 6{,}3 - 1{,}4}{10}$$

Despejando, hallamos

$$V_{a,\text{máx}} \approx 4{,}1 \text{ V}$$

El máximo margen real de entrada de modo común será algo menor que éste dependiendo de la magnitud de la entrada de modo diferencial. El margen de modo común ha sido considerablemente extendido eligiendo adecuadamente la tensión negativa de alimentación $-V_{EE}$.

7.9-2. Análisis en pequeña señal

El objeto de este análisis es obtener una expresión que relacione la tensión de salida v_o con las tensiones de entrada v_1 y v_2. Lo mismo que antes, expresaremos nuestro resultado en función de las componentes de modo común y de modo diferencial de la entrada en vez de en función de v_1 y v_2. Esto nos conducirá directamente a la ganancia de modo diferencial y a la RRMC que son las cantidades de más interés para el usuario del operacional.

El cálculo se hará desde la entrada hasta la salida del amplificador. Comenzaremos reflejando todos los componentes del amplificador diferencial de entrada en los circuitos de emisor de T_1 y T_2. El resultado está representado en la Figura 7.9-3. Si suponemos que

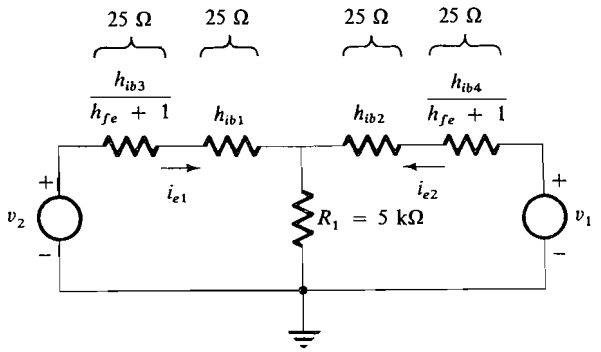


Figura 7.9-3. Circuito equivalente en pequeña señal entre los emisores de T_1 y T_2.

los valores de los componentes son $R_1 = R_3 = 5\ \text{k}\Omega$, $R_2 = R_4 = 10\ \text{k}\Omega$ y $V_{CC} = V_{EE} = 12$ V, como en el Ejemplo 7.9-1, hallamos que $I_C \approx 1$ mA, por lo que $h_{ib1} = h_{ib2} \approx 25\ \Omega$. Si suponemos también que cada transistor tiene el mismo factor de ampliación de corriente $h_{fe} = 99$, entonces $h_{ib3}/(h_{fe} + 1) = h_{ib4}/(h_{fe} + 1) = 25\ \Omega$.

Para hallar las corrientes i_{e1} e i_{e2} observemos primero la similitud entre las Figuras 7.9-3 y 7.1-6 luego empleemos (7.1-10), que describe la Figura 7.1-6. El resultado es

$$i_{c1} \approx i_{e1} \approx \frac{v_a}{10^4} - \frac{v_d}{2(50)} \tag{7.9-10a}$$

e

$$i_{c2} \approx i_{e2} \approx \frac{v_a}{10^4} + \frac{v_d}{2(50)} \tag{7.9-10b}$$

El paso siguiente consiste en determinar la corriente de colector en T_6, ya que esta corriente determinará v_{c6} por la relación

$$v_{c6} = i_{c6}(R_4 + 3r_d) \tag{7.9-10c}$$

La corriente de colector se puede hallar analizando el circuito del amplificador diferencial formado por T_5 y T_6 representado en la Figura 7.9-4*a*. En el esquema, los circuitos de entrada comprenden las resistencias de colector R_2 de T_1 y T_2 en paralelo con las fuentes de corriente que representan las corrientes de colector i_{c1} e i_{c2}. Todas las tensiones de alimentación han sido sustituidas por cortocircuitos, ya que sólo nos interesa el comportamiento en pequeña señal. Además, los diodos D_1, D_2 y D_3 incluidos en el circuito de colector de T_6 han sido sustituidos por sus resistencias equivalentes para pequeña señal $r_d = V_T/I_D \approx (25\ \text{mV})/(1\ \text{mA}) \approx 25\ \Omega$. El circuito equivalente en pequeña señal con respecto a los emisores de T_5 y T_6 está representado en la Figura 7.9-4*b*. Aquí las fuentes de corriente de entrada de la Figura 7.9-4*a* han sido convertidas en fuentes de tensión. Además se ha supuesto que los transistores *pnp* tiene $h_{fe} = 9$.

A causa de la similitud entre las Figuras 7.9-4*b* y 7.1-6 hacemos uso nuevamente de (7.1-10) teniendo el cuidado de identificar correctamente las variables en la ecuación. Obsérvese que en la Figura 7.9-4*b* las tensiones de entrada son [véase (7.9-10)]

$$v'_{c2} = 10^4 i_{c2} = v_a + 100v_d \tag{7.9-11a}$$

$$v'_{c1} = 10^4 I_{c1} = v_a - 100v_d \tag{7.9-11b}$$

donde, lo mismo que antes, $v_a = (v_1 + v_2)/2$ y $v_d = v_1 - v_2$. Utilizando ahora (7.1-10*b*), hallamos [siendo aquí i_{e6} análogo a i_{e2} en (7.1-10*b*)]

$$i_{e6} \approx i_{c6} \approx \frac{v'_{c2} + v'_{c1}}{2 \times 10^4} + \frac{v'_{c2} - v'_{c1}}{2 \times 1025} \tag{7.9-12a}$$

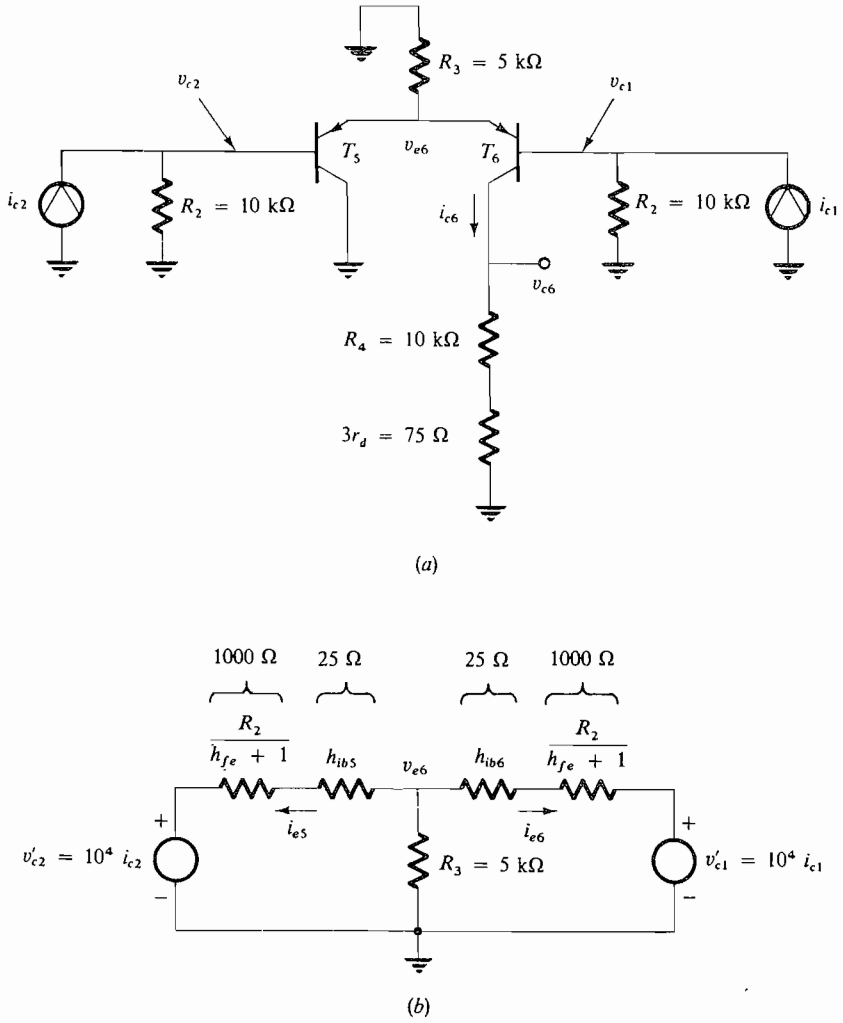


Figura 7.9-4. (*a*) Circuito en pequeña señal del amplificador diferencial *pnp* que muestra las entradas desde los colectores de T_1 y T_2; (*b*) circuito equivalente en pequeña señal desde los emisores de T_5 y T_6.

Sustituyendo (7.9-11) en (7.9-12*a*), tenemos

$$i_{c6} = \frac{v_a}{10^4} - \frac{200 v_d}{2050} \qquad (7.9\text{-}12b)$$

Amplificación. Ahora se puede hallar la tensión de colector v_{c6} y, por tanto, la tensión de salida v_o: en el circuito

$$v_o = v_{c6} \approx 10^4 i_{c6} = v_a - \frac{10^4 v_d}{10} \tag{7.9-13}$$

Comparando este resultado con el dado por (7.2-1*a*), vemos que la magnitud de la ganancia de modo común es $|A_c| = 1$ y la magnitud de la ganancia de modo diferencial es $|A_d| \approx 1000$. Finalmente, la relación de rechazo de modo común es

$$\text{RRMC} = 1000 = 60 \text{ dB}$$

Impedancia de entrada. La impedancia de entrada del operacional es la impedancia vista entre las bases de T_3 y T_4 del amplificador diferencial Darlington. Esta impedancia viene dada por (7.6-9),

$$R_i = 4(h_{fe} + 1)^2 h_{ib1} \tag{7.6-9}$$

Si $R_1 = R_3 = 5$ kΩ, $R_2 = R_4 = 10$ kΩ, $V_{CC} = V_{EE} = 12$ V y $h_{fe} + 1 = 100$, entonces $h_{ib1} = 25$ Ω y $R_i = (4)(100)^2(25) = 1$ MΩ. La impedancia de entrada de un operacional suele estar comprendida entre 100 kΩ y 10 MΩ, dependiendo de su diseño.

Impedancia de salida. La impedancia de salida hacia el terminal de salida es la impedancia de R_4 y de los diodos D_1 a D_3 reflejados en el emisor de T_7 o de T_8 (recuérdese que T_7 y T_8 están funcionando en clase B, por lo que sólo uno de ellos conduce en cada instante). De aquí que la impedancia de salida sea aproximadamente

$$R_o = \frac{R_4}{h_{fe} + 1} + h_{ib7} \approx \frac{R_4}{h_{fe} + 1} \tag{7.9-14}$$

Si $R_4 = 10$ kΩ y $h_{fe} + 1 = 100$ para ambos transistores *npn* y *pnp**, entonces $R_o \approx 100$ Ω. La impedancia de salida de los operacionales está comprendida entre 50 y 200 Ω.

PROBLEMAS

7.1-1. Repetir el Ejemplo 7.1-1 si $R_b = 10$ kΩ y $h_{fe} = 100$. Calcular v_{o1} y v_{o2} para una tensión de modo común sin señal de 0 V.

7.1-2. Verificar (7.1-11) aplicando las técnicas normalizadas de análisis de redes al circuito de la Figura 7.1-6.

* h_{fe} es muy diferente en los transistores *npn* y *pnp*. Para simplificar los cálculos hemos elegido el valor 100.

7.1-3. Hallar el circuito equivalente en pequeña señal para el amplificador diferencial de la Figura 7.1-1 por medio de la reflexión de los elementos apropiados en los circuitos de base. Analizar el circuito resultante para comprobar (7.1-11).

7.1-4. Hallar i_L en función de las señales de modo común y de modo diferencial en la Figura P7.1-4.

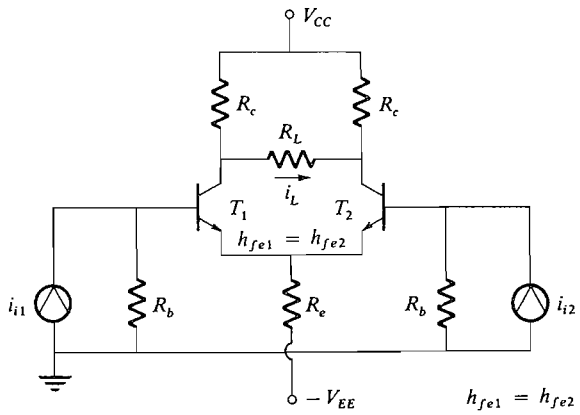


Figura P7.1-4.

7.1-5. Hallar $\Delta I_{C1}/\Delta T$ e $\Delta I_{C2}/\Delta T$ para el amplificador diferencial de la Figura 7.1-1. Suponer que $I_{CBO} = 0$ y que sólo varía V_{BE} con la temperatura ($\Delta V_{BE}/\Delta T = -2{,}0$ mV/°C).

7.2-1. (*a*) Hallar la relación de rechazo de modo común para el Problema 7.1-1.
(*b*) Si la tensión de modo común es 2 mV, hallar la señal de modo diferencial para la cual la tensión de salida de modo diferencial sea por lo menos 200 veces mayor que la salida de modo común.

7.2-2. (*a*) Diseñar un amplificador diferencial como el de la Figura 7.1-1 que tenga una RRMC de 40 dB. Cada una de las fuentes de tensión tiene una resistencia interna de 1 kΩ y los transistores tienen $h_{fe} = 250$. Utilizar dos fuentes de alimentación, una positiva y otra negativa. Calcular las corrientes de polarización suponiendo una tensión de modo común de 0 V.
(*b*) La tensión de modo común es 10 mV. ¿Cuál es la mayor señal de modo común con que puede trabajar el amplificador si la salida de modo diferencial ha de ser por lo menos 50 veces mayor que la salida de modo común?

7.2-3. En la Figura P7.2-3 los transistores son idénticos; $h_{fe} = 100$ y $h_{oe} = h_{re} = 0$.
(*a*) Hallar I_{EQ1} e I_{EQ2} suponiendo que la tensión c.c. de modo común es despreciable.
(*b*) Dibujar el circuito equivalente en pequeña señal estando todas las impedancias reflejadas en la base de T_1.
(*c*) Hallar las ganancias de modo diferencial y de modo común.
(*d*) Determinar la RRMC.
(*e*) Si el margen de tensión c.c. de v_1 y v_2 es $-3\text{ V} \leqslant V_1 \leqslant +3\text{ V}$, hallar las máximas variaciones de corriente permisibles de i_{C1} e i_{C2} debidas a la señal de modo diferencial para que el funcionamiento sea lineal.

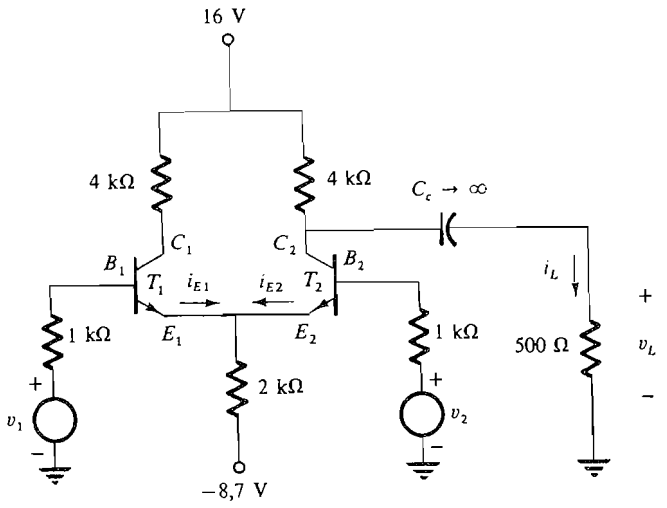


Figura P7.2-3.

7.3-1. Se requiere un amplificador diferencial cuya salida de modo diferencial sea por lo menos 4000 veces mayor que la salida de modo común. La señal de modo común es 3 mV y la señal de modo diferencial es 1 mV. Diseñar el amplificador utilizando una fuente de corriente constante como en la Figura 7.3-1 en que las fuentes de tensión tengan cada una resistencias de 2 kΩ. Suponer que los transistores son idénticos y que cada uno tiene $h_{fe} = 200$. Con 1 mA estos transistores tienen $1/h_{ob} = 1$ MΩ ($h_{ob} = 10^{-3} I_E$S).

7.3-2. Repetir el Ejemplo 7.3-1 si $V_{CC} = V_{EE} = 5$ V, $R_c = 1$ kΩ, $R_b = 3{,}5$ kΩ, $R'_e = 500$ Ω, $h_{fe} + 1 = 200$ e $I_{EQ1} = I_{EQ2} = 2$ mA.

7.4-1. En la Figura P7.4-1, $h_{fe1} = 100$ y $h_{fe2} = 200$. Si $R_c = 1{,}5$ kΩ, $r_i = 4$ kΩ, $R_e = 6$ kΩ, $V_{CC} = 10$ V, $V_{BB} = 5$ V y R_x es un potenciómetro de 100 Ω, hallar (*a*) R_1 y R_2 y (*b*) la RRMC.

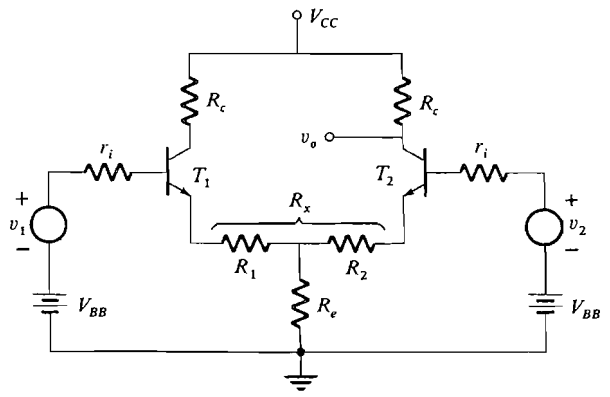


Figura P7.4-1.

7.4-2. Repetir el Ejemplo 7.4-1 si $V_{CC} = 5$ V y $R_c = 1{,}5$ kΩ.

7.5-1. En la Figura P7.5-1, $R_d = 10\ \text{k}\Omega$, $r_{ds} = 100\ \text{k}\Omega$, $g_m = 1\ \text{mS}$, $R_s = 10\ \text{k}\Omega$ y $R_g = 1\ \text{M}\Omega$. Hallar (*a*) la RRMC; (*b*) la tensión de salida $v_{o2} - v_{o1}$; (*c*) la impedancia de salida vista hacia el drenaje de T_2, y (*d*) la impedancia de entrada en la puerta de T_2.

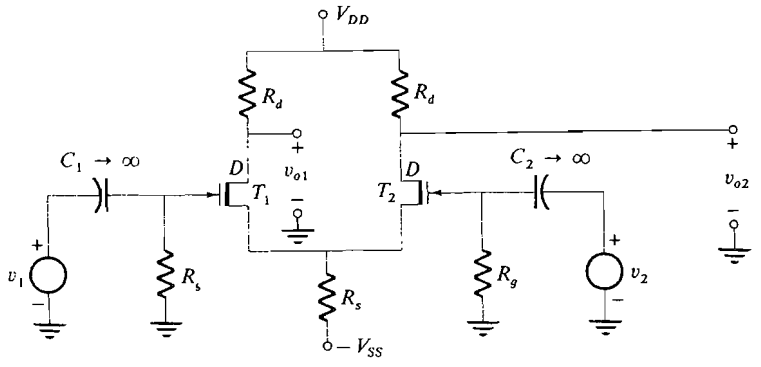


Figura P7.5-1.

7.6-1. En la Figura 7.6-1 suponer que $h_{fe1} \neq h_{fe4}$. Demostrar que
(*a*) $R_i = 2h_{ie1}(1 + h_{fe4}) = 2h_{ie4}$
(*b*) $A_i = (1 + h_{fe4})h_{fe1}$

7.6-2. En la Figura 7.6-3 hallar R_i y A_i si $h_{fe1} \neq h_{fe4}$.

7.6-3. (*a*) Hallar el modelo híbrido equivalente a la configuración Darlington de la Figura 7.6-1 incluyendo los efectos de h_{oe} y h_{re}. Referencia a la Figura P7.6-3.
(*b*) Demostrar que si $h_{re1} \ll 1$, $h_{re4} \ll 1$, $h_{ie1}h_{oe1} \ll 1$ y $h_{ie4}h_{oe4} \ll 1$, entonces

$$h_{ieD} \approx 2h_{ie1}(1 + h_{fe4}) = 2h_{ie4}$$
$$h_{reD} \approx \text{despreciable}$$
$$h_{feD} \approx (1 + h_{fe4})h_{fe1}$$
$$h_{oeD} \approx h_{oe1} + h_{oe4}(1 + h_{fe1}) = 2h_{oe1}$$

Para h_{oeD} necesitamos que $h_{oe4} = c_1 I_{E4}$ y $h_{oe1} = c_1 I_{E1}$, donde c_1 es una constante. [Recordar (6.2-1*f*) y suponer que v_{CE} es constante.]

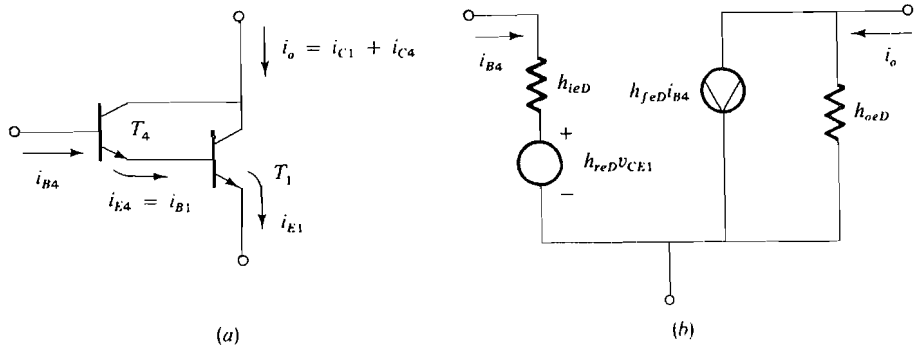


Figura P7.6-3.

7.6-4. Hallar el circuito híbrido equivalente (h_i, h_o y g) para la conexión compuesta de transistores de la Figura P7.6-4. Utilizar el equivalente híbrido simplificado para cada transistor pero suponer que los parámetros no son idénticos.

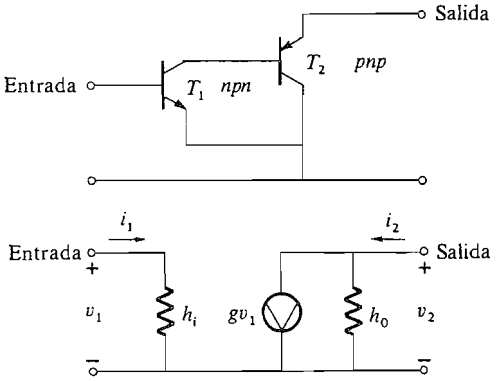


Figura P7.6-4.

7.6-5. Repetir el Problema 7.6-4 para la conexión paralelo de la Figura P7.6-5. Suponer transistores idénticos y comentar las posibles ventajas del circuito.

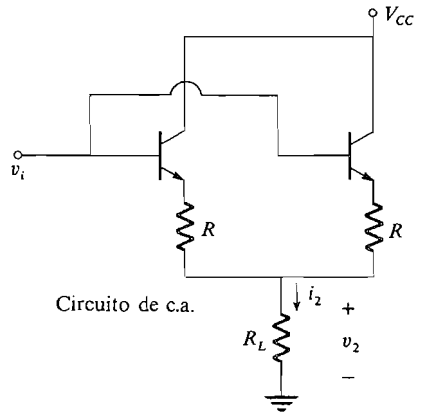
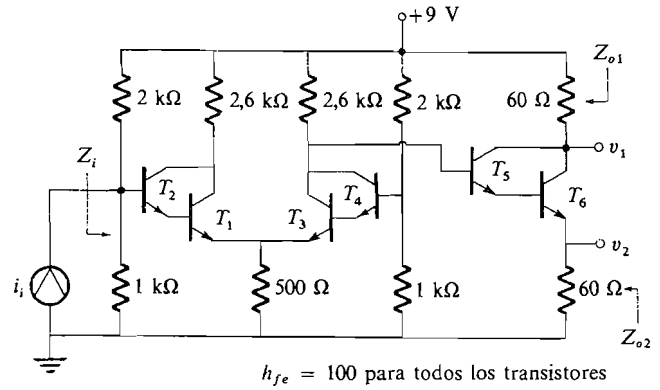


Figura P7.6-5.

7.6-6. Hallar (*a*) las condiciones de funcionamiento en reposo del circuito de la Figura P7.6-6, (*b*) v_1/i_i y v_2/i_i y (*c*) Z_i, Z_{oi} y Z_{o2}.



h_{fe} = 100 para todos los transistores

Figura P7.6-6.

7.6-7. Repetir el Problema 7.6-6 para el circuito de la Figura P7.6-7.

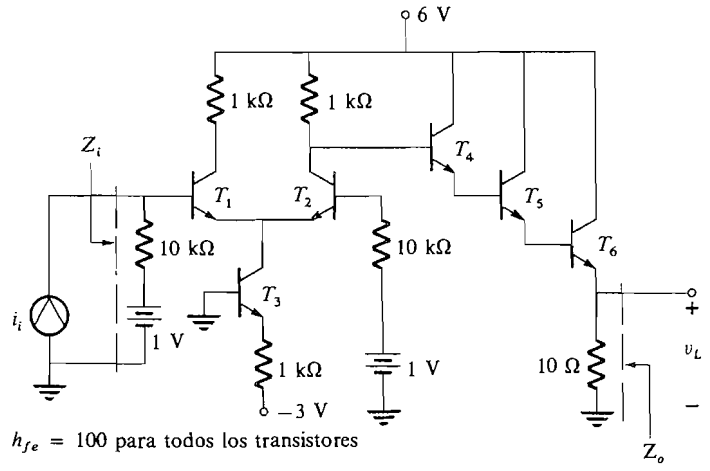


Figura P7.6-7.

7.6-8. Se puede construir una configuración Darlington utilizando el JFET y el transistor representados en la Figura P7.6-8. La resistencia R_1 proporciona autopolarización.

(*a*) Obtener una expresión para la ganancia v_e/v_i.

(*b*) Determinar Z_o.

(*c*) Determinar Z_i.

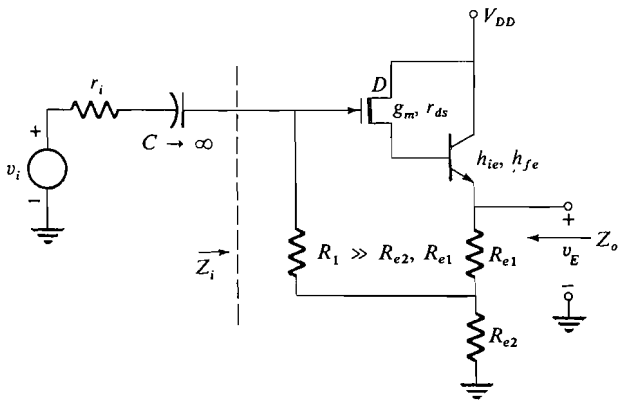


Figura P7.6-8.

7.6-9. En la Figura P7.6-9 los transistores T_1, T_2 y T_3 forman un amplificador diferencial. El JFET T_4 es un amplificador Darlington que se utiliza para proporcionar una alta impedancia de entrada.

(*a*) Si la resistencia hacia el colector de T_3 es infinita, calcular Z_i.

(*b*) Calcular v_L/v_i.

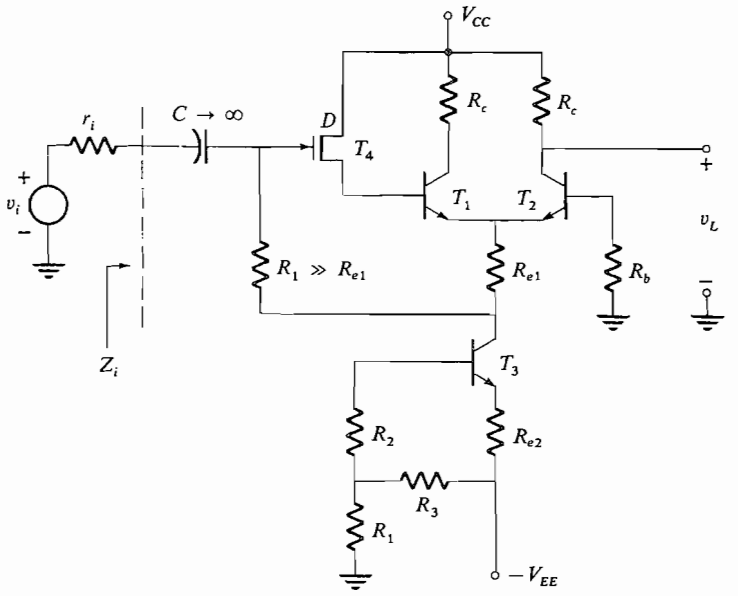


Figura P7.6-9.

7.7-1. En el amplificador cascodo de la Figura 7.7-1 suponer $R_i = 15$ kΩ, $V_{BB} = 0$, $V_{CC} = 12$ V, $V_{EE} = -6$ V, $R_e = 3{,}3$ kΩ y $V_i = +6$ V. Suponer $h_{FE} = h_{fe} = 200$.
(*a*) Hallar R_c para que la componente de c.c. de la salida sea igual a 0.
(*b*) Hallar la ganancia en pequeña señal v_L/v_i si $h_{ob} = 10$ μS con 5 mA.

7.7-2. En la Figura P7.7-2 los transistores son idénticos con $h_{FE} = h_{fe} = 200$ y $h_{ob} = 10$ μS con 5 mA.
(*a*) Hallar R_c para que la componente de c.c. de la salida sea igual a 0.
(*b*) Hallar la ganancia en pequeña señal v_L/v_i.

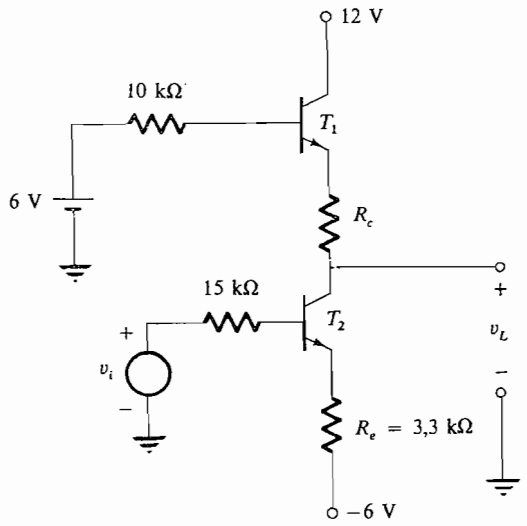


Figura P7.7-2.

7.7-3. Modificar las resistencias R_c y R_e en el Problema 7.7-2 para obtener una componente de corriente continua de 0 en v_L y ganancia unidad para $|v_L/v_i|$. Despreciar h_{oe}.

7.9-1. (*a*) En la Figura 7.9-1 utilizar técnicas de reflexión de impedancia para verificar el circuito de la Figura 7.9-3.

(*b*) Verificar (7.9-10*a*) y (7.9-10*b*) descomponiendo la Figura 7.9-3 en circuitos de modo común y de modo diferencial, resolviendo cada circuito y utilizando superposición.

7.9-2. Comprobar que la impedancia de entrada vista desde los terminales entre las bases de T_3 y T_4 del operacional de la Figura 7.9-1 viene dada por (7.6-9).

7.9-3. Recolocando R_4 y los diodos D_1, D_2 y D_3 de la Figura 7.9-1 como se muestra en la Figura P7.9-3 se puede eliminar la distorsión de cruce. Suponer $V_{D1} = V_{D2} = V_{D3} = V_{BE7} = V_{BE8} = = 0{,}7$ V.

(*a*) ¿Cuál es el valor de reposo de i_L?

(*b*) Explicar la acción del circuito cuando I_D aumenta y cuando I_D disminuye.

(*c*) Calcular el valor de pico de I_D para obtener la máxima i_L.

(*d*) Determinar la máxima potencia de salida y el máximo rendimiento.

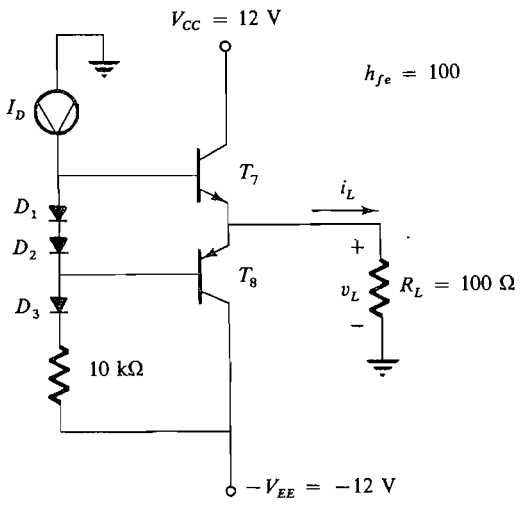


Figura P7.9-3.

CAPITULO

8

Aplicaciones de los amplificadores operacionales

INTRODUCCION

Se aplica el término *amplificador operacional* cuando se utiliza un amplificador muy estable para realizar una amplia variedad de *operaciones* lineales y no lineales cambiando simplemente algunos elementos externos tales como resistencias, condensadores, diodos, etcétera. Hoy en día se dispone de una gran variedad de operacionales, fabricados sobre una sola pastilla o chip y vendidos a precios extremadamente bajos. En consecuencia, este dispositivo se ha convertido en un elemento primario para el diseño de sistemas analógicos. En este capítulo estudiaremos varias de las aplicaciones lineales y no lineales más importantes de los amplificadores operacionales.

Como hemos visto en la Sección 7.3 y está ilustrado en la Figura 8.1-1*a*, el modelo de circuito equivalente de un amplificador operacional consiste en una impedancia de entrada R_i conectada entre los dos terminales de entrada v_1 y v_2. El circuito de salida consiste en una fuente controlada de tensión $A_d v_d$ en serie con una resistencia de salida R_o conectada entre el terminal de salida y masa (uno de los terminales de salida está siempre conectado a masa). Además, puesto que hemos supuesto que la fuente controlada de tensión es $A_d v_d$, admitimos que la ganancia de modo común es nula. Este supuesto es válido para la mayoría de aplicaciones de los operacionales. El símbolo usual del operacional es el triángulo que aparece en la Figura 8.1-1*b*. No muestra explícitamente ninguno de los componentes del circuito equivalente, pero siempre están marcados los terminales de entrada inversor y no inversor, muy a menudo por los signos menos y más tal como aparecen en la figura.

La ganancia de tensión A_d del operacional suele ser muy grande (típicamente 100 000) en comparación con la ganancia total del sistema en que se emplea.

Realmente suele ser cómodo suponer que la ganancia es infinita. Análogamente, la impedancia de entrada R_i es mucho mayor (típicamente 100 kΩ) que las resistencias externas del sistema y a menudo se supone también que es infinita. La impedancia de

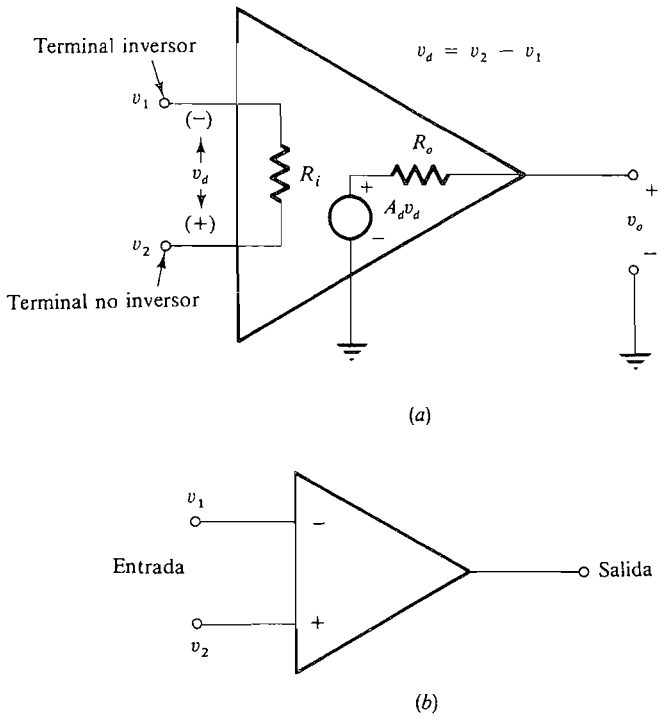


Figura 8.1-1. El amplificador operacional: (*a*) circuito equivalente; (*b*) símbolo de circuito.

salida R_o es, por otra parte, típicamente 100 Ω y en muchas aplicaciones puede ser despreciada. Cuando se admiten estas aproximaciones se dice que el operacional resultante es *ideal.*

Una observación muy importante que se debe hacer acerca de un operacional ideal es que la tensión de entrada diferencial es $v_d = v_2 - v_1 \approx 0$. La razón es que $v_d = v_o/A_d$ (Fig. 8.1-1*a*) y si v_o es finita y A_d es infinita, v_d debe ser cero. En la práctica, la tensión de salida de un amplificador es menor que 10 V. Si suponemos que $A_d = 100\,000$, la tensión de entrada diferencial que produce 10 V en la salida es 100 μV, una cantidad tan pequeña que usualmente puede ser despreciada. Así pues, generalmente $v_d \approx 0$, incluso en un operacional real y decimos que la entrada de un operacional es un cortocircuito virtual. Esto implica que $v_1 \approx v_2$ y, puesto que R_i, que es la impedancia entre v_1 y v_2, es muy grande, la corriente en R_i puede ser generalmente despreciada, siendo del orden de (100 μV/100 kΩ) = 1 nA.

8.1. AMPLIFICADOR LINEAL INVERSOR

Cuando se ha de utilizar el operacional como amplificador lineal con inversión, las resistencias externas R_1 y R_2 se conectan como en la Figura 8.1-2*a* y el terminal no inversor se conecta a masa.

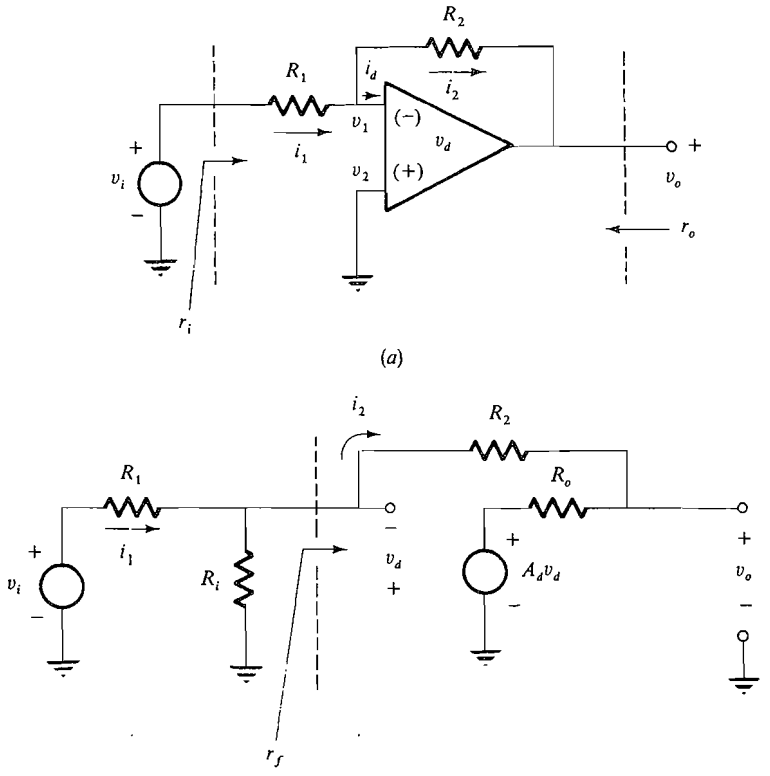


Figura 8.1-2. Amplificador inversor lineal: (*a*) circuito; (*b*) circuito equivalente.

8.1-1. Ganancia de tensión del amplificador inversor

Si el operacional es ideal ($i_d = 0$), la ganancia global $A_v = v_o/v_i$ del inversor se puede hallar teniendo en cuenta que $i_1 = i_2$. Por tanto,

$$i_1 = \frac{v_i + v_d}{R_1} = i_2 = \frac{-v_d - v_o}{R_2} \tag{8.1-1}$$

Sin embargo, $v_d = v_o/A_d$ y en un operacional ideal se puede suponer que v_d es nula. Por tanto (8.1-1) se reduce a

$$\frac{v_i}{R_1} = -\frac{v_o}{R_2} \tag{8.1-2a}$$

Despejando A_v, tenemos

$$A_v = \frac{v_o}{v_i} = -\frac{R_2}{R_1} \tag{8.1-2b}$$

La denominación de amplificador inversor que se da a este circuito es consecuencia del signo negativo.

Los valores de R_2 y R_1 son típicamente tales que la magnitud de la ganancia total es menor que 50 y $R_2 < 100$ kΩ. Es importante observar que la ganancia total A_v no depende de la ganancia A_d del operacional sino únicamente de la relación entre las dos resistencias exteriores.

8.1-2. Impedancia de entrada del amplificador inversor

La impedancia de entrada r_i del amplificador inversor de la Figura 8.1-2*a* es

$$r_i = \frac{v_i}{i_1} \tag{8.1-3}$$

Para calcularla en función de los elementos del circuito comenzamos escribiendo la ley de Kirchhoff de tensiones aplicada al bucle de entrada

$$v_i = R_1 i_1 - v_d \tag{8.1-4}$$

En un operacional ideal $v_d = 0$ V y tenemos

$$r_i \approx R_1 \tag{8.1-5}$$

En lugar de suponer que el operacional es ideal, si dibujamos el circuito equivalente del amplificador inversor tal como en la Figura 8.1-2*b*, vemos que la impedancia de entrada r_i es igual a

$$r_i = R_1 + (R_i \parallel r_f) \tag{8.1-6}$$

donde $r_f = -v_d/i_2$. Aplicando la ley de Kirchhoff de tensiones al bucle o anillo que incluye a R_2, tenemos

$$-v_d = R_2 i_2 + R_o i_2 + A_d v_d \tag{8.1-7}$$

de la cual se deduce

$$r_f = -\frac{v_d}{i_2} = \frac{R_2 + R_o}{1 + A_d} \tag{8.1-8}$$

En la práctica $r_f \ll R_i$ y $r_f \ll R_1$ por lo que $r_i \approx R_1$, que es el valor obtenido para el operacional ideal. Por ejemplo, si $R_2 = 10$ kΩ, $R_o = 100$ Ω, $R_i = 100$ kΩ y $A_d = 100\,000$, entonces $r_f \approx 0{,}1$ Ω. Como R_1 es típicamente 1 kΩ y nunca menor que 100 Ω, la impedancia de entrada vista por la fuente v_i es $r_i \approx R_i$ incluso si no se supone que el operacional es ideal.

8.1-3. Impedancia de salida del amplificador inversor

La impedancia de salida del amplificador representado en la Figura 8.1-2*a* se halla poniendo $v_i = 0$, conectando una fuente de tensión de prueba en el terminal de salida y midiendo la corriente absorbida de la fuente de prueba. Esta configuración está representada en la Figura 8.1-3*a*.

La impedancia de salida del amplificador es $r_o = v_o/i_o$, y la corriente i_o consta de dos partes

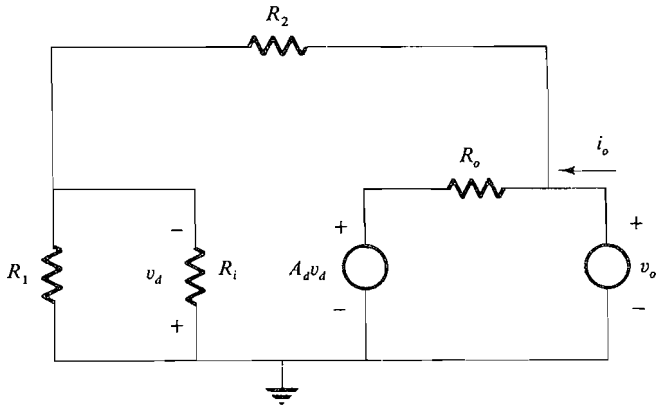
$$i_o = \frac{v_o - A_d v_d}{R_o} + \frac{v_o}{R_1 + R_2} \tag{8.1-9a}$$

donde hemos supuesto que $R_i \gg R_1$. Entonces tenemos la relación adicional

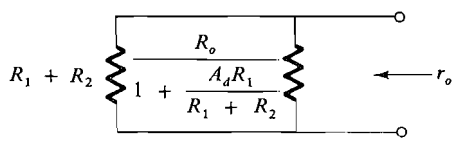
$$-v_d = \frac{R_1}{R_1 + R_2} v_o \tag{8.1-9b}$$

Sustituyendo (8.1-9*b*) en (8.1-9*a*) y dividiendo por v_o

$$\frac{i}{r_o} = \frac{i_o}{v_o} = \frac{1 + R_1 A_d/(R_1 + R_2)}{R_o} + \frac{1}{R_1 + R_2} \tag{8.1-10}$$



(*a*)



(*b*)

Figura 8.1-3. Impedancia de salida: (*a*) circuito equivalente para calcular r_o; (*b*) las dos resistencias en paralelo comprendidas en la resistencia de salida.

La impedancia de salida r_o consiste en dos resistencias en paralelo, como muestra la Figura 8.1-3*b*. En la mayoría de los casos $R_1 + R_2 \gg R_o/[1 + A_d R_1/(R_1 + R_2)]$ por lo que

$$r_o \approx \frac{R_o}{1 + R_1 A_d/(R_1 + R_2)} \tag{8.1-11}$$

Para un amplificador operacional ideal A_d es infinita y $r_o = 0$.

EJEMPLO 8.1-1

Un operacional tiene $R_i = 100$ kΩ, $A_d = 100\,000$ y $R_o = 100$ Ω. Si $R_1 = 1$ kΩ y $R_2 = 50$ kΩ, calcular (*a*) A_v, (*b*) r_i y (*c*) r_o.

Solución

(*a*) Utilizando (8.1-2*b*) tenemos

$$A_v = -\frac{R_2}{R_1} = -50$$

(*b*) La impedancia de entrada se halla por (8.1-6) y (8.1-8):

$$r_i = R_1 + \frac{R_2 + R_o}{1 + A_d} \approx 1000 + \frac{50\,000}{1 + 100\,000} \approx 1 \text{ k}\Omega$$

(*c*) La impedancia de salida se halla por (8.1-11):

$$r_o \approx \frac{R_o}{1 + R_1 A_d/(R_1 + R_2)} = \frac{100}{1 + (10^3 \times 10^5)/(5{,}1 \times 10^4)}$$

$$\approx \frac{100}{2 \times 10^3} = 0{,}05\ \Omega$$

8.2. AMPLIFICADOR LINEAL NO INVERSOR

El operacional se puede utilizar también como amplificador no inversor. Tal configuración, representada en la Figura 8.2-1*a*, da por resultado un amplificador con ganancia total de tensión mayor que (o igual a) la unidad y una impedancia de entrada casi infinita.

8.2-1. Ganancia

La ganancia total del amplificador no inversor se determina fácilmente si suponemos que es un operacional ideal. Entonces $R_o = 0$, R_i es infinita y A_d también es infinita, por lo que $v_d \approx 0$. El circuito equivalente que resulta está representado en la Figura 8.2-1*b*. Utilizando este circuito, tenemos

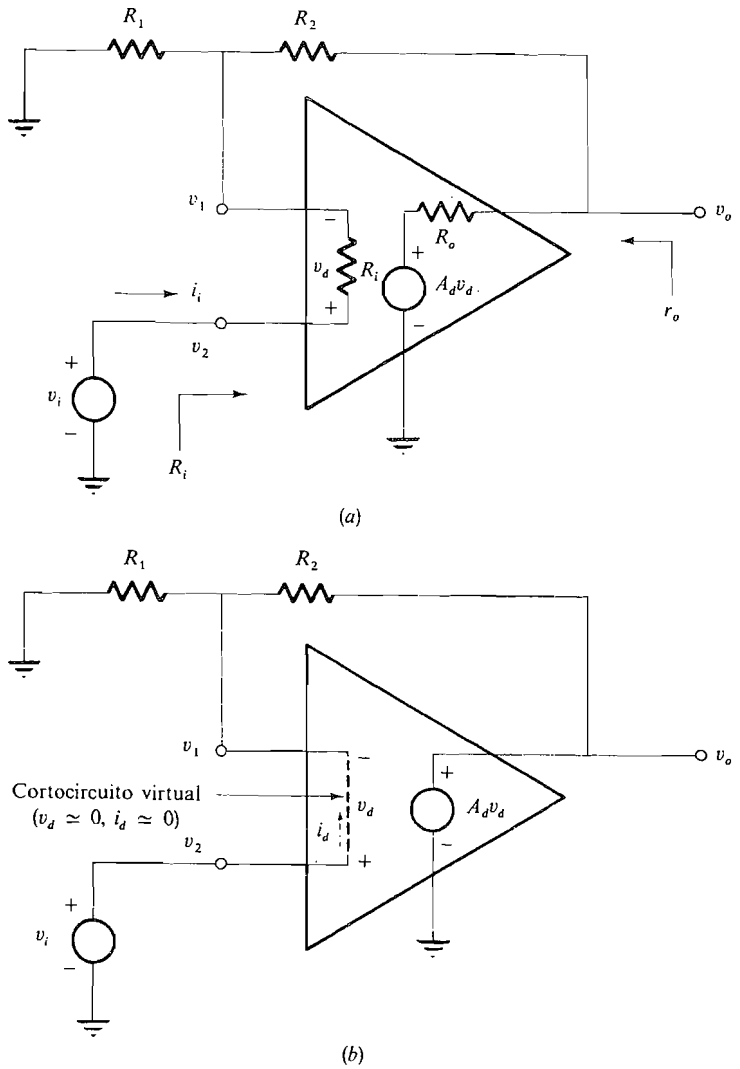


Figura 8.2-1. Amplificador lineal no inversor: (*a*) circuito; (*b*) circuito con un operacional ideal.

$$v_i = v_2 = v_1 \tag{8.2-1a}$$

y

$$v_1 = \frac{R_1}{R_1 + R_2} v_o \tag{8.2-1b}$$

De donde

$$A_v = \frac{v_o}{v_i} = \frac{v_o}{v_1} = \frac{R_1 + R_2}{R_1} = 1 + \frac{R_2}{R_1} \tag{8.2-2}$$

Así pues, la ganancia total del amplificador no inversor debe ser siempre mayor que (o igual a) la unidad. La ganancia medida, A_v de un operacional real se aproxima mucho a la predicha (8.2-2), puesto que A_d y R_i son siempre muy grandes y $R_o \ll R_1 + R_2$.

Se puede hacer que la ganancia sea igual a la unidad sustituyendo la resistencia R_2 por un cortocircuito y suprimiendo R_1. En estas condiciones se dice que el circuito es un seguidor de tensión.

8.2-2. Impedancia de entrada

La impedancia de entrada del amplificador no inversor es $r_i = v_i/i_i$. Puesto que $i_i = v_d/R_i$, i_i debe ser muy pequeña ($i_i = 0$ en un operacional ideal) y, por tanto, r_i debe ser muy grande. Para determinar cuantitativamente r_i escribimos

$$i_i = \frac{v_d}{R_i} \tag{8.2-3a}$$

Sin embargo, como $v_d = v_o/A_d$, (8.2-3*a*) se convierte en

$$i_i = \frac{v_o}{A_d R_i} \tag{8.2-3b}$$

Observando que [véase (8.2-2)]

$$v_o = \left(1 + \frac{R_2}{R_1}\right) v_i \tag{8.2-3c}$$

tenemos

$$i_i = \frac{1 + R_2/R_1}{A_d R_i} v_i \tag{8.2-3d}$$

Luego, la impedancia de entrada es

$$r_i = \frac{v_i}{i_i} = \frac{A_d R_i}{1 + R_2/R_1} \tag{8.2-4}$$

Por ejemplo, si $A_d = 10^5$, $R_i = 100$ kΩ, $R_2 = 10$ kΩ y $R_1 = 1$ kΩ, entonces $r_i \approx 1$ GΩ ($= 10^9$ Ω).

8.2-3. Impedancia de salida

Para hallar la impedancia de salida r_o, debemos sustituir la fuente de tensión de entrada v_i por un cortocircuito, aplicar a la salida una fuente de tensión de prueba y medir la corriente suministrada por esta fuente de prueba. El circuito equivalente resultante es

entonces idéntico al utilizado para calcular la r_o del amplificador inversor. Por tanto, r_o se puede hallar mediante

$$\frac{1}{r_o} = \frac{1 + R_i A_d/(R_1 + R_2)}{R_o} + \frac{1}{R_1 + R_2} \tag{8.1-10}$$

Así, en la mayoría de las aplicaciones, r_o se supondrá nula.

8.3. REALIMENTACION

En los amplificadores descritos en las Secciones 8.1 y 8.2 se utilizaron R_2 y R_1 para realimentar una parte de la tensión de salida a la entrada inversora del operacional. Todo amplificador en que una parte de la tensión o de la corriente de salida es realimentada a la entrada se denomina *amplificador realimentado.* Cuando la conexión de realimentación se hace a una entrada inversora, el proceso se denomina *realimentación negativa*; cuando la conexión de realimentación se hace a la entrada no inversora, el proceso es de *realimentación positiva.* En este capítulo estudiaremos solamente la realimentación negativa; la realimentación positiva se estudia en el Capítulo 10.

Comparando las Figuras 8.1-2 y 8.2-1 vemos que se puede establecer una distinción en cuanto al tipo de realimentación negativa. En la Figura 8.1-2 la corriente $i_d = -v_d/R_i$ es igual a la diferencia de corriente $i_d = i_2 - i_1$. Si el amplificador inversor funciona correctamente, i_d es forzosamente nula debido a la conexión de realimentación e i_2 es aproximadamente igual a i_1. En la Figura 8.2-1 la tensión $v_d = v_2 - v_1$, y si el amplificador no inversor funciona correctamente, v_d es forzosamente nula debido a la conexión de realimentación y v_2 es aproximadamente igual a v_1. En cada uno de los circuitos, puesto que R_i es muy grande, v_d e i_d son forzosamente nulas.

Una de las ventajas de la aplicación de realimentación negativa es que la ganancia total A_v es relativamente independiente de las características del operacional y depende únicamente de R_1 y R_2. Otras consecuencias del uso de realimentación negativa se estudiarán en el Capítulo 10.

En algunos circuitos no lineales que utilizan operacionales, los circuitos realimentados no funcionan en ciertos márgenes de tensión, caso en el cual v_d no siempre es pequeña. Tales circuitos requieren operacionales especiales y se estudian después en otra sección.

8.4. OPERACIONES LINEALES UTILIZANDO EL OPERACIONAL

En esta sección estudiaremos el funcionamiento de varios circuitos lineales que emplean operacionales.

8.4-1. El amplificador diferencial

El amplificador diferencial, representado en la Figura 8.4-1, produce idealmente una tensión de salida que es proporcional a la diferencia entre las dos tensiones de entrada v_a y v_b. Sin embargo, la tensión de salida de un circuito práctico contiene también un pequeño

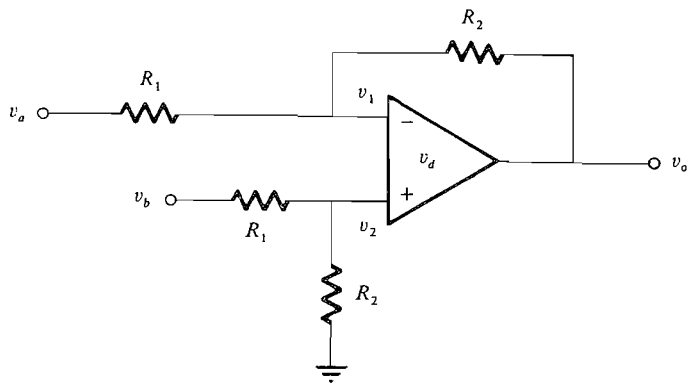


Figura 8.4-1. Amplificador diferencial.

término proporcional a la tensión de modo común $(v_a + v_b)/2$. Demostraremos que en el amplificador representado, la componente de la tensión de salida que es proporcional a la tensión de modo común se reduce por la RRMC, mientras la componente de la tensión de salida proporcional a la tensión de modo diferencial tiene una ganancia igual a R_2/R_1.

La tensión de salida del amplificador operacional sin las resistencias externas viene dada por (7.8-1):

$$v_o = -A_d(v_2 - v_1) - A_a\left(\frac{v_2 + v_1}{2}\right) \tag{8.4-1}$$

En la Figura 8.4-1 tenemos

$$v_2 = \left(\frac{R_2}{R_1 + R_2}\right) v_b \tag{8.4-2a}$$

y

$$v_1 = \left(\frac{R_2}{R_1 + R_2}\right) v_a + \left(\frac{R_1}{R_1 + R_2}\right) v_o \tag{8.4-2b}$$

Sustituyendo (8.4-2*a*) y (8.4-2*b*) en (8.4-1) se tiene

$$\begin{aligned} v_o = {} & -A_d \frac{R_2}{R_1 + R_2}(v_b - v_a) + A_d \frac{R_1}{R_1 + R_2} v_o \\ & - \frac{A_a}{2}\left(\frac{R_1}{R_1 + R_2}\right) v_o - A_a\left(\frac{R_2}{R_1 + R_2}\right)\left(\frac{v_b + v_a}{2}\right) \end{aligned} \tag{8.4-3}$$

Despejando v_o, tenemos

$$v_o = \frac{-A_d R_2}{R_1 + R_2}(v_b - v_a) - \frac{A_a R_1}{R_1 + R_2}\left(\frac{v_b + v_a}{2}\right) \Bigg/ 1 - \frac{A_d R_1}{R_1 + R_2} + \frac{A_a R_1}{2(R_1 + R_2)} \tag{8.4-4a}$$

Dado que $A_d \gg A_a$ y $A_d \gg 1 + R_2/R_1$, el denominador de (8.4-4*a*) se reduce a $-A_dR_1/(R_1 + R_2)$ y (8.4-4*a*) resulta

$$v_o = \frac{R_2}{R_1}(v_b - v_a) + \frac{A_a}{A_d}\left(\frac{v_b + v_a}{2}\right) \tag{8.4-4b}$$

El primer término de (8.4-4*b*) representa la parte de la tensión de salida que es proporcional a la tensión diferencia $v_b - v_a$. La razón R_2/R_1 es la ganancia del amplificador inversor. El segundo término de (8.4-4*b*) representa la parte de la tensión de salida que es proporcional a la señal de modo común $(v_b + v_a)/2$. Sin embargo, la ganancia de este término es la inversa de la RRMC $= A_d/A_a$; de aquí que la señal de modo común se vea reducida por la RRMC. Típicamente, $A_d = 10^5$ mientras $A_a = 1$, por lo que la señal de modo común resulta atenuada o dividida por 10^5.

Para atender la importancia de la RRMC, consideremos que en una aplicación en particular se necesita el amplificador diferencial caracterizado por (8.4-4*b*) para proporcionar una tensión de salida v_o proporcional a $v_b - v_a$, para diferencias tan pequeñas como 0,1 mV. Si $R_2/R_1 = 1$ y la RRMC $= 10^5$, entonces podemos ver que si $v_b - v_a = 0{,}1$ mV, v_o tendrá un error significativo cuando $(v_a + v_b)/2 = 10$ V. Para asegurar un error menor del 1 por 100, cuando $v_b - v_a = 0{,}1$ mV, $(v_a - v_b)/2 \leqslant 100$ mV.

8.4-2. El amplificador sumador

El amplificador representado en la Figura 8.4-2 acepta cualquier número de entradas (sólo se han representado tres) y proporciona una tensión de salida proporcional a la suma lineal de las tensiones de entrada. Se puede deducir la ecuación de la tensión de salida observando que la realimentación produce un cortocircuito virtual en los terminales de entrada del operacional, por lo que $v_d = i_d = 0$. De aquí que,

$$i_{11} + i_{12} + i_{13} = i_2 \tag{8.4-5}$$

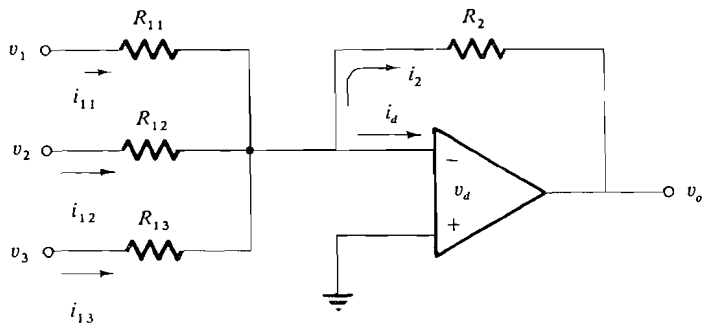


Figura 8.4-2. Sumador.

Puesto que

$$i_{11} = \frac{v_1}{R_{11}} \qquad i_{12} = \frac{v_2}{R_{12}} \qquad i_{13} = \frac{v_3}{R_{13}} \tag{8.4-6a}$$

e

$$i_2 = -\frac{v_o}{R_2} \tag{8.4-6b}$$

hallamos

$$v_o = -\left(\frac{R_2}{R_{11}} v_1 + \frac{R_2}{R_{12}} v_2 + \frac{R_2}{R_{13}} v_3\right) \tag{8.4-7}$$

Cada entrada puede ser, pues, multiplicada por un factor de escala diferente y luego sumada. En esta aplicación no se puede evitar el signo negativo a no ser que se utilice un amplificador adicional, como se aclara en el ejemplo siguiente.

EJEMPLO 8.4-1

Diseñar un circuito con operacionales que dé una salida

$$v_o = 2v_1 + 5v_2$$

Solución

Aquí son utilizados dos operacionales, uno para sumar y amplificar v_1 y v_2, y el otro para cambiar el signo de negativo a positivo. El circuito propuesto, consistente en dos multiplicadores en cascada, está representado en la Figura 8.4-3. Las resistencias del primer circuito se elegirán para la multiplicación deseada mientras el segundo circuito dará una ganancia de -1 para cambiar el signo. La carga entre los dos circuitos se puede despreciar siempre que $R_3 \gg Z_{o1}$. Los valores típicos de Z_{o1} son menores que 1 Ω. En ausencia de otras especificaciones podremos elegir $R_2 = R_3 = R_4 = 10$ kΩ. Entonces, estando todos los valores de resistencia expresados en kiloohmios, tenemos

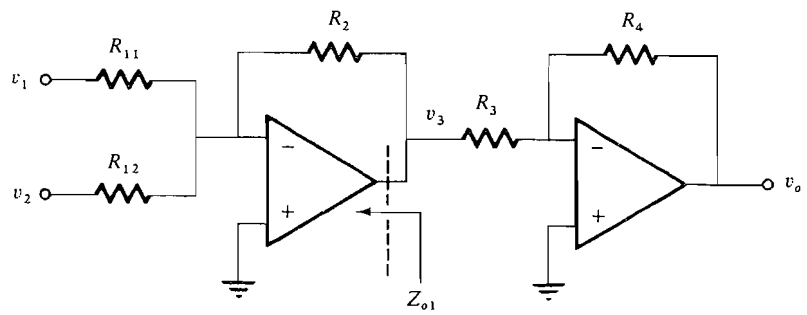


Figura 8.4-3. Circuito para el Ejemplo 8.4-1.

$$v_3 = -\left(\frac{R_2}{R_{11}} v_1 + \frac{R_2}{R_{12}} v_2\right) = -\left(\frac{10}{R_{11}} v_1 + \frac{10}{R_{12}} v_2\right) \tag{8.4-8}$$

y

$$v_o = -\frac{R_4}{R_3} v_3 = -v_3 = \frac{10v_1}{R_{11}} + \frac{10v_2}{R_{12}} \tag{8.4-9}$$

Comparando (8.4-9) con la salida deseada, vemos que si $R_{11} = 5\ \text{k}\Omega$ y $R_{12} = 2\ \text{k}\Omega$, la salida será

$$v_o = 2v_1 + 5v_2$$

8.4-3. Integrador

También se puede utilizar el operacional para construir filtros activos como el integrador representado en la Figura 8.4-4. Este circuito da una tensión de salida proporcional a la integral de la entrada. Despreciando el efecto de modo común y suponiendo que A_d sea muy grande, por lo que $v_d \approx i_d = 0$, tenemos $i_R = i_C$, donde

$$i_R = \frac{v_i}{R} = i_C = -C \frac{dv_o}{dt} \tag{8.4-10}$$

De donde

$$v_o = -\frac{1}{RC} \int^t v_i(\lambda)\, d\lambda \tag{8.4-11}$$

La ecuación (8.4-11) demuestra que el circuito proporciona ciertamente la integración de la señal de entrada. El condensador C suele conectarse en paralelo con un interruptor FET que está cerrado cuando debe descargarse el condensador y abierto cuando éste debe cargarse, es decir, durante la integración. Las tensiones iniciales se pueden aplicar al condensador mediante la aplicación de la tensión en serie con el interruptor (véase Problema 8.4-7).

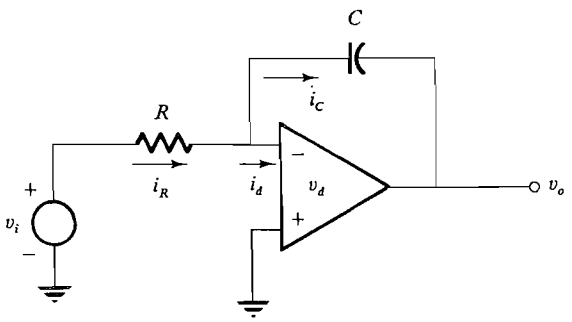


Figura 8.4-4. Integrador.

EJEMPLO 8.4-2

Utilizar sumadores e integradores para resolver la ecuación diferencial

$$\frac{d^2v_o}{dt^2} + 3\frac{dv_o}{dt} + \frac{v_o}{4} = V_{im}\cos\omega t$$

donde v_o es la tensión de salida resultante de la aplicación de la tensión de entrada $V_{im}\cos\omega t$. Suponemos que todas las condiciones iniciales son cero. El circuito resultante representará la simulación con un *computador analógico* de la ecuación.

Solución

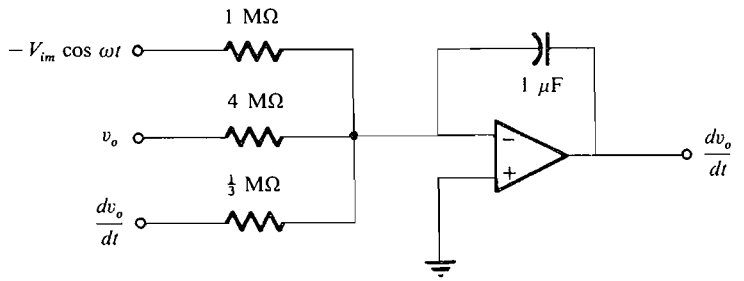
Comenzamos resolviendo la segunda derivada para obtener

$$\frac{d^2v_o}{dt^2} = V_{im}\cos\omega t - 3\frac{dv_o}{dt} - \frac{v_o}{4}$$

Las operaciones matemáticas necesarias para resolver esta ecuación incluyen adición, integración y multiplicación, todas las cuales se pueden realizar utilizando los circuitos operacionales antes descritos. Integrando d^2v_o/dt^2 para hallar la primera derivada dv_o/dt y observando que cuando se utiliza un circuito operacional resulta una inversión, obtenemos

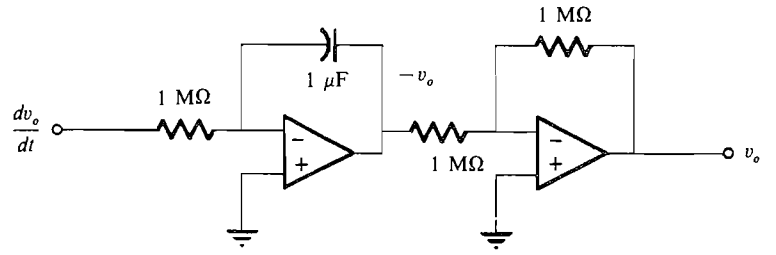
$$\frac{dv_o}{dt} = -\int^t \left(-\frac{d^2v_o}{d\lambda^2}\right) d\lambda = -\int^t \left(-V_{im}\cos\omega\lambda + 3\frac{dv_o}{d\lambda} + \frac{v_o}{4}\right) d\lambda$$

Esta ecuación puede ser realizada por un sumador-integrador, como muestra la Figura 8.4-5*a*. Todas las resistencias están expresadas en megaohmios y los condensadores en microfaradios. La tensión de salida v_o se obtiene integrando dv_o/dt e invirtiendo el resultado como muestra la Figura 8.4-5*b*. El circuito completo, representado en la Figura 8.4-5*c*, se obtiene combinando las Figuras 8.4-5*a* y *b*. Los lectores deben comprobar que las señales que intervienen en el circuito tienen el signo adecuado para satisfacer la ecuación. Cuando se aplica la señal de entrada, la tensión en el terminal de salida es la forma de onda de salida, que se puede ver en un osciloscopio.

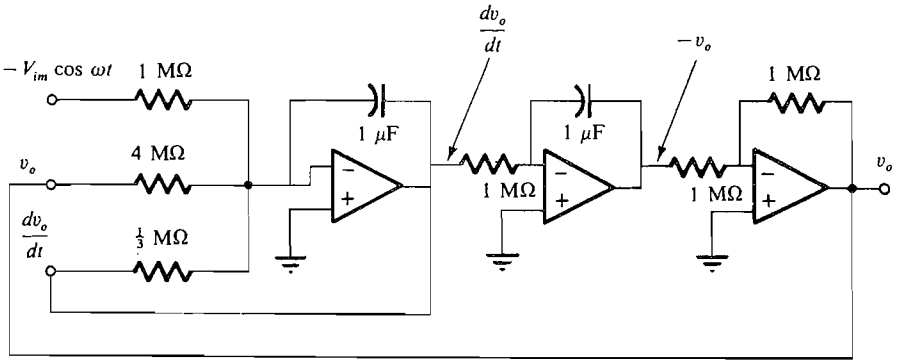


(*a*)

Figura 8.4-5. Solución mediante un computador analógico de la ecuación diferencial: (*a*) circuito para hallar la primera derivada. (*Continúa en la página siguiente.*)



(*b*)



(*c*)

Figura 8.4-5. (*Continuación*). (*b*) Circuito para hallar la tensión de salida por medio de su primera derivada; (*c*) circuito combinado final.

8.4-4. Filtro pasatodo

El filtro pasatodo representado en la Figura 8.4-6 se caracteriza por la función de transferencia

$$H(j\omega) = \frac{V_o(j\omega)}{V_i(j\omega)} = -1 \angle 2 \tan^{-1} \omega RC \tag{8.4-12}$$

Por esta función de trasferencia vemos que todas las frecuencias de entrada aparecerán en la salida sin atenuación, pero con una variación de fase proporcional a la frecuencia.

Para demostrar cómo se llega a (8.4-12) observemos que

$$V_2(j\omega) = \frac{1}{1 + j\omega RC} V_i(j\omega) \tag{8.4-13}$$

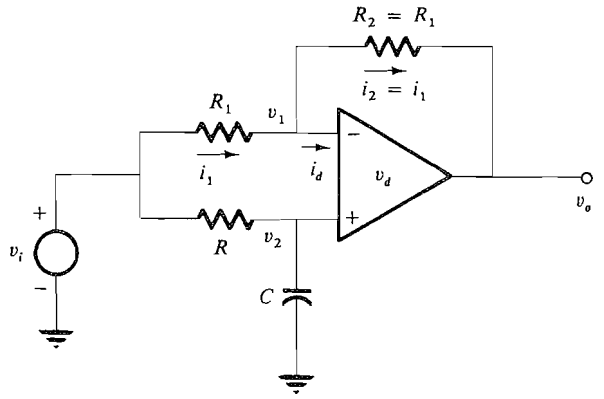


Figura 8.4-6. Filtro pasatodo.

Suponiendo que A_d es grande, para que $v_d \approx 0$ y por tanto $i_d \approx 0$, tenemos $V_1(j_\omega) = V_2(j\omega)$ y también

$$I_1(j\omega) = \frac{V_i(j\omega) - V_1(j\omega)}{R_1} = \frac{V_1(j\omega) - V_o(j\omega)}{R_2} \tag{8.4-14}$$

Nótese que $R_2 = R_1$ y resolviendo para $V_i(j\omega)$ se tiene

$$V_1(j\omega) = \frac{V_o(j\omega) + V_i(j\omega)}{2} \tag{8.4-15}$$

Haciendo $V_i(j\omega)$ igual a $V_2(j\omega)$, la cual se obtuvo en (8.4-13), y haciendo $R_1 = R$ resulta

$$\frac{V_o(j\omega) + V_i(j\omega)}{2} = \frac{V_i(j\omega)}{1 + j\omega RC} \tag{8.4-16}$$

Resolviendo para $H(j\omega) = V_o(j\omega)V_i(j\omega)$ da

$$H(j\omega) = \frac{V_o(j\omega)}{V_i(j\omega)} = 1 \angle -2 \tan^{-1} \omega RC \tag{8.4-12}$$

Algunos de los filtros que se pueden construir usando amplificadores operacionales se considerarán en los Problemas (8.4-9) a (8.4-12).

8.5. APLICACIONES NO LINEALES DE LOS OPERACIONALES

En las secciones siguientes describiremos varios circuitos de generación y conformación de varias formas de onda no lineales, incluyendo el rectificador ideal, el limitador, el amplificador logarítmico y el multiplicador. Comenzaremos el estudio por la descripción de un circuito operacional que actúa casi como un diodo ideal.

8.5-1. Rectificador de media onda

El rectificador de media onda con diodo ha sido descrito en el Capítulo 1, donde vimos que un diodo real se caracteriza por una tensión umbral V_γ ($\approx$0,65 V para el silicio), por

debajo de la cual la corriente que fluye a través del diodo es despreciable, y una tensión directa V_F (=0,7 V para el silicio), que representa la caída de tensión en el diodo cuando fluyen corrientes moderadas. La característica de un diodo típico está representada en la Figura 8.5-1*a*. En la figura hemos utilizado v_Δ e i_Δ para representar la tensión y la corriente del diodo con el fin de evitar confusiones con la tensión y la corriente v_d e i_d de entrada del operacional.

En la Figura 8.5-1*b* está representado un circuito rectificador con amplificador operacional que solventa el efecto de la tensión umbral y que rectifica tensiones del orden de milivoltios. En este circuito la tensión de entrada v_i se aplica a la entrada no inversora del operacional, y de la entrada inversora de éste se toma la tensión rectificada v_L. La salida del operacional v_o excita al diodo y la resistencia R_L representa la carga. Después estudiaremos la característica entrada-salida de este dispositivo.

En el circuito se ve que cuando v_o es suficientemente positiva para conmutar el diodo en el estado de conducción, el bucle de realimentación se cerrará a través del diodo en conducción y la acción de realimentación hará que la tensión de entrada diferencial sea muy pequeña. Cuando esto ocurre tendremos $v_L \approx v_i$. Sin embargo, si la tensión de salida v_o es menor que la tensión umbral del diodo, no circulará corriente por el diodo y el bucle de realimentación estará abierto. La salida del rectificador v_L es ahora igual a 0 V ya que no fluye corriente por R_L. Así $v_L = 0$ cuando $v_o \leqslant V_\gamma$. La tensión de entrada necesaria para alcanzar esta tensión de salida es

$$v_i = v_d + v_L \simeq v_d = \frac{v_o}{A_d} \leqslant \frac{V_\gamma}{A_d} \tag{8.5-1}$$

En un operacional práctico $A_d = 10^5$, y con $V_\gamma = 0{,}65$ V el punto de cambio de pendiente, llamado codo, en la característica es $v_i = 6{,}5\ \mu$V. La característica entrada-salida resultante está representada en la Figura 8.5-2*a*.

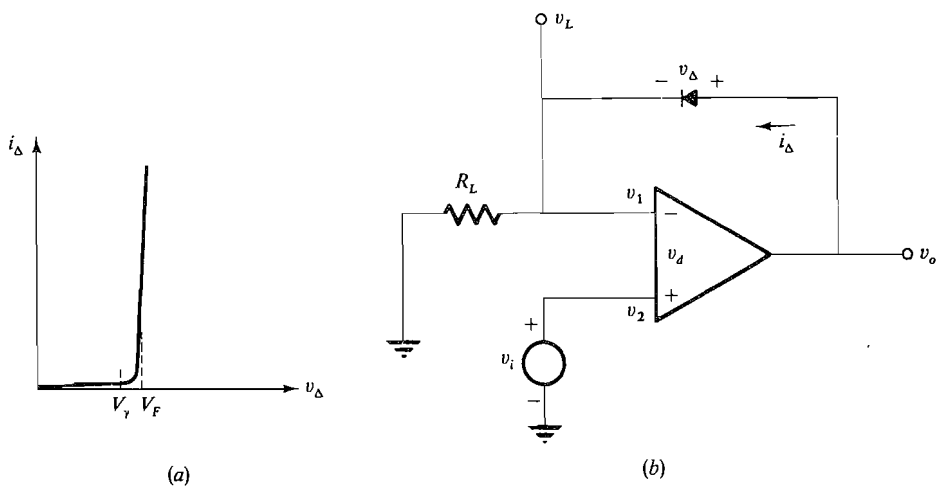


Figura 8.5-1. Rectificador de media onda: (*a*) característica típica de un diodo; (*b*) rectificador de media onda utilizando un operacional.

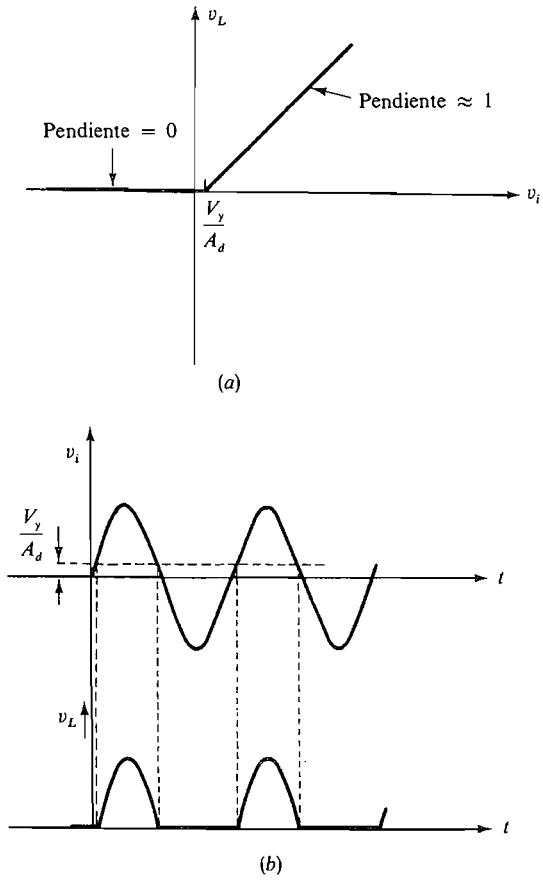


Figura 8.5-2. Rectificador de media onda: (*a*) característica de entrada-salida; (*b*) formas de onda.

Cuando $v_i \leqslant V_\gamma/A_d$ vimos que $v_L = 0$ V. Cuando $v_L > V_\gamma/A_d$ el amplificador operacional está trabajando en la zona de conducción de la característica. La salida rectificada v_L está ahora relacionada con v_i por la ecuación

$$v_i - v_L = v_d = \frac{v_o}{A_d} = \frac{v_L + 0{,}7}{A_d} \tag{8.5-2a}$$

Resolviendo para v_i se obtiene

$$v_i = v_L\left(1 + \frac{1}{A_d}\right) + \frac{0{,}7}{A_d} \tag{8.5-2b}$$

En (8.5-2*a*) hemos supuesto que la tensión en el diodo $v_\Delta = V_F = 0{,}7$ V. Si acudimos a (8.5-2*b*) vemos que para cualquier rectificador con amplificadores operacionales, $v_L = v_i$ con una diferencia de unos pocos microvoltios. En la Figura 8.5-2*b* se muestran las formas de onda típicas cuando v_i es senoidal.

Ya se ha señalado que cuando $v_i < V_\gamma/A_d$, el diodo es un circuito abierto y la realimentación queda básicamente eliminada. Como resultado $v_L < v_1 = 0$ V y v_d puede ser una tensión muy negativa. Esto significa que el amplificador operacional se saturará; esto es, v_o alcanzará la máxima tensión negativa posible y permanecerá en ese valor al disminuir posteriormente v_i. Como consideración práctica, decir que muchos amplificadores operacionales no pueden usarse en este circuito ya que no pueden soportar tensiones diferenciales de entrada importantes. Por ejemplo, el amplificador operacional 709 no se podría utilizar para esta aplicación puesto que sólo puede tener ± 5 V, mientras que el 101 o el 741 están diseñados para permitir grandes variaciones en v_d, del orden de ± 30 V y, por tanto, pueden usarse.

8.5-2. Circuito recortador

El circuito recortador o limitador de amplitud representado en la Figura 8.5-3*a* es idéntico al circuito rectificador de la Figura 8.5-1*b* salvo en la presencia de una tensión de referencia. Así pues, el circuito recortador hace posible ajustar el nivel de rectificación.

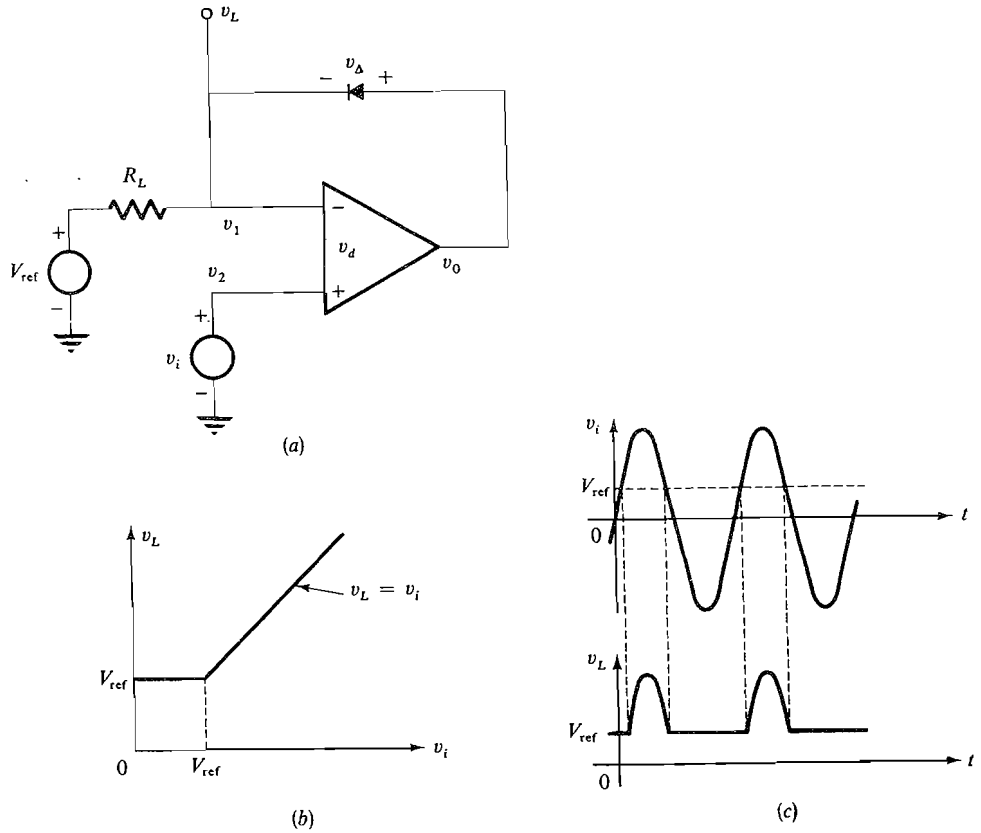


Figura 8.5-3. Recortador con amplificador operacional: (*a*) circuito; (*b*) característica de transferencia; (*c*) formas de onda.

La operación del circuito se puede explicar observando que si el diodo está funcionando por debajo de la tensión umbral, la corriente del diodo es cero y la caída de tensión en R_L también es cero. Así pues, $v_L = V_{\text{ref}}$ cuando el diodo está bloqueado o en corte. Para hallar el margen de tensiones de entrada en que esto ocurre observemos que se debe tener

$$v_\Delta = v_o - v_L < V_\gamma \tag{8.5-3}$$

Cuando se sustituye $v_o = (v_i - v_L)/A_d$, se puede obtener de (8.5-3)

$$v_i < \frac{V_\gamma + v_L}{A_d} + v_L \tag{8.5-4a}$$

Puesto que, cuando el diodo está en corte $v_L = V_{\text{ref}}$, la tensión de entrada en el codo es

$$v_i \approx \frac{V_\gamma + V_{\text{ref}}}{A_d} + V_{\text{ref}} \approx V_{\text{ref}} \tag{8.5-4b}$$

Cuando la tensión de entrada v_i aumenta por encima del valor dado en (8.5-4*b*), el diodo entra en conducción. Ahora se aplica nuevamente (8.5-2), por lo que $v_L \approx V_i$ cuando $v_i > V_{\text{ref}}$. La característica de transferencia está representada en la Figura 8.5-3*b* y las formas de onda típicas lo están en la Figura 8.5-3*c*.

8.5-3. Rectificador de onda completa

En la Figura 8.5-4 está representado un amplificador operacional que funciona como un rectificador de onda completa. La tensión v_r es la tensión de entrada v_i después de la rectificación de media onda. Esto se puede comprobar observando que cuando v_i aumenta por encima de 0 V, D_2 conduce y v_o se hace negativa, haciendo que el diodo D_1 se bloquee, es decir, pase al estado de corte. Con D_1 en corte, la corriente $i_2 = 0$ y $v_r = v_1$. Sin embargo, con D_2 en conducción, $v_o = v_1 - 0{,}7$. Como $v_1 = -v_{d1} = -v_o/A_{d1} = -(v_1 - 0{,}7)/A_{d1}$, se tiene

$$v_r = v_1 = \frac{0{,}7}{A_d + 1} \approx 0 \text{ V} \qquad \text{para } v_i > 0 \tag{8.5-5}$$

Cuando v_i es negativa, v_o es positiva y el diodo D_2 está en corte mientras el diodo D_1 conduce. Ahora A_1 está conectado como amplificador inversor y con $i_2 \approx i_1 = -v_i/R$ y $v_{d1} \approx 0$ se tiene

$$v_r \simeq Ri_2 = Ri_1 = -v_i \qquad \text{para } v_i < 0 \tag{8.5-6}$$

Combinando (8.5-5) y (8.5-6) se ve que el circuito del operacional A_1 actúa como rectificador de media onda. Las formas de onda de v_i y v_r están representadas en la Figura 8.5-4*b*.

El amplificador A_2 es un amplificador sumador con una tensión de salida [véase (8.4-6)]

$$v_L = -v_i - 2v_r \tag{8.5-7}$$

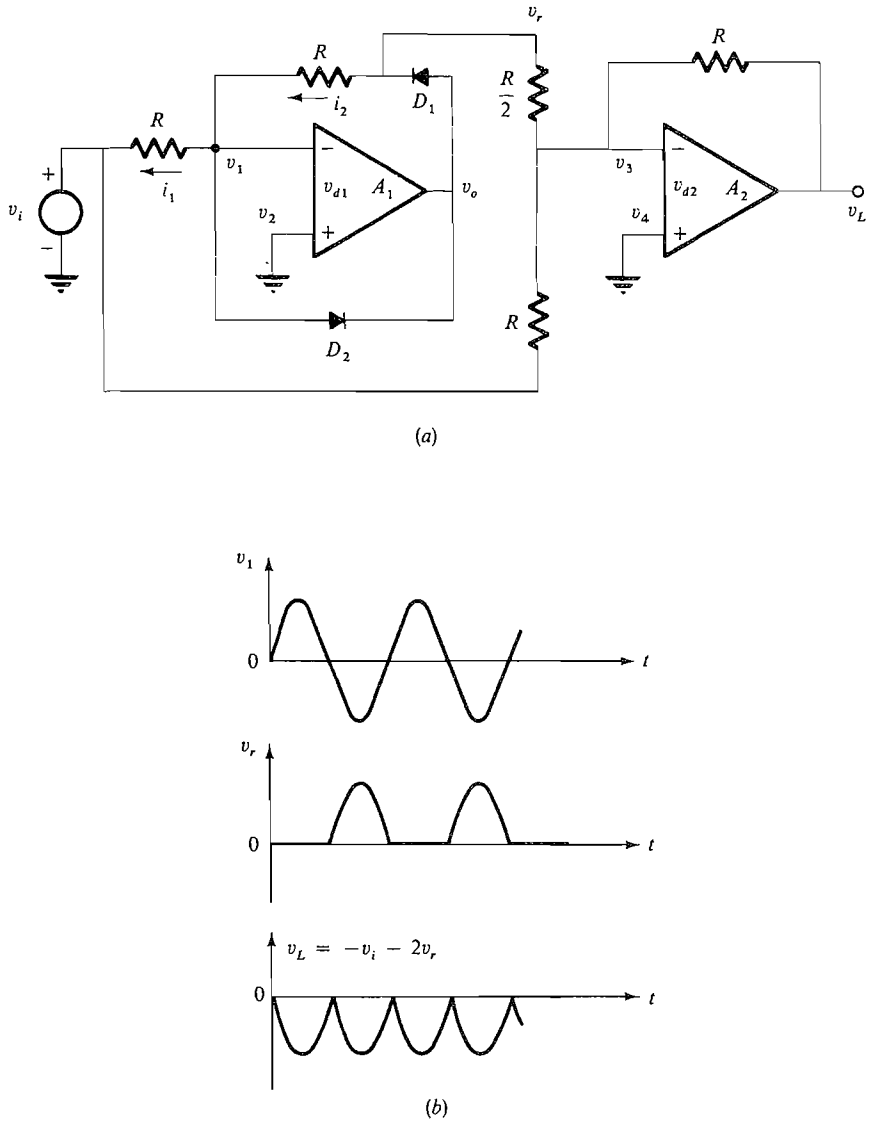


Figura 8.5-4. Rectificador de onda completa: (*a*) circuito; (*b*) formas de onda.

Utilizando (8.5-7) las formas de onda de v_i y v_r representadas en la Figura 8.5-4*b* se llega a la salida rectificada de onda completa representada en la Figura 8.5-4*b*.

La exactitud de la tensión de salida rectificada depende del grado de adaptación de las resistencias del circuito. En el Problema 8.5-5 analizaremos el efecto de utilizar resistencias con 10 por 100 de tolerancia sobre la forma de onda de salida.

8.5-4. Circuito fijador de nivel

El circuito representado en la Figura 8.5-5*a* se utiliza para fijar las crestas mínimas de las formas de onda de la tensión de entrada con respecto a masa. Este circuito se utiliza extensamente en televisión y en otros sistemas en que un tren de impulsos puede ser distorsionado y perder su nivel de referencia de c.c. La Figura 8.5-5*b* muestra tal tren de impulsos. En la forma de onda original cada uno de los valores mínimos era de 0 V en vez de las tensiones negativas variables representadas. La salida del circuito fijador está representada en la Figura 8.5-5*c*. Aquí vemos que cada uno de los mínimos ha sido restablecido en 0 V y que la excursión positiva ΔV de cada impulso se ha mantenido. Sin embargo, se observa una pequeña y rápida cresta negativa tal como aparece en la figura.

El funcionamiento del circuito fijador se comprende fácilmente recordando que la tensión entre los terminales de un condensador no puede cambiar instantáneamente. Supongamos ahora que el condensador C está inicialmente descargado y que se aplica a la entrada la forma de onda de tensión representada en la Figura 8.5-5*b*. Cuando v_i salta desde 0 hasta 2 V, la tensión del condensador no cambia y es, por tanto, 0 V. De aquí que $v_d = -2$ V y que el operacional se sature siendo v_o una tensión negativa grande. (En la práctica la tensión de saturación es aproximadamente el 80 por 100 de la tensión de alimentación negativa.) El diodo D está entonces cortado, eliminándose el camino de la realimentación. Así $v_L = v_i = 2$ V, como se muestra en la Figura 8.5-5*c*. Notar que la tensión del condensador permanece invariable en 0 V durante el pulso porque no circula corriente a través de C.

Cuando la entrada disminuye hasta -1 V, la tensión del condensador se mantiene inicialmente en 0 V. En consecuencia, v_L disminuye inicialmente hasta -1 V, y como $v_d = -v_L$, v_d salta inicialmente hasta $+1$ V. Esto hace que la tensión de salida aumente hacia su máximo valor positivo, pero queda fijada en aproximadamente $v_L + 0{,}7$ por el diodo D, el cual ahora pasa a conducción. También ahora la tensión del condensador cambia rápidamente porque pasa por él la corriente del diodo. Cuando ésta alcanza el estado permanente, la corriente del condensador y, por tanto, la corriente del diodo son cero, lo mismo que la tensión del diodo v_Δ. Como la tensión del diodo $v_\Delta = v_o + v_d \approx v_d(A_d + 1)$, tenemos $v_d \approx 0$. De aquí que $v_L = -v_d = 0$ V. Así, en el estado estacionario con v_i negativa, la tensión del condensador v_C es igual a la tensión de entrada v_i y v_L queda fijado en 0 V. Este resultado está ilustrado en la Figura 8.5-5*c*. Las crestas negativas son consecuencia de que inicialmente la variación negativa de v_L es igual a la variación negativa de v_i a causa de que la tensión del condensador no cambia instantáneamente. El lector comprobará que la forma de onda de la Figura 8.5-5*c* es resultado de la entrada representada en la Figura 8.5-5*b*.

Aunque el circuito de la Figura 8.5-5*a* es útil para explicar el principio de funcionamiento, este circuito fijador no siempre funciona correctamente. Por ejemplo, consideremos la forma de onda de entrada representada en la Figura 8.5-6*a*. Cuando v_i salta a 2 V, v_L también salta a 2 V y la tensión del condensador se mantiene en cero. Cuando v_i disminuye hasta -3 V, la tensión del condensador aumenta rápidamente hasta $v_C = -3$ V, ya que v_L se anula después de una breve cresta (véase Fig. 8.5-6*b*). Cuando v_i varía de 4 voltios a $+1$ V el condensador mantiene su tensión de 3 V puesto que el diodo D está cortado, y por tanto v_L cambia a 4 V. Pero ahora, cuando v_i cae a -1 V, $v_d = v_C - v_i = -3$ V $- (-1$ V$) = -2$ V, como se indica en la Figura 8.5-6*c*, y la tensión de salida $v_o = v_d A_d$ evoluciona hacia la tensión de saturación negativa. Por consiguiente, el diodo D

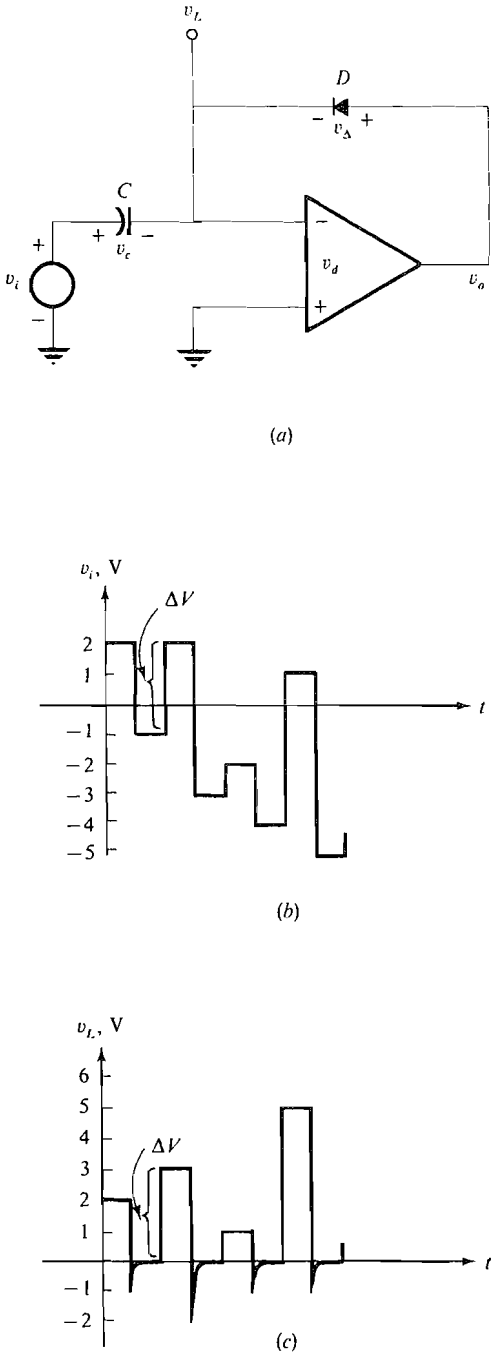


Figura 8.5-5. Fijador de nivel: (*a*) circuito; (*b*) forma de onda de la tensión de entrada; (*c*) forma de onda de la tensión de salida con fijación de nivel.

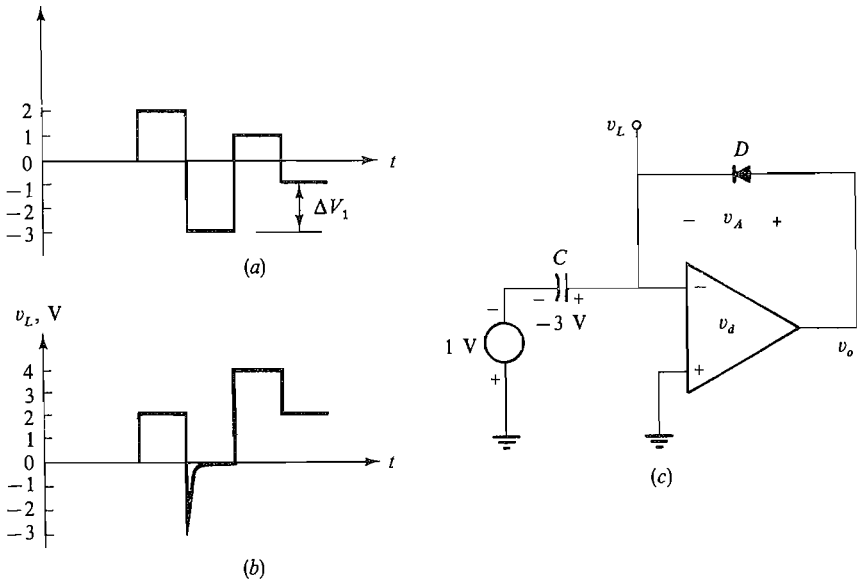


Figura 8.5-6. Problemas en el circuito limitador de la Figura 8.5-5*a*: (*a*) forma de onda de entrada; (*b*) salida; (*c*) circuito cuando v_i cae a -1 V.

permanece cortado. Dado que $v_L = -v_d$, v_L disminuye realmente a 2 V en vez de quedar limitada a 0 V.

La razón de esta dificultad es que la producción de una variación positiva de ΔV_1 requiere que el condensador descargue una tensión ΔV_1. Sin embargo, en el circuito de la Figura 8.5-5*c* no hay camino por el cual se pueda descargar el condensador cuando v_d es negativa. Para dar tal camino se inserta siempre una resistencia entre v_L y masa, como muestra la Figura 8.5-7.

El circuito práctico para la fijación de nivel representado en la Figura 8.5-7 no sólo soluciona esta dificultad, sino que también solventa otro problema igualmente serio: la etapa de entrada de un amplificador operacional es siempre un amplificador diferencial, que requiere un retorno de c.c. hasta masa para que la corriente de base pueda fluir por los transistores de entrada. Como con v_d negativa el diodo está en corte y puesto que no

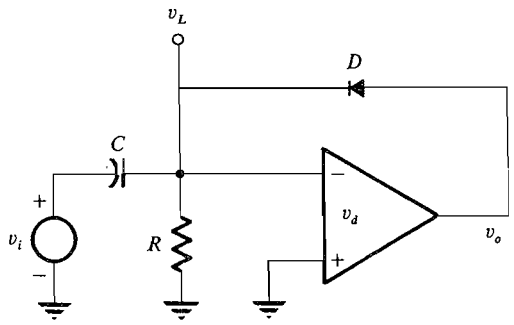


Figura 8.5-7. Circuito fijador práctico.

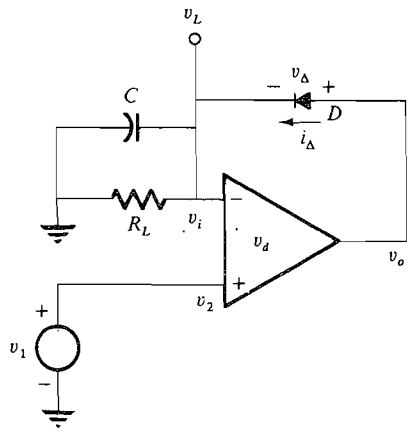
puede circular corriente continua por el condensador, R debe ser capaz de dar un camino para suministrar la corriente de base al transistor de entrada.

El circuito representado en la Figura 8.5-7 se puede utilizar para fijar crestas positivas con respecto a masa si se invierte el sentido del diodo. Puede ser utilizado también para fijar el nivel de referencia prescrito conectando simplemente esta tensión a la entrada no inversora.

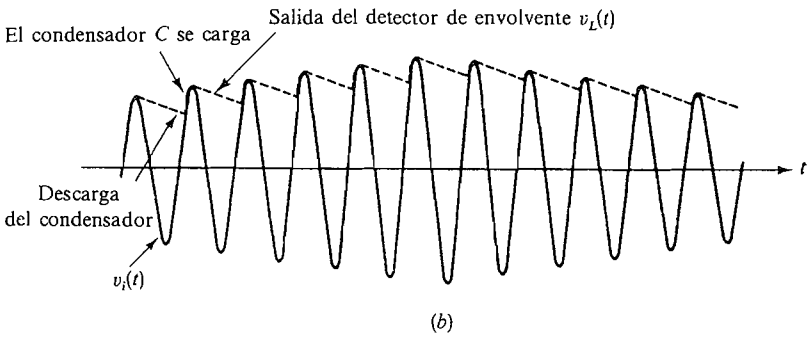
8.5-5. Detector de envolvente

Un *detector de envolvente* (Fig. 8.5-8*a*) es un dispositivo que sigue los valores de cresta de una forma senoidal *modulada en amplitud*. Las formas de onda de entrada y salida están representadas en la Figura 8.5-8*b*.

El circuito detector de envolvente representado es similar al circuito rectificador de media onda de la Figura 8.5-1*a*, pero tiene un componente más, el condensador C. La



(*a*)



(*b*)

Figura 8.5-8. Detector de envolvente: (*a*) circuito; (*b*) formas de onda.

presencia del condensador no puede variar instantáneamente. Cuando la forma de onda de entrada $v_i(t)$ llega a ser suficientemente positiva, el diodo D se conecta (conduce) y el condensador se carga a v_i, siendo la corriente de carga $i_\Delta - v_L/R_L$. El diodo conducirá en tanto que v_i aumente. Obsérvese que cuando v_i se hace constante se alcanzan las condiciones de régimen permanente por lo que v_L es constante, la corriente en el condensador es cero y entonces $i_\Delta = v_L/R_L$. En este caso, puesto que

$$v_i - v_L = v_d = \frac{v_o}{A_d} = \frac{v_L + 0{,}7}{A_d} \tag{8.5-8a}$$

se puede demostrar fácilmente que

$$v_L \approx v_i - \frac{0{,}7}{A_d} \approx v_i \tag{8.5-8b}$$

Después de alcanzar v_i su valor de cresta, comienza a disminuir. Como la tensión v_L entre los terminales del condensador no puede cambiar instantáneamente, el diodo D deja de conducir y el condensador C se descarga a través de R_L. Esta descarga está representada en la Figura 8.5-8*b*. Para que el diodo D pase al estado de corte se debe tener $v_\Delta \leqslant V_\gamma$. Esto ocurre cuando

$$v_i - v_L = v_d = \frac{v_o}{A_d} = \frac{v_\Delta + v_L}{A_d} \leqslant \frac{V_\gamma + v_L}{A_d} \approx 0 \tag{8.5-9}$$

Es decir, cuando $v_i \leqslant v_L$.

Podemos sacar la conclusión de que en un sistema práctico el condensador se cargará cuando $v_i > v_L$ y se descargará cuando $v_i \leqslant v_L$.

8.5-6. Limitador

El limitador es un circuito que produce una salida de nivel constante alto (generalmente una tensión positiva) si la señal de entrada es positiva y una salida de nivel constante bajo (generalmente una tensión negativa) siempre que la señal de entrada sea negativa.

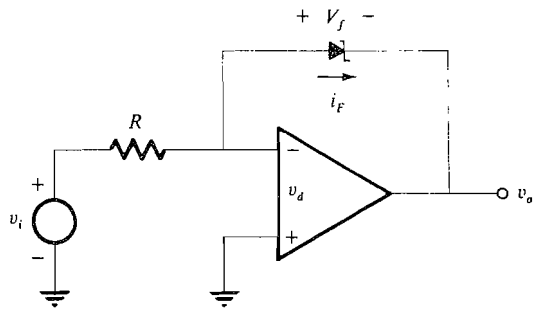
En la Figura 8.5-9*a* se muestra un amplificador operacional limitador. El elemento de realimentación en este circuito es un diodo Zener Z cuya característica *vi* (véase Sección 1.10) se muestra en la Figura 8.5-9*b*.

Cuando v_i alcanza un valor positivo suficiente, el diodo Zener se comporta como si fuera un diodo de silicio ordinario. El diodo se asemeja a una fuente de tensión V_F en serie con una pequeña resistencia y dado que $v_d \approx 0$ la tensión de salida

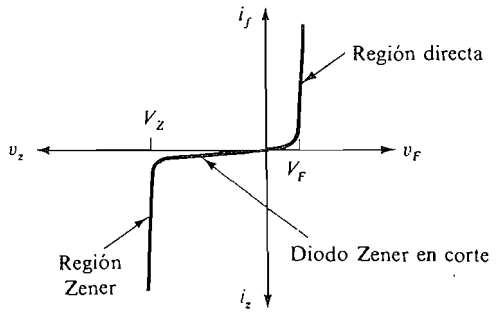
$$v_o = -V_F - v_d \approx -V_F \tag{8.5-10}$$

Cuando v_i alcanza un valor negativo suficiente, el diodo trabaja en zona Zener y puede modelarse mediante una fuente de tensión V_Z en serie con una pequeña resistencia. Como $v_d \approx 0$, la tensión de salida quedará fijada en V_Z, luego

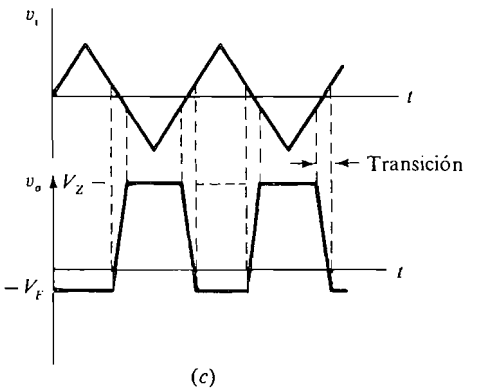
$$v_o \approx V_Z \tag{8.5-11}$$



(*a*)



(*b*)



(*c*)

Figura 8.5-9. Un limitador con operacional: (*a*) circuito; (*b*) característica de un diodo Zener; (*c*) formas de onda.

En la Figura 8.5-9*c* se representan las formas de onda típicas de las tensiones de entrada y salida. Obsérvese que la tensión de salida v_o evoluciona entre sus dos niveles de salida con un tiempo de transición finito. Durante cada transición el diodo está en corte. Esto significa que la ganancia de v_i a v_o es en esencia la ganancia A_d del amplificador operacional. La ganancia v_o/v_i es entonces

$$\frac{v_o}{v_i} \approx \frac{v_o}{-v_d} = -A_d \tag{8.5-12}$$

Así pues, la variación necesaria de la tensión de entrada $|\Delta v_i|$ para producir una variación de $V_Z + V_F$ en la tensión de salida es

$$|\Delta v_i| \approx \frac{V_Z + V_F}{A_d} \tag{8.5-13}$$

Si $V_Z = 6$ V, $V_F = 0{,}7$ V y $A_d = 10^5$, entonces $|\Delta v_i| = 67\ \mu$V.

8.6. GENERADOR DE BARRIDO CON AUTOELEVACION

El *generador de barrido con autoelevación* (*bootstrap*) representado en la Figura 8.6-1*a* se utiliza para generar una rampa lineal de tensión. En este circuito, la salida del operacional está conectada directamente a la entrada inversora, como en el seguidor de tensión de la Sección 8.2. La realimentación origina un cortocircuito virtual en la entrada, por lo que $v_d \approx 0$ y se obtiene $v_o = v_C$. De aquí que la tensión en el punto P sea

$$v_P = V_Z + v_o = V_Z + v_C \tag{8.6-1a}$$

De aquí,

$$v_P - v_C = V_Z \tag{8.6-1b}$$

Cuando el diodo Zener trabaja en zona Zener, V_Z es aproximadamente constante e $i_R = (v_p - v_C)/R = V_Z/R =$ constante.

Esta corriente constante circula por el interruptor S cuando está cerrado y cuando está abierto circula por el condensador C haciendo que se cargue. De ahí que la tensión que soporta el condensador aumente linealmente, ya que

$$v_C = \frac{1}{C}\int^t \frac{V_Z}{R}\,dt = \frac{V_Z}{RC}\,t \tag{8.6-2}$$

La tensión del condensador continúa incrementándose linealmente hasta que $v_C = V_{CC} - V_Z$. Si v_C crece por encima de este valor el diodo Zener se corta (pasa a ser un circuito abierto), por lo que el amplificador operacional se convierte simplemente en un seguidor de tensión. El condensador continúa su carga hacia V_{CC}, pero ahora sigue una curva exponencial con una constante de tiempo $\tau = (r + R)C$, como se ilustra en la Figura 8.6-16.

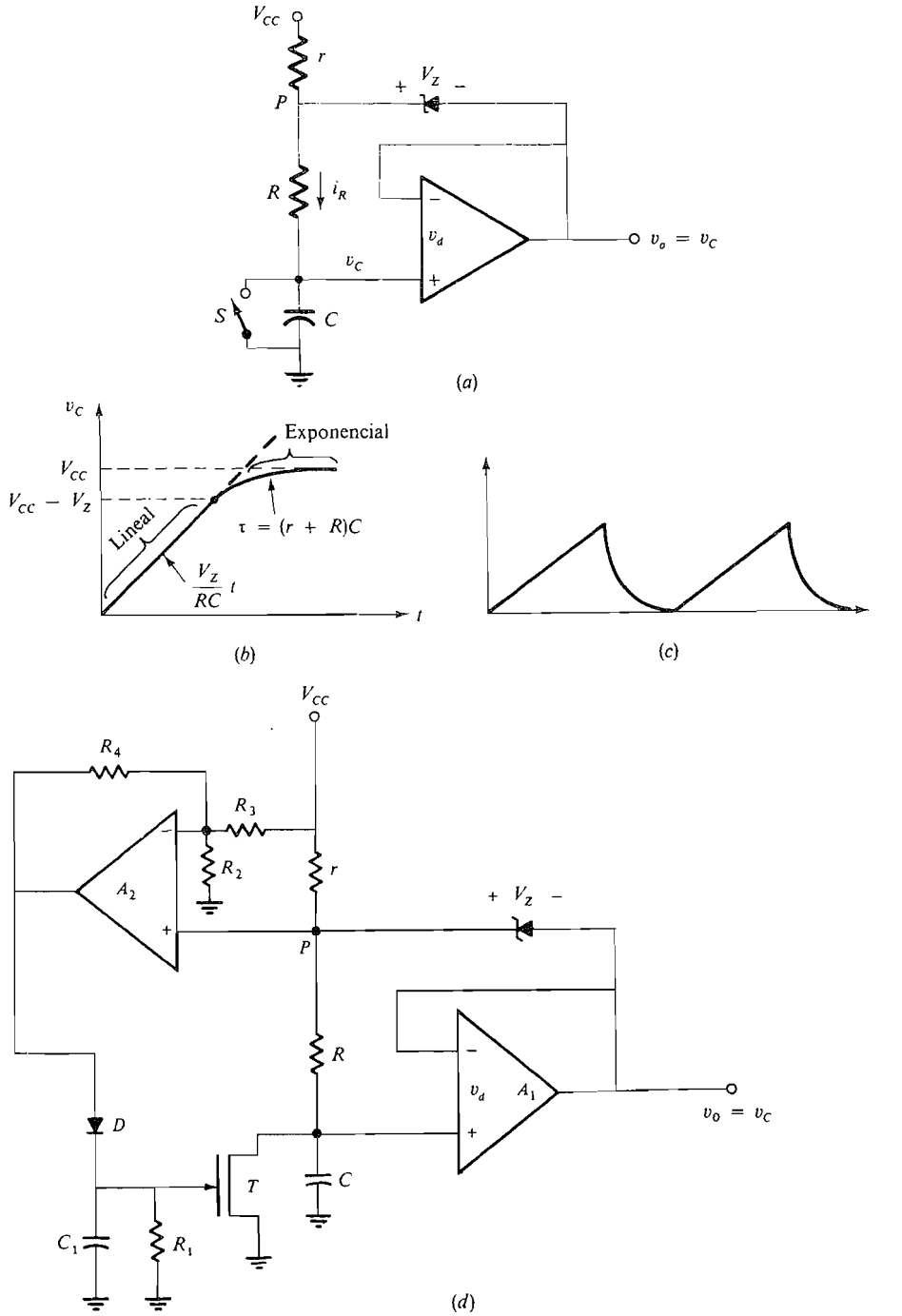


Figura 8.6-1. Generador de barrido autoelevador (*bootstrap*): (*a*) circuito de barrido simple; (*b*) forma de onda de barrido simple; (*c*) forma de onda astable; (*d*) circuito para funcionamiento periódico (astable).

Con frecuencia, se necesitan tensiones lineales periódicas como las representadas en la Figura 8.6-1*c* para muchas aplicaciones. Uno de estos dispositivos se denomina «generador de barrido», y se dice que opera en modo astable. Este modo de trabajo se explica a continuación: cuando la tensión de salida aumenta la tensión del punto P, V_P, crece. El amplificador operacional A_2 está polarizado de forma que para valores de V_P menores de un valor predeterminado V_P^*, su salida es una tensión muy negativa. El amplificador A_2 está diseñado para obtener una elevada ganancia. Así cuando V_P crece por encima de V_P^*, la salida de A_2 alcanza un valor de tensión positiva muy elevado y, como consecuencia, el FET entra en saturación. De esta forma, la impedancia del FET es pequeña y el condensador C se descarga rápidamente, haciendo que V_P baje, lo que hace que la salida de A_2 disminuya. Sin embargo, el FET se mantiene saturado hasta que C se descarga, puesto que el diodo D desconecta temporalmente A_2 de la puerta. Esto permite que la tensión del condensador C_1 (que es la tensión de puerta) disminuya lentamente al descargarse a través de R_1.

El circuito de la Figura 8.6-1*d* antes descrito suele llamarse circuito de barrido «bootstrap» y la frecuencia del barrido depende de los componentes del circuito (véase Problema 8.6-3).

8.7. AMPLIFICADOR LOGARITMICO

En la Figura 8.7-1 está representado un amplificador cuya tensión de salida es proporcional al logaritmo de la tensión de entrada. La función logarítmica es generada por el transistor T de la realimentación.

Para hallar la ecuación de respuesta comenzamos suponiendo que el transistor T está en conducción y que $v_d \approx 0$ V. Entonces

$$i_C = i_1 = \frac{v_i}{R_1} \tag{8.7-1}$$

Aplicando las ecuaciones de Ebers-Moll para un transistor en que $v_{CB} > 0$ y $v_{BE} > 0$, podemos escribir la corriente de colector [véase Ec. (2.2-14*a*)] como

$$i_C = I_o \epsilon^{v_{BE}/V_T} \tag{8.7-2}$$

[La comparación de (8.7-2) con (2.2-14*a*) mostrará que hemos ajustado $I_o = \alpha_F I_{EO}$ y hemos supuesto que todos los otros términos son despreciables.]

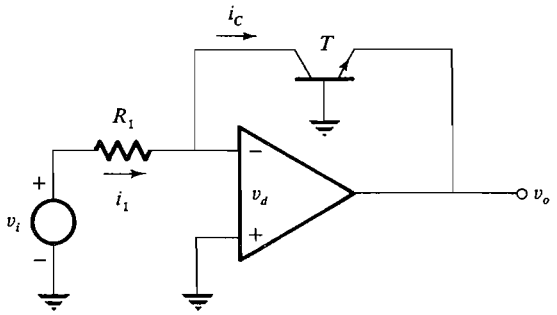


Figura 8.7-1. Amplificador logarítmico.

Las Ecuaciones (8.7-1) y (8.7-2) pueden ser combinadas para obtener

$$\frac{v_i}{R_1} = I_o \epsilon^{v_{BE}/V_T} \tag{8.7-3a}$$

Observando que la tensión de base del transistor es igual al potencial de masa (cero), tenemos

$$v_{BE} = -v_E = -v_o \tag{8.7-3b}$$

Combinando (8.7-3*a*) y (8.7-3*b*) y tomando logaritmos naturales en ambos miembros, obtenemos la ecuación de respuesta deseada

$$v_o = -V_T \ln \frac{v_i}{I_o R_1} \tag{8.7-4}$$

Esta relación muestra que v_o es proporcional al logaritmo neperiano de v_i. El término $I_o R_1$ actúa como factor de escala, es decir, se genera ln (av_i) cuando se ajusta mediante R_1 el factor de escala a. Se puede obtener una ganancia adicional conectando v_o a un amplificador lineal. Sin embargo, hay que tener en cuenta que, para que el amplificador logarítmico funcione correctamente, v_i debe ser positiva. Así pues, este es un dispositivo unipolar.

8.7-1. Amplificador logarítmico con compensación en temperatura

La generación exacta de la función logarítmica usando el circuito de la Figura 8.7-1 está severamente limitada porque tanto I_o como V_T son sensibles a la temperatura. Esta dependencia de la temperatura se minimiza utilizando el amplificador logarítmico representado en la Figura 8.7-2*a*. Este circuito acepta dos entradas, v_1 y v_2 y la tensión de salida es proporcional al logaritmo del cociente de estas tensiones de entrada. A menudo v_2 es una tensión fija de referencia.

En este circuito los transistores T_1 y T_2 son la realimentación de los dos operacionales. Por tanto, suponiendo $v_{d1} \approx 0$ V y $v_{d2} \approx 0$ V, tenemos

$$i_1 = \frac{v_1}{R_1} \quad \text{e} \quad i_2 = \frac{v_2}{R_2} \tag{8.7-5}$$

Las corrientes de colector i_{C1} e i_{C2} vienen dadas por (8.7-2). Así (8.7-5) se transforma en

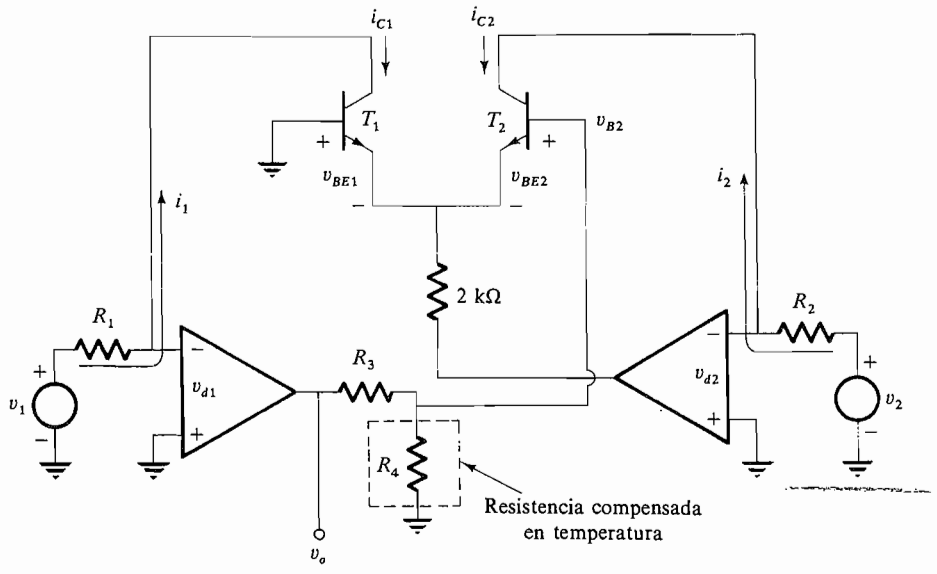
$$i_1 = i_{C1} = \frac{v_1}{R_1} = I_o \epsilon^{v_{BE1}/V_T} \tag{8.7-6a}$$

e

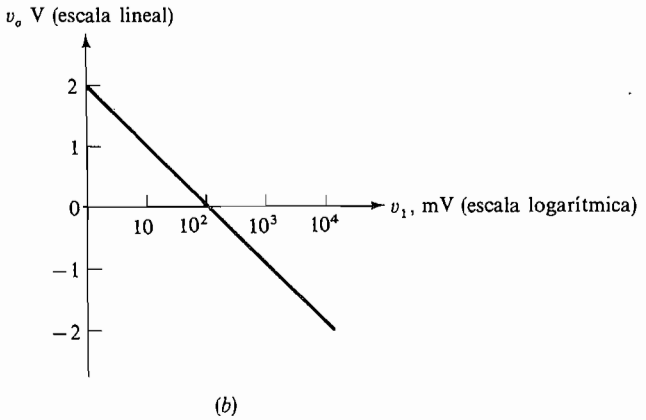
$$i_2 = i_{C2} = \frac{v_2}{R_1} = I_o \epsilon^{v_{BE2}/V_T} \tag{8.7-6b}$$

Dividiendo (8.7-6*a*) por (8.7-6*b*) y tomando el logaritmo del resultado se obtiene

$$v_{BE1} - v_{BE2} = V_T \ln \left(\frac{R_2}{R_1} \frac{v_1}{v_2} \right) \tag{8.7-7}$$



(*a*)



(*b*)

Figura 8.7-2. Amplificador logarítmico con compensación en temperatura: (*a*) circuito; (*b*) característica de respuesta típica.

Sin embargo, como $v_{E2} = v_{E1} = v_E$,

$$v_{BE1} = -v_E \tag{8.7-8a}$$

y

$$v_{BE2} = v_{B2} - v_E \tag{8.7-8b}$$

Sustituyendo (8.7-8) en (8.7-7) se obtiene

$$-v_{B2} = V_T \ln\left(\frac{R_2}{R_1}\frac{v_1}{v_2}\right) \tag{8.7-9}$$

En la Figura 8.7-2 se puede ver que la tensión v_{B2} está relacionada con la tensión de salida v_o por

$$v_{B2} = \frac{R_4}{R_3 + R_4} v_o \tag{8.7-10}$$

Finalmente, combinando (8.7-19) con (8.7-10) llegamos a la ecuación deseada

$$v_o = -\left(\frac{R_3 + R_4}{R_4} V_T\right) \ln\left(\frac{R_2}{R_1}\frac{v_1}{v_2}\right) \tag{8.7-11}$$

Obsérvese que aunque v_o no es ya función de I_o, todavía es sensible a la temperatura debido al término V_T. Para minimizar la variación de temperatura debida a V_T, se elige R_3 mucho mayor que R_4, mientras que R_4 es una resistencia con compensación en temperatura calculada para que

$$\left|\frac{\Delta\,(V_T/R_4)}{\Delta T}\,\Delta T\right| \ll (V_T/R_4) \tag{8.7-12}$$

Típicamente $R_3 = 16$ kΩ y $R_4 = 1$ kΩ.

Aunque v_1 y v_2 pueden ser función del tiempo, una de ellas suele ser una tensión de referencia. Si v_o debe ser positiva, v_1 es la tensión de referencia.

Todo el análisis precedente se basa en que T_1 y T_2 tienen idénticas características. El circuito integrado LM194 incluye transistores superadaptados en los que las tensiones base-emisor están ecualizadas a 50 μV y las ganancias de corriente h_{FE} lo están con un error menor del 2 por 100. Los amplificadores logarítmicos construidos con circuitos integrados tienen un margen útil típico de $v_i = 0{,}1$ mV a 10 V, es decir, 5 décadas (100 dB).

EJEMPLO 8.7-1

Un amplificador logarítmico en que se utiliza el LM194 tiene los siguientes valores paramétricos

$R_1 = R_2 = 10$ kΩ $\quad R_3 = 16{,}4$ kΩ $\pm$ 1 %

$R_4 = 1$ kΩ (compensado en temperatura) $\quad V_T = 25$ mV

La tensión de entrada v_1 varía de 1 mV a 10 V. Hallar el valor de la tensión de referencia v_2 por el cual v_o sea 0 V cuando v_1 es 100 mV. Representar v_o en función de v_1.

Solución

Utilizando (8.7-11) se tiene

$$v_o = \frac{16{,}4 + 1}{2}(25 \times 10^{-3}) \ln\frac{v_1}{v_2} = -0{,}434 \ln\frac{v_1}{v_2}$$

Puesto que $\log x \approx 0{,}434 \ln x$, tenemos

$$v_o = -\log \frac{v_1}{v_2}$$

Como $\log 1 = 0$, la tensión de referencia debe ser 100 mV para tener $v_o = 0$ V cuando $v_1 = 100$ mV. Finalmente,

$$v_o = -\log \frac{v_1}{0{,}1} = -\log 10v_1$$

donde v_o y v_1 están expresados en voltios. Esta ecuación está representada en la Figura 8.7-2*b*.

8.8. FUENTES DE ALIMENTACION REALIMENTADAS

Para que el funcionamiento sea fiable, los modernos componentes electrónicos, particularmente los circuitos integrados, deben ser alimentados por tensiones continuas que se mantengan constantes aunque varíen las corrientes de carga o las tensiones de línea. Esto se consigue utilizando fuentes de alimentación reguladas. Actualmente se dispone de estas fuentes en forma de CI y, a menudo, se utiliza uno de tales elementos en cada placa de circuito impreso, convenientemente dispuestos para suministrar potencia a todos los circuitos integrados de la placa. Esto es particularmente aplicable a los circuitos digitales de lógica *transistor-transistor* y *emisor acoplado*, en que la fuente suministra impulsos de corriente. Utilizando fuentes individuales se puede evitar que se propaguen los efectos de estos impulsos de unas placas a otras.

El chip típico de un regulador contiene una referencia Zener junto con dos operacionales y los circuitos asociados. Como en un chip no se puede disipar una elevada potencia, generalmente se requieren dos transistores externos cuando haya de ser entregada una corriente de salida elevada (mayor de 1 A). En esta sección presentaremos la teoría básica del regulador de tensión en circuito integrado. Los reguladores simples que utilizan sólo diodos Zener han sido estudiados en la Sección 1.10.

La Figura 8.8-1 muestra una fuente regulada con tensión positiva de salida. El circuito está alimentado por la tensión V_{CC}, que procede de una fuente de alimentación no regulada. La entrada es la tensión de referencia y la salida es la tensión regulada v_L. R_L representa la carga.

La tensión de referencia se deriva del diodo Zener o de un diodo regulador tal como el LM103. Cualquiera de estos dispositivos da una tensión relativamente constante (típicamente 1,8 a 5,6 V) que es bastante independiente de la temperatura. Por ejemplo, el LM103 tiene un coeficiente de temperatura de aproximadamente -5 mV/°C cuando la tensión es 3,3 V y una característica de ruptura que es 10 veces más abrupta que la del diodo Zener típico.

Los dos operacionales A_1 y A_2 han sido elegidos para que den la mínima sensibilidad ante las variaciones de la fuente de alimentación y de la temperatura. La ganancia de A_1 es

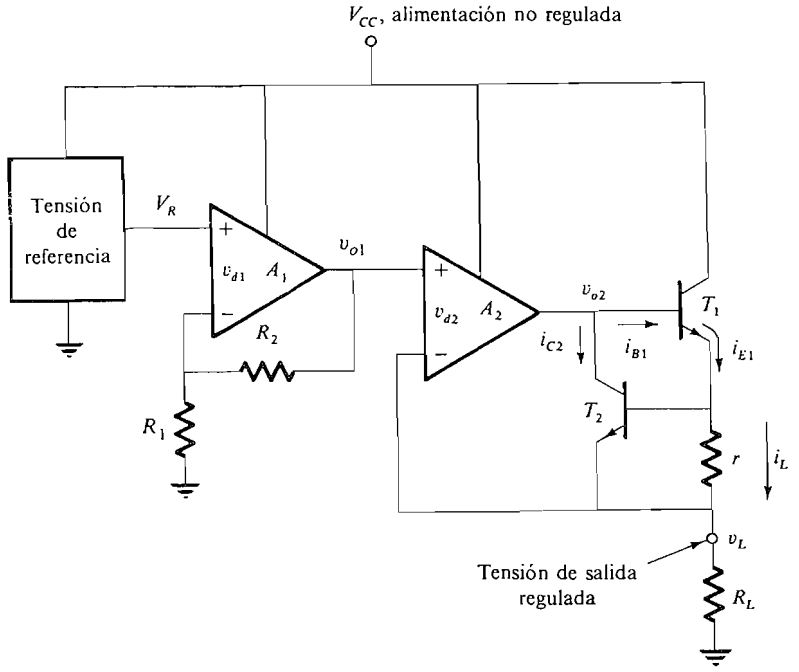


Figura 8.8-1. Fuente de alimentación regulada por CI.

$(R_1 + R_2)/R_1$ y la ganancia de A_2 incluyendo T_1 y T_2 es la unidad. Los transistores T_1, T_2 y la resistencia r pueden ser considerados como parte del operacional A_2. Esto es una consecuencia de la conexión de realimentación desde la salida v_L hasta la entrada inversora de A_2. T_1, T_2 y r son componentes discretos separados únicamente cuando debe ser suministrada por T_1 una corriente de carga muy intensa.

La tensión de carga v_L es

$$v_L = A_1 A_2 V_R = \left(1 + \frac{R_2}{R_1}\right) V_R \tag{8.8-1}$$

Así, la tensión de carga se puede ajustar a cualquier valor mayor que V_R (y menor que V_{CC}) ajustando simplemente R_2 y R_1.

Como antes dijimos, el transistor T_1 se conecta como un seguidor de emisor para suministrar una corriente más intensa que la disponible desde A_2 hasta la carga R_L.

El transistor T_2 y la resistencia r proporcionan protección contra sobrecarga o cortocircuito en el sistema. Por ejemplo, consideremos que T_1 está especificado para que pueda suministrar con seguridad no más de 5 A y que la fuente de alimentación está calculada para generar 5 V. Si, por alguna razón, se reduce R_L a un valor menor que 1 Ω, i_L excederá de 5 A y T_1 se puede sobrecalentar y destruir. Para evitarlo ajustamos $ri_{L,\text{máx}} = V_\gamma = 0{,}65$ V. Con corrientes de carga menores que $i_{L,\text{máx}}$ el transistor T_2 estará en corte a causa de que su tensión base-emisor es menor de 0,65 V. Sin embargo, si la corriente de

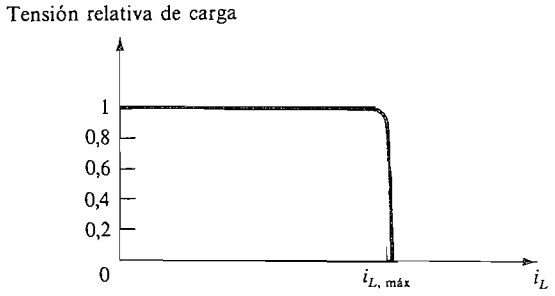


Figura 8.8-2. La característica de corriente constante obtenida utilizando T_2.

carga excede de $i_{L,\,máx}$, la caída en r hará que el transistor T_2 conduzca y quite corriente de la base de T_1. Así pues, la corriente i_{E1} tiende a permanecer constante en el valor requerido para $ri_{E1} = 0{,}65$ V. Puesto que la corriente de colector de T_2, i_{C2} es solamente una fracción de la corriente de base de T_1, i_{B1}, la corriente i_{C2} es mucho menor que la corriente i_{E1}, y la corriente de carga $i_L = i_{E1} + i_{C2} \approx i_{E1}$ se mantiene relativamente constante en $i_{L,\,máx}$ al disminuir la resistencia de carga. Así, en resumen, vemos que la presencia de T_2 significa que la tensión en la carga permanece constante aunque la resistencia de carga pueda disminuir mientras que $i_L < i_{L,\,máx}$. Cuando $i_L = i_{L,\,máx}$, una ulterior disminución de la impedancia de carga da por resultado que la corriente de carga se mantenga constante y que la tensión de carga disminuya. La acción de este regulador de tensión con limitación de corriente está representada en la Figura 8.8-2.

Regulación. Se utiliza la palabra *regulación* para describir la desviación del comportamiento de un regulador respecto al ideal. La *regulación de línea*, definida como el cambio de la tensión de salida para una variación dada de la tensión de entrada, es típicamente 100 μV/V. La *regulación de carga* de la fuente del CI es la variación de la tensión de salida correspondiente a una variación de la corriente de carga. Un valor típico de la regulación de carga es 20 mV/A.

Por ejemplo, supongamos que se tiene una entrada no regulada de 15 V para excitar un CI regulador que suministra 1 A a 5 V. La entrada no regulada puede tener una caída de tensión de hasta 12 V y la corriente de carga puede ser tan intensa como 1,2 A. Si la regulación de línea del CI es 100 μV/V y la regulación de carga es 20 mV/A, la variación en el caso más desfavorable de la tensión de salida es

$$\Delta V_L = (15 - 12)(100)\ \mu\text{V/V} + (1.2\text{-}2)(20)\ \text{mV/A} = 0{,}3\ \text{mV} + 4\ \text{mV} = 4{,}3\ \text{mV}$$

8.9. MULTIPLICADOR ANALOGICO DE CUATRO CUADRANTES

Un multiplicador analógico de cuatro cuadrantes es un dispositivo cuya tensión de salida es directamente proporcional al producto de dos tensiones de entrada independientemente de la polaridad de las entradas. Así

$$v_o = Kv_1v_2$$

donde v_1 y v_2 pueden ser positivas o negativas.

El multiplicador básico de cuatro cuadrantes está representado en la Figura 8.9-1. El circuito es similar al MC1595 de Motorola. Aquí se aplican las dos entradas v_1 y v_2 a dos amplificadores diferenciales idénticos $T_1 - T_2$ y $T_3 - T_4$, cada uno de los cuales está alimentado por la fuente de corriente I_o. Para demostrar que este circuito actúa como un multiplicador procedamos como sigue. Con los resultados de la Sección 7.1 se puede demostrar que las corrientes de colector de $T_1 - T_4$ (véase Problema 8.9-1) son

$$i_{C1} = \frac{I_o}{2} + \frac{v_1}{2(R_e + h_{ib})} \tag{8.9-1a}$$

$$i_{C2} = \frac{I_o}{2} + \frac{v_1}{2(R_e + h_{ib})} \tag{8.9-1b}$$

$$i_{C3} = \frac{I_o}{2} + \frac{v_1}{2(R_e + h_{ib})} \tag{8.9-1c}$$

$$i_{C4} = \frac{I_o}{2} + \frac{v_1}{2(R_e + h_{ib})} \tag{8.9-1d}$$

Utilizando la primera ley de Kirchhoff, tenemos

$$i_{C1} = i_{E5} + i_{E6} \tag{8.9-2a}$$

e

$$i_{C2} = i_{E7} + i_{E8} \tag{8.9-2b}$$

Si en la ecuación de Ebers-Moll (2.2-14*b*) ponemos $\epsilon^{v_{BC}/V_T} \approx 0$ y despreciamos los términos -1, hallaremos que i_{E5} e i_{E6} son

$$i_{E5} \approx I_{EO}\epsilon^{v_{BE5}/V_T} \tag{8.9-3a}$$

e

$$i_{E6} \approx I_{EO}\epsilon^{v_{BE6}/V_T} \tag{8.9-3b}$$

Dividiendo estas dos, se obtiene

$$\frac{i_{E5}}{i_{E6}} = \epsilon^{(v_{BE5} - v_{BE6})/V_T} \tag{8.9-4}$$

Combinando (8.9-4) y (8.9-2*a*) se tiene

$$i_{E5} = \frac{i_{C1}}{1 + \epsilon^{-(v_{BE5} - v_{BE6})/V_T}} \tag{8.9-5}$$

La tensión de base v_{B5} de T_5 es la misma que v_{C3}, donde v_{C3} es la tensión de colector de T_3. Análogamente $v_{B6} = v_{C4}$ y, además, las tensiones de emisor de T_5 y T_6 son idénticas. Por tanto, aplicando la segunda ley de Kirchhoff, tenemos

$$\begin{aligned} v_{BE5} - v_{BE6} &= (v_{B5} - v_{E5}) - (v_{B6} - v_{E6}) \\ &= v_{B5} - v_{B6} = v_{C3} - v_{C4} \end{aligned} \tag{8.9-6}$$

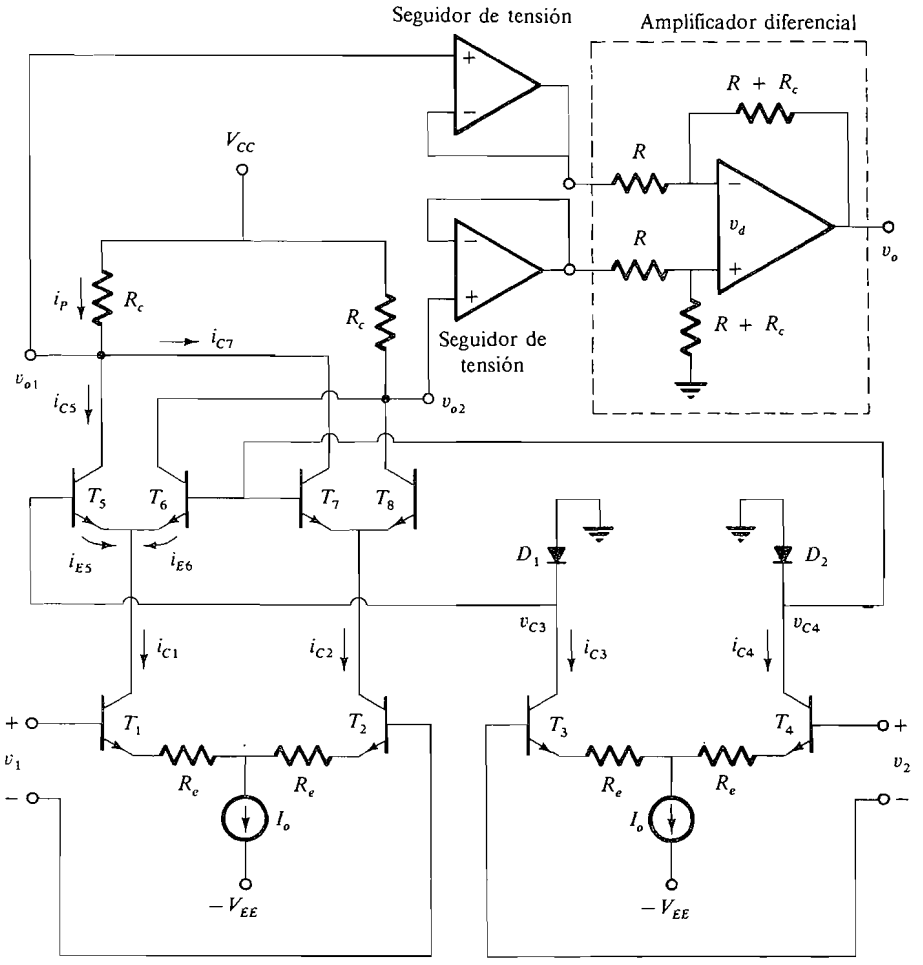


Figura 8.9-1. Multiplicador analógico de cuatro cuadrantes.

Por (8.9-5) podemos escribir

$$i_{E5} = \frac{i_{C1}}{1 + \epsilon^{-(v_{C3} - v_{C4})/V_T}} \tag{8.9-7}$$

Análogamente, con un poco de álgebra, se puede demostrar que

$$i_{E7} = \frac{i_{C2}}{1 + \epsilon^{-(v_{C4} - v_{C3})/V_T}} \tag{8.9-8}$$

Como el seguidor de tensión tiene una impedancia de entrada extremadamente alta, $i_P = i_{C5} + i_{C7}$; además, puesto que $i_{C5} \approx i_{E5}$ e $i_{C7} \approx i_{E7}$, podemos combinar (8.9-7) y (8.9-8) para obtener

$$i_P \approx i_{E5} + i_{E7} = \frac{i_{C1} + i_{C2}\epsilon^{-(v_{C3}-v_{C4})/V_T}}{1 + \epsilon^{-(v_{C3}-v_{C4})/V_T}} \tag{8.9-9}$$

Esta corriente es directamente proporcional al producto de v_1 y v_2.

La corriente i_{C3} circula a través del diodo D_1 y, por tanto, está relacionada con la tensión $v_{C3} = -v_{D1}$ por

$$i_{C3} = I_D\epsilon^{-v_{C3}/V_T} \tag{8.9-10}$$

Análogamente

$$i_{C4} = I_D\epsilon^{-v_{C4}/V_T} \tag{8.9-11}$$

Para llegar a (8.9-10) y (8.9-11) hemos supuesto implícitamente que i_{C3} e i_{C4} son mucho mayores que las corrientes de base de T_5, T_6, T_7 y T_8. Luego

$$\frac{i_{C3}}{i_{C4}} = \epsilon^{-(v_{C3}-v_{C4})/V_T} \tag{8.9-12}$$

Sustituyendo (8.9-12) en (8.9-9) hallamos

$$i_P = \frac{i_{C1} + i_{C2}i_{C3}/i_{C4}}{1 + i_{C3}/i_{C4}} = \frac{i_{C1}i_{C4} + i_{C2}i_{C3}}{i_{C4} + i_{C3}} \tag{8.9-13}$$

donde i_{C1} a i_{C4} vienen dadas por (8.9-1). Finalmente, sustituyendo (8.9-1) en (8.9-13) y simplificando

$$i_P = \frac{I_o^2/2 + v_1v_2/[2(R_e + h_{ib})^2]}{I_o} \tag{8.9-14}$$

Obsérvese que i_P contiene una constante y un término directamente proporcional al producto v_1v_2.

La tensión de salida v_{C1} es

$$v_{o1} = V_{CC} - i_PR_c = V_{CC} - \frac{I_oR_c}{2} - \frac{R_c}{2I_o(R_e + h_{ib})^2}\,v_1v_2 \tag{8.9-15}$$

Se puede demostrar análogamente que

$$v_{o2} = V_{CC} - \frac{I_oR_c}{2} + \frac{R_c}{2I_o(R_e + h_{ib})^2}\,v_1v_2 \tag{8.9-16}$$

Si v_{o1} y v_{o2} son las entradas en los dos seguidores de tensión, que luego son aplicadas al amplificador diferencial representado en la Figura 8.9-1, la señal de modo común $V_{CC} - I_oR_c/2$ desaparece (véase Sec. 8.4) y la salida del amplificador diferencial es

$$v_o = \frac{R_c}{I_o(R_e + h_{ib})^2}\,v_1v_2 \tag{8.9-17}$$

8.9-1. Algunas aplicaciones del multiplicador analógico

El símbolo de circuito utilizado para representar el multiplicador de la Figura 8.9-1 está representado en la 8.9-2*a*. Si se conectan entre sí v_1 y v_2, el multiplicador realiza la operación de elevación al cuadrado puesto que

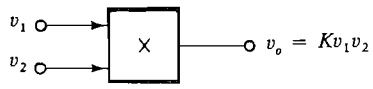
$$v_o = Kv_1^2 \tag{8.9-18}$$

La Figura 8.9-2*b* muestra cómo se puede utilizar el multiplicador para la extracción de raíces cuadradas. Como $v_d \approx 0$ e $i_i \approx 0$, tenemos $v_a/R + v_o/R = 0$, por lo que $v_a = -v_o$. Pero

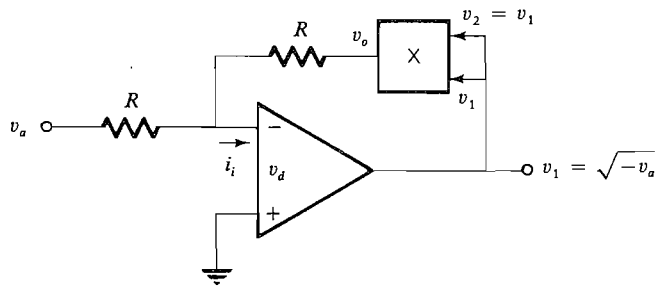
$$v_o = v_1^2 \tag{8.9-19}$$

De donde

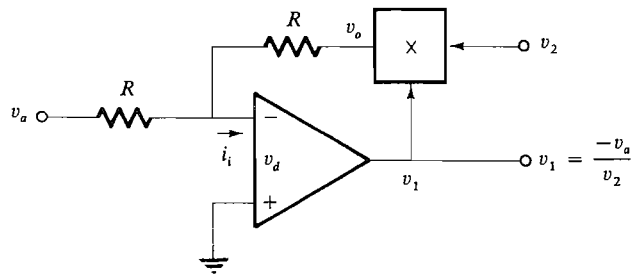
$$v_1 = \sqrt{-v_a} \tag{8.9-20}$$



(*a*)



(*b*)



(*c*)

Figura 8.9-2. Multiplicador analógico: (*a*) símbolo de circuito; (*b*) circuito para obtener la raíz cuadrada; (*c*) circuito divisor.

Así pues, v_1 es la raíz cuadrada de $-v_a$ y v_a debe ser negativa. Se puede incluir un inversor en el bucle de realimentación para que el circuito admita entradas positivas.

Como ejemplo final del uso del multiplicador consideremos el circuito divisor de la Figura 8.9-2*c* en que las tensiones de entrada son v_a y v_2. Como $v_d \approx 0$ e $i_i \approx 0$.

$$\frac{v_a}{R} + \frac{v_o}{R} = 0 \qquad \text{entonces } v_a = -v_o \tag{8.9-21}$$

Pero como $v_o = Kv_1v_2$,

$$v_1 = -\frac{v_a}{Kv_2} \tag{8.9-22}$$

En la práctica se pueden ajustar los factores de escala mediante la variación de las resistencias.

8.10. CONTROL AUTOMATICO DE GANANCIA

Un problema que plantean la mayoría de receptores de comunicaciones concierne a la amplia variación del nivel de potencia de las señales recibidas en la antena. Esta variación es debida a diversas causas. Por ejemplo, en un receptor de radio de AM comercial, cada estación emisora está situada a diferente distancia del receptor y puede transmitir a diferente nivel de potencia. En los sistemas de comunicaciones espaciales el transmisor del satélite o de la nave que lo transporta puede estar alterando su posición con respecto al receptor situado en tierra. Puesto que la señal recibida disminuye como el cuadrado de la distancia al receptor, es probable que en muchas situaciones se produzcan amplias variaciones del nivel de potencia recibido.

En el diseño del receptor estas variaciones son causa de serios problemas que usualmente se pueden solucionar utilizando un *control automático de ganancia* (CAG). En los circuitos de CAG se utiliza realimentación para mantener un nivel fijo de potencia de la señal en el receptor aunque el nivel de la señal varíe ampliamente en antena.

El control automático de ganancia se consigue utilizando un amplificador cuya ganancia pueda ser controlada por una corriente o una tensión externa. Por ejemplo, se puede emplear el circuito representado en la Figura 8.10-1 como elemento controlador de ganancia en un sistema de CAG. En este circuito v_i es la señal de entrada de nivel variable y v_o es la señal de salida que debe tener un nivel relativamente constante. El circuito fuciona como sigue: la c.c. I_{CAG} no puede circular por R a causa del condensador de

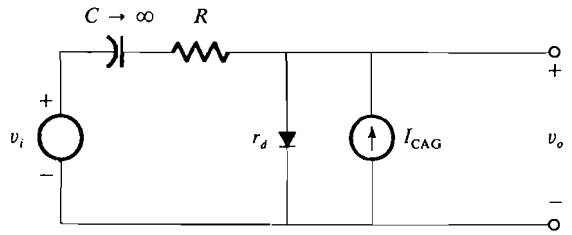


Figura 8.10-1. Circuito básico de control de ganancia.

bloqueo C; sin embargo, polariza al diodo en la región directa de su característica. Suponiendo que v_i sea una señal débil, la resistencia del diodo r_d y la resistencia R forman un divisor de tensión. Por tanto, la tensión de salida es

$$v_o = \frac{r_d}{R + r_d} v_i \tag{8.10-1}$$

donde, por (2.1-5)

$$r_d = \frac{V_T}{I_{\text{CAG}}} \tag{8.10-2}$$

Sustituyendo (8.10-2) en (8.10-1) y suponiendo que $R \gg r_d$, (8.10-1) se convierte en

$$v_o \approx \frac{V_T}{RI_{\text{CAG}}} v_i \tag{8.10-3a}$$

La acción CAG se obtiene derivando I_{CAG} de la envolvente (valor de cresta) de v_i que denominaremos $V_{im}(t)$ (de la manera que seguidamente se explica) para que sean directamente proporcionales; es decir, $I_{\text{CAG}}(t) = KV_{im}(t)$. Entonces (8.10-3$a$) se convierte en

$$v_o \approx \frac{V_T}{RK} \frac{v_1}{V_{im}(t)} \tag{8.10-3b}$$

y la salida es constante aunque varíe V_{im}. Por ejemplo, si v_i es senoidal y tiene una amplitud V_{im} que varía con el tiempo, podemos escribir

$$v_i(t) = V_{im}(t) \cos \omega_0 t \tag{8.10-3c}$$

Luego, $v_i(t)/V_{im}(t) = \cos \omega_0 t$, y de (8.10-3$b$)

$$v_o(t) \approx \frac{V_T}{RK} \cos \omega_0 t \tag{8.10-3d}$$

La envolvente de la tensión de salida es, pues,

$$V_{om} = \frac{V_T}{RK} \tag{8.10-3e}$$

y es constante e independiente de las variaciones de la envolvente de entrada.

En el mercado existen circuitos CAG, tales como el amplificador LM13600, que utilizan una fuente de corriente controlada incorporada en un operacional, como la representada en la Figura 8.10.2. En este circuito T_3 actúa como fuente de corriente constante que suministra la corriente I_{CAG}, donde

$$I_{\text{CAG}} = \frac{V_{\text{CAG}} - 0{,}7 + V_{EE}}{R_e} \tag{8.10-4}$$

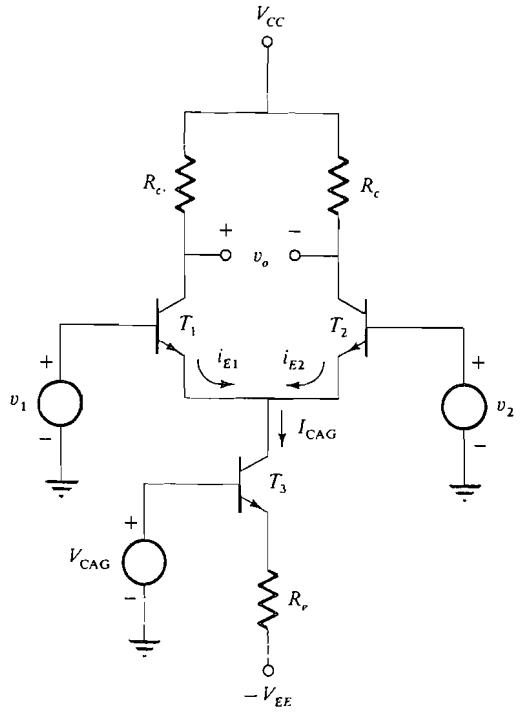


Figura 8.10-2. Un amplificador diferencial de ganancia controlada.

En la Sección 7.3 hemos calculado que las corrientes de emisor para pequeña señal son

$$i_{e1} = -i_{e2} = \frac{v_1 - v_2}{2h_{ib}} \tag{8.10-5}$$

Luego la tensión de salida v_o es

$$v_o = \frac{R_c}{h_{ib}}(v_2 - v_1) \tag{8.10-6}$$

donde

$$h_{ib} = \frac{V_T}{I_{CAG}/2} \tag{8.10-7}$$

Sustituyendo (8.10-7) en (8.10-6) y haciendo $v_1 = 0$ se obtiene la ganancia del amplificador

$$v_o = \left(\frac{R_c}{2V_T} I_{CAG}\right) v_2(t) \tag{8.10-8a}$$

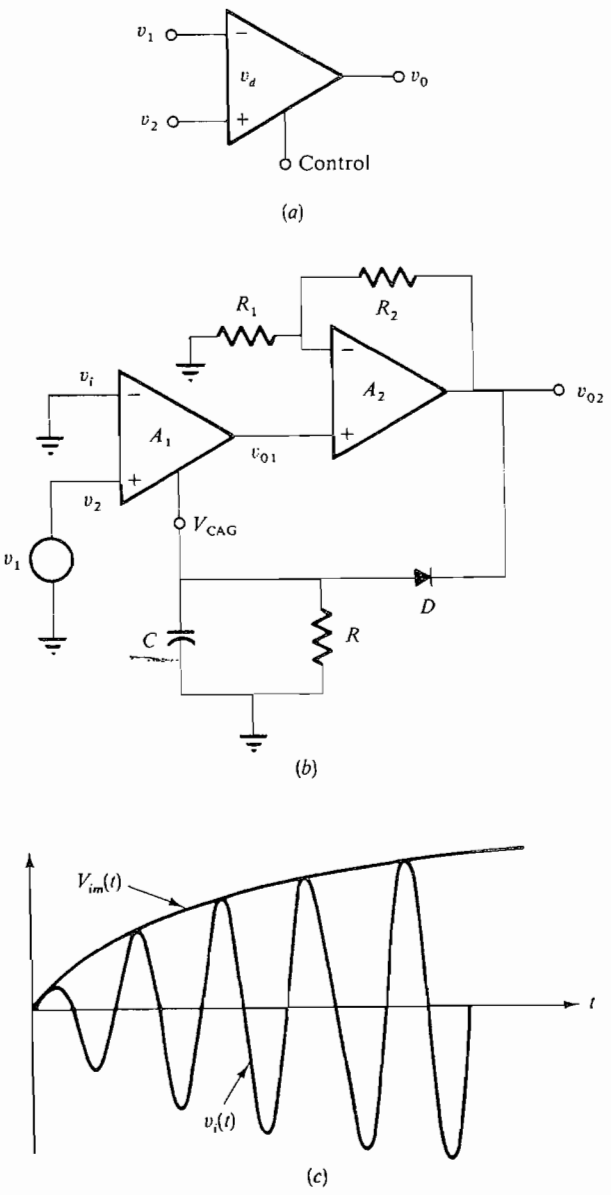


Figura 8.10-3. Sistema CAG: (*a*) símbolo de amplificador operacional de ganancia controlada; (*b*) amplificador CAG completo; (*c*) ilustración de la definición de $V_{im}(t)$.

Si $v_2(t) = V_{2m}(t) \cos \omega_0 t$, la amplitud de la tensión de salida $v_o(t)$ puede mantenerse constante si disponemos de una I_{CAG} inversamente proporcional a la envolvente de la tensión de entrada, es decir,

$$I_{CAG}(t) = \frac{K}{V_{2m}(t)} \tag{8.10-8b}$$

Entonces (8.10-8*a*) se convierte en

$$v_o = \left(\frac{R_c K}{2V_T}\right) \frac{v_2(t)}{V_{2m}(t)} \tag{8.10-8c}$$

y la envolvente de v_o es constante incluso si la envolvente de v_2, varía. En un amplificador operacional comercial de ganancia controlada, al amplificador diferencial le siguen una o más etapas de amplificación.

Margen dinámico. Un parámetro importante en un amplificador comercial CAG es el margen dinámico de control, es decir el margen de variación de la ganancia. Para el LM13600 la ganancia puede modificarse en más de 60 dB (un factor de 1000) ajustando la tensión de control. El rango de I_{CAG} en el circuito de la Figura 8.10-2 va de cero hasta el valor que causa la saturación de T_1 y T_2, ó T_3.

El símbolo de un amplificador CAG aparece en la Figura 8.10-3*a*. La Figura 8.10-3*b* muestra un sistema completo CAG, que consta de un amplificador operacional de ganancia controlada A_1, como el LM13600, un amplificador no inversor A_2 y también se podría utilizar un amplificador inversor y, como elemento de realimentación, un circuito detector de envolvente de cresta realizado con un diodo D y una red RC.

8.10-1. Cálculo de la tensión de salida v_{o2} en el sistema CAG de la Figura 8.10-3.

La tensión de salida v_{o1} del amplificador operacional de ganancia controlada A_1, mostrado en la Figura 8.10-3*b*, viene dada por (8.10-8*a*):

$$v_{o1} = \left(\frac{R_c K_1}{2V_T} I_{CAG}\right) v_i \tag{8.10-9}$$

En esta ecuación K_1 es la ganancia adicional del amplificador A_1 y $v_2 = v_i$.

La tensión de salida v_{o2} del amplificador CAG completo es entonces

$$v_{o2} = \left(\frac{R_c}{2V_T} K_1 K_2 I_{CAG}\right) v_i \tag{8.10-10}$$

donde $K_2 = 1 + R_2/R_1$, la ganancia del amplificador A_2. La tensión de salida $v_{o2}(t)$ es la envolvente detectada de forma que la tensión V_{CAG} del CAG es una tensión negativa. Si hacemos $v_i(t) = V_{im}(t) \cos \omega_0 t$ y $v_{o2}(t) = V_{o2m}(t) \cos \omega_0 t$, la tensión del CAG se puede escribir como

$$V_{CAG} = -V_{o2m}(t) = -\left(\frac{R_c}{2V_T} K_1 K_2 I_{CAG}\right) V_{im}(t) \tag{8.10-11}$$

La corriente y tensión de control de la ganancia están relacionadas por la ecuación (8.10-4). Sustituyendo (8.10-11) en (8.10-4) y resolviendo para I_{CAG} se tiene

$$I_{CAG} = \frac{V_{EE} - 0{,}7}{R_e + (R_c/2V_T) K_1 K_2 V_{im}(t)} \tag{8.10-12}$$

Sustituyendo (8.10-12) en (8.10-10) podemos obtener

$$v_{o2} = \left(\frac{R_c}{2V_T R_e} K_1 K_2\right) \frac{V_{EE} - 0{,}7}{1 + (R_c/2V_T R_e) K_1 K_2 V_{im}(t)} v_i(t) \tag{8.10-13}$$

Normalmente se hace que la ganancia $K_1 K_2$ sea lo suficientemente grande para asegurar que

$$\frac{R_c}{2V_T R_e} K_1 K_2 \gg 1 \tag{8.10-14}$$

por eso, finalmente tenemos:

$$v_{o2} \approx (V_{EE} - 0{,}7) \frac{v_i(t)}{V_{im}(t)} \tag{8.10-15}$$

Este importante resultado indica que v_{o2} es proporcional a $v_i(t)/V_{im}(t)$. Esta relación tiene una *envolvente constante* dado que la envolvente de $v_i(t)$ es $V_{im}(t)$. Como resultado de la acción del detector de cresta el circuito CAG responde solamente a las variaciones suaves, es decir, a cambios en la potencia de la señal. Un valor típico para la constante de tiempo RC del detector de cresta es 1 s.

Es interesante remarcar que el circuito CAG no responde a cambios rápidos en la amplitud de v_i. Si la amplitud de v_i se modifica instantáneamente, aún en el caso de que los amplificadores operacionales A_1 y A_2 pudieran seguir esta variación, el condensador detector de envolvente no podría puesto que la tensión en un condensador no puede variar instantáneamente. De ahí que ante estos cambios (8.10-14) no se aplica y $v_{o2}(t)$ resulta proporcional a $v_i(t)$ hasta que se llega al estado estable. Por tanto al circuito CAG se le considera como un limitador de acción lenta (*slow-acting*) [véase (8.5-6)].

8.11. CONSIDERACIONES PRACTICAS EN LOS CIRCUITOS CON AMPLIFICADORES OPERACIONALES

Mantenimiento de la simetría en el circuito de entrada. En los circuitos con amplificador operacional que hemos estudiado hasta aquí se ha supuesto que existe perfecta simetría en los amplificadores diferenciales para que cuando ambas entradas sean iguales la salida sea cero; es decir, que el rechazo de modo común sea perfecto. Este no es el caso en los operacionales reales y la tensión de salida no es exactamente cero aunque ambos terminales de entrada estén conectados a masa. Esto es debido a varias causas. Por ejemplo, en un operacional con BJT se requiere cierta corriente de polarización para mantener en conducción los transistores de entrada. Estas corrientes de polarización I_{B1} e I_{B2} circulan por los terminales de entrada, como muestra la Figura 8.11-1*a*, donde ambos están conectados a masa. Si suponemos que v_o es pequeña, I_{B1} circula a través de la combinación paralelo de R_1 y R_2 y luego entra en el terminal v_1 haciendo que aparezca en la entrada 1 una tensión $v_1 \approx I_{B1}(R_1 \parallel R_2)$. Como la entrada 2 está conectada a masa, tenemos $v_2 = 0$, por lo que

$$v_d = v_2 - v_1 \approx -I_{B1}(R_1 \parallel R_2) \tag{8.11-1}$$

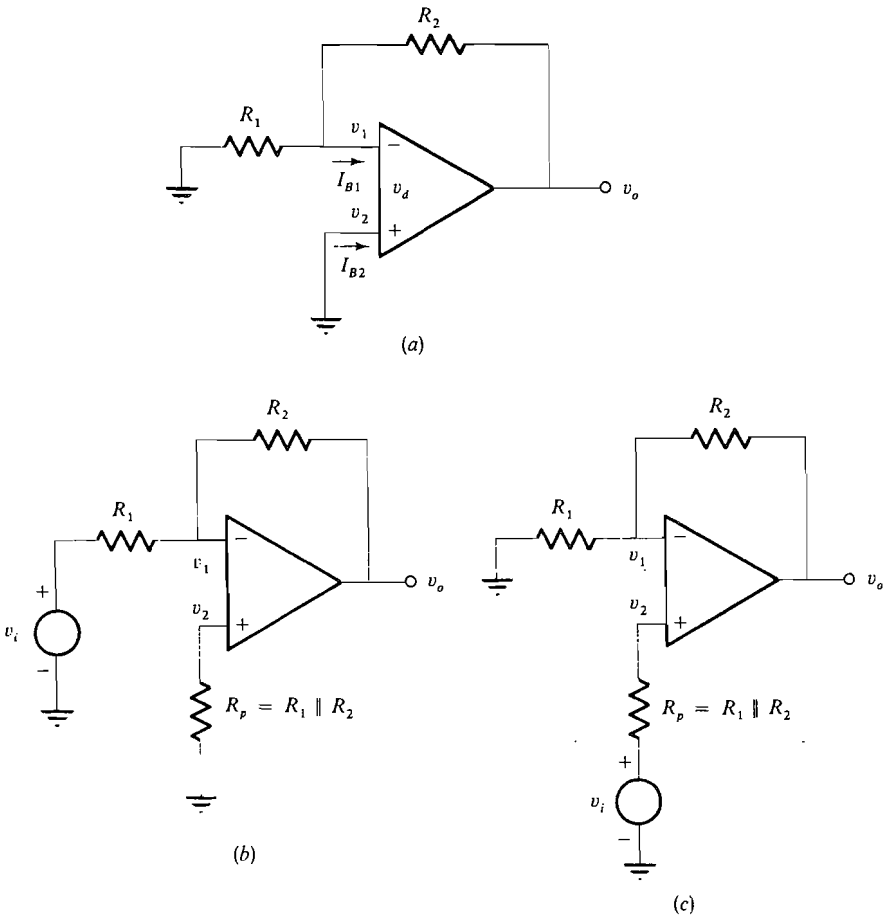


Figura 8.11-1. (*a*) Amplificador inversor; (*b*) amplificador con R_p; (*c*) amplificador no inversor con R_p.

Esta tensión de entrada diferencial produce una *tensión de salida* $v_o = A_d v_d$. Los valores típicos de esta tensión offset son menores que 1 mV y en la práctica pueden ser eliminados conectando una resistencia $R_p = R_1 \parallel R_2$ entre el terminal 2 y masa. Cuando se hace esto, las corrientes de polarización, que usualmente son casi iguales, fluyen a través de resistencias iguales por lo que no habrá tensión de entrada diferencial. La configuración inversora con R_p conectada como muestra la Figura 8.11-1*b* y el amplificador no inversor están representadas en la Figura 8.11-1*c*. Para tener en cuenta las diferencias entre I_{B1} e I_{B2} se puede emplear una resistencia variable para R_p y ajustarlo para el mínimo offset de salida.

En la mayoría de circuitos con amplificador operacional se utilizará esta compensación. Por ejemplo, en los filtros pasatodo representados en la Figura 8.4-6, $R = R_1/2$ para asegurar la simetría. En el recortador con amplificador operacional de la Figura 8.5-3 se insertará una resistencia $R_p = R_L$ en serie con la entrada v_i. Algunos circuitos operacionales son más complicados y no siempre es fácil hallar R_p. Por ejemplo, consideremos la Figura 8.5-4. En este circuito se debe insertar una resistencia $R_{p1} = R/2$ entre la entrada v_2 y masa y una resistencia $R_{p2} = R/4$ entre la entrada v_4 y masa.

Especificaciones de las hojas de datos

Los valores nominales máximos o máximas especificaciones (límites que, si se superan, pueden deteriorar permanentemente al dispositivo) son:

1. *Tensión de alimentación.* Aunque habitualmente se requieren dos alimentaciones, tales como $\pm 1{,}5$, ± 15, e incluso ± 40 V, algunos operacionales sólo requieren una fuente de alimentación, por ejemplo, $+15$ V.
2. *Disipación de potencia.* La máxima potencia que el CI puede disipar sin que se destruya está siempre especificada por el fabricante. Un valor típico es 0,5 W.
3. *Temperatura de funcionamiento.* La temperatura ambiente a la cual pueden funcionar con seguridad los CI de serie militar está comprendida entre -55 y $+125$ °C. Para los dispositivos de serie comercial el margen es de 0 a 70 °C.
4. *Máximas tensiones de entrada de modo diferencial y de modo común.* Si la tensión diferencial de entrada v_d supera la cantidad especificada por el fabricante, circula una corriente excesiva y se puede destruir el operacional. Esto también ocurre si se aplica a las entradas una tensión excesiva de modo común. Los valores típicos son ± 30 V.

Características eléctricas (características de prestación determinadas por medidas)

1. *Tensión offset de entrada.* Es la tensión diferencial v_d que debe ser aplicada para hacer que la tensión de salida sea cero. Idealmente $v_d = 0$ hace que $v_o = 0$; sin embargo, debido a la falta de perfecta simetría entre los transistores del CI, se requiere algún valor finito de v_d para que v_o sea cero. Los valores típicos son de 1 mV. Para contrarrestar este efecto se pueden hacer varios ajustes de nulo o cero.
2. *Corriente offset de entrada.* Es la diferencia entre las corrientes de las entradas v_1 y v_2 cuando se hace que la salida sea cero mediante la inserción de una tensión de offset. Un valor típico de esta corriente es 20 nA.
3. *Corriente de polarización de entrada.* Es el valor medio de las dos corrientes de entrada que son necesarias para que el transistor de entrada funcione correctamente. Los valores típicos son 80 nA.
4. *Coeficiente de temperatura de la tensión offset de entrada o deriva térmica.* La tensión offset de entrada es función de la temperatura y varía típicamente 15 μV/°C.
5. *Ganancia de tensión para gran señal.* Es la relación entre la tensión de salida y la tensión de entrada cuando la tensión de salida tiene valores máximos simétricos, en nivel no recortado. Este valor es mayor de 100 000 y aproximadamente igual a A_d.
6. *Relación de rechazo de modo común.* Es la relación entre la ganancia de modo diferencial y la ganancia de modo común A_d/A_a, típicamente 100 dB (100 000).
7. *Relación de rechazo de la tensión de alimentación.* La falta de perfecta simetría en el circuito significa que la tensión de salida varía con la tensión de alimentación. La relación de rechazo de la tensión de alimentación es la relación entre la variación de la tensión offset de entrada y la variación de la tensión de alimentación que la produce; es decir, para que la tensión de salida sea cero es necesario que haya una tensión offset V_{io} en la tensión de alimentación V_{CC}. Si la tensión de alimentación varía hasta $V_{CC} + \Delta V_{CC}$, la tensión offset de entrada necesaria será

$V_{io} + \Delta V_{io}$. Entonces la relación de rechazo de la tensión de alimentación es $\Delta V_{io}/\Delta V_{CC}$, y es típicamente de -100 dB.

8. *Compensación en frecuencia.* Las limitaciones de frecuencia son debidas en el operacional a los anchos de banda finitos en los transistores y también a las capacidades parásitas que están presentes en todo circuito. Como resultado de estos factores y de la ganancia muy alta en bucle abierto A_d del operacional se producen oscilaciones, a no ser que se emplee compensación en frecuencia. También se degrada la respuesta transitoria del operacional por estos efectos. La compensación en frecuencia de los operacionales se estudia en el Capítulo 10.
9. *Ancho de banda de ganancia unidad.* Es el margen de frecuencia desde la corriente continua hasta la frecuencia en que la ganancia del amplificador v_o/v_d disminuye hasta la unidad. Los anchos de banda de ganancia unidad son aproximadamente 1 MHz. La importancia de esta característica se estudia en el Capítulo 10.
10. *Slew-rate (velocidad de cambio) y tiempo de establecimiento.* En la Figura 8.11-2 se ve que, cuando se aplica un escalón grande de tensión al operacional, la forma de onda de salida aumenta con una pendiente finita llamada velocidad de cambio (*slew-rate*). El comportamiento de la salida en cuanto al *slew-rate* es debido al efecto no lineal que se produce cuando se aplica una señal fuerte de entrada al operacional. Los transistores del operacional se saturan momentáneamente o bien se bloquean hasta que los elementos externos de realimentación reducen la tensión de entrada v_d. A consecuencia de la capacidad interna y parásita, la tensión de salida tarda algún tiempo en alcanzar su valor permanente. El tiempo que tarda en alcanzar un porcentaje prescrito del valor final se llama tiempo de establecimiento. El *slew-rate* y el tiempo de establecimiento se miden habitualmente cuando la ganancia de tensión es la unidad, utilizando la configuración de seguidor de tensión. Dependen de si el escalón de entrada es positivo o negativo y de si el amplificador es inversor o no inversor.

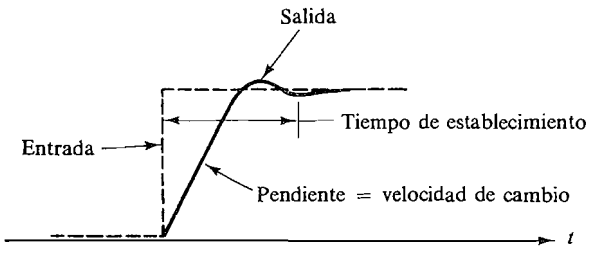


Figura 8.11-2. Respuesta transitoria de un amplificador operacional.

Tipos de amplificadores operacionales. Los operacionales se pueden clasificar en las cinco categorías distintas enumeradas en la Tabla 8.11-1. Los de *propósito general*, tales como los 709, 101 y 741, son usuales en la industria. El 741 es similar al 101 pero no necesita compensación en frecuencia externa. Está compensado internamente por el fabricante. Estos amplificadores operacionales de propósito general tienen típicamente un ancho de banda con ganancia unidad de 1 MHz y un *slew-rate* de 0,5 V/μs.

Hay disponibles amplificadores operacionales de alta frecuencia y elevado *slew-rate* con anchos de banda de 50 MHz y *slew-rate* de 200 V/μs. Por el contrario, el CLC231 tiene un ancho de banda con ganancia unidad de 165 MHz y un *slew-rate* de 3000 V/μs.

Tabla 8.11-1

Categoría	Códigos de los amplificadores operacionales más representativos
Propósito general	101,741
Alta frecuencia, elevado slew-rate	CLC 231
Alta tensión, alta potencia, una sola fuente	LH0004, LH0021, LM124
Tension de desviación pequeña y bajas derivas térmicas	LH0052, 308A-1
Programable	4250

Amplificadores operacionales como éstos se utilizan en el muestreo de alta frecuencia y en conversores analógico-digital y digital-analógico.

Se pueden obtener grandes variaciones en la tensión de salida y corrientes de salida elevadas utilizando los amplificadores operacionales híbridos 0004 y 0021 o el 124. El 0004 puede generar una tensión de salida de ± 35 V con una carga de 2 kΩ mientras que el 0021 puede entregar más de 1 A con niveles de tensión de ± 12 V. El 124 se alimenta con una sola fuente y puede operar en un rango de tensiones de alimentación de 5 a 32 V.

En aplicaciones donde se requieren tensiones de desviación pequeñas y bajas derivas térmicas el 308A-1 tiene una tensión de desviación de 0,3 mV y una deriva térmica de 0,6 μV/°C. No obstante, si seleccionamos el amplificador operacional híbrido 0052, se puede obtener una tensión de desviación de 0,1 mV y una deriva de 2 μV/°C.

Un operacional programable tal como el 4250 está construido de modo que se puede controlar exteriormente la polarización de todos los transistores internos. Estos operacionales pueden ser polarizados de modo que tengan muy baja disipación de potencia en reposo (*stand-by*), por lo que se les denomina amplificadores operacionales de micropotencia. Los principales parámetros del amplificador regidos por este control de polarización son la ganancia en bucle abierto, el ancho de banda con ganancia unidad, la corriente de polarización de entrada, el *slew-rate* y la potencia en reposo.

8.12. OTROS AMPLIFICADORES LINEALES EN CIRCUITOS INTEGRADOS

Hay muchos otros tipos de amplificadores lineales en circuitos integrados además del amplificador operacional y de la fuente de alimentación de tensión regulada. El multiplicador (que es un modulador de AM) y los circuitos CAG antes estudiados suelen ser considerados como circuitos integrados de consumo, ya que se utilizan en los receptores de radio de AM. Otros circuitos de consumo son los amplificadores RF/FI, detectores-amplificadores AM/FM/SSB, osciladores, preamplificadores de bajo ruido e incluso amplificadores de potencia (típicamente 4 W). Con tal variedad disponible, el ingeniero de hoy día rara vez se pone a diseñar un sistema en que se utilicen circuitos discretos.

PROBLEMAS

8.1-1. En la Figura 8.1-2 sean $R_1 = 1$ kΩ y $R_2 = 10$ kΩ. El operacional está caracterizado por $A_d = 200\,000$, $R_i = 200$ kΩ y $R_o = 150$ Ω. Hallar (*a*) A_v, (*b*) r_i y (*c*) r_o.

8.1-2. Repetir el Problema 8.1-1 siendo $R_1 = 10$ kΩ y $R_2 = 1$ MΩ.

8.1-3. (*a*) Demostrar que el amplificador inversor de la Figura 8.11-1*b* tiene una A_v como en (8.1-2*b*). Utilizar la teoría del amplificador operacional ideal.
(*b*) Hallar r_i y r_o para este caso.

8.1-4. Diseñar un amplificador inversor que tenga una ganancia de -24. La impedancia de entrada debe ser mayor de 10 kΩ. El operacional está caracterizado en el Problema 8.1-1.

8.1-5. El circuito de la Figura P8.1-5 se puede utilizar para medir la ganancia del operacional. Suponer $R_i \gg R_4$ y $R_1 \gg R_4$.
(*a*) Utilizando la teoría del operacional ideal demostrar que $v_o = -v_i$.
(*b*) Demostrar que la ganancia del operacional viene dada por

$$|A_d| = \frac{v_o/v_x}{R_4/R_1}$$

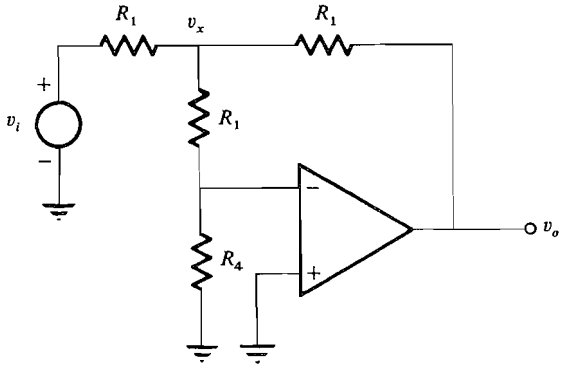


Figura P8.1-5.

8.2-1. En la Figura 8.2-1 sean $R_1 = 1$ kΩ y $R_2 = 8{,}8$ kΩ. El operacional está descrito por $A_d = 200\,000$, $R_i = 200$ kΩ y $R_o = 150$ Ω. Hallar (*a*) A_v, (*b*) r_i y (*c*) r_o.

8.2-2. Repetir el Problema 8.2-1 siendo $R_1 = 10$ kΩ y $R_2 = 100$ kΩ.

8.2-3. (*a*) Demostrar que el amplificador no inversor de la Figura 8.11-1*c* tiene la misma A_v que en (8.2-2).
(*b*) Hallar r_i y r_o para este caso.

8.2-4. Diseñar un amplificador no inversor que tenga una ganancia de $+51$ utilizando el operacional del Problema 8.2-1.

8.2-5. En la Figura P8.2-5 hallar R_1 para que $v_o = v_s = i_s \times 10$ MΩ.

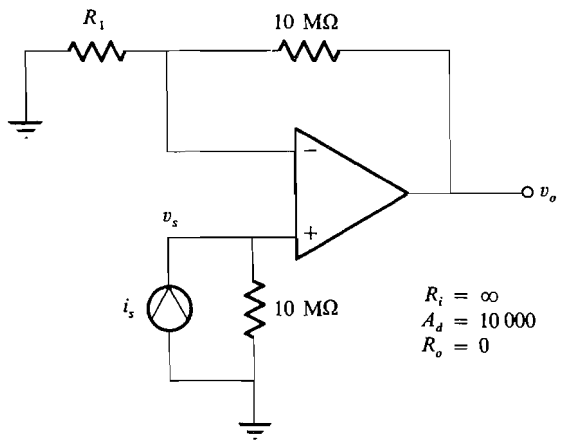


Figura P8.2-5.

8.4-1. (*a*) Diseñar un amplificador operacional diferencial que tenga una ganancia de 100. Cada entrada debe tener una impedancia mínima de 10 kΩ.
(*b*) Suponer que el operacional tiene una RRMC = 1000 y que la máxima señal de modo común es 0,1 V. Hallar la señal diferencial para la cual la salida de modo diferencial sea por lo menos 100 veces mayor que la salida de modo común.

8.4-2. Repetir el Problema 8.4-1 para una ganancia de 48.

8.4-3. Diseñar un circuito operacional que realice

$$v_o = 2{,}4v_1 - 4{,}6v_2 + 8{,}7v_3$$

8.4-4. (*a*) En la Figura 8.4-2 calcular la impedancia de entrada vista por v_1 estando todas las entradas en cortocircuito. Utilizar la teoría del operacional ideal.
(*b*) Modificar el resultado de la parte (*a*) para un operacional no ideal.

8.4-5. Hallar v_o en la Figura P8.4-5.

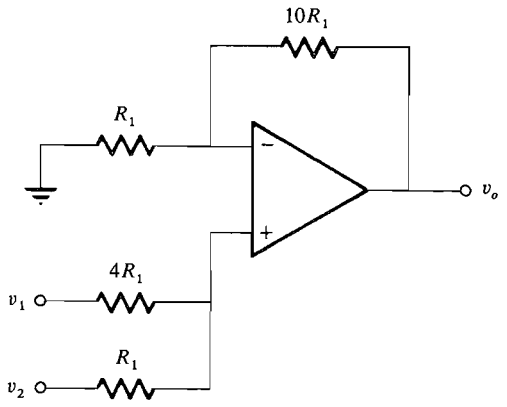


Figura P8.4-5.

8.4-6. El circuito de la Figura P8.4-6 convierte la tensión v_i en una corriente i_L. Demostrar que si $2R_1 = 2R_2 = R_3 + R_4$ y $R_4 - R_1 = 500\ \Omega$, entonces $i_L = +v_i$ mA.

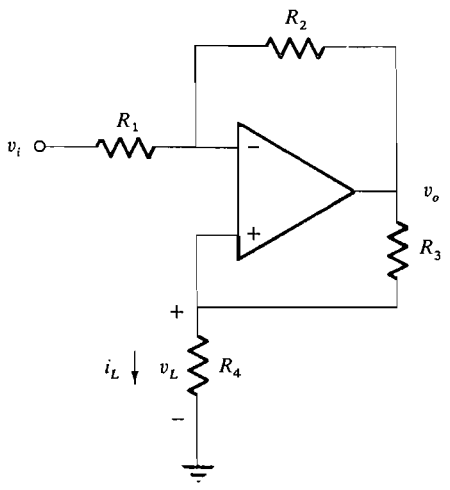


Figura P8.4-6.

8.4-7. En la Figura P8.4-7 suponer que T_1 y T_2 son dos MOSFET y que V_N pone al conmutador en conducción. Explicar el funcionamiento del circuito y evaluar v_o.

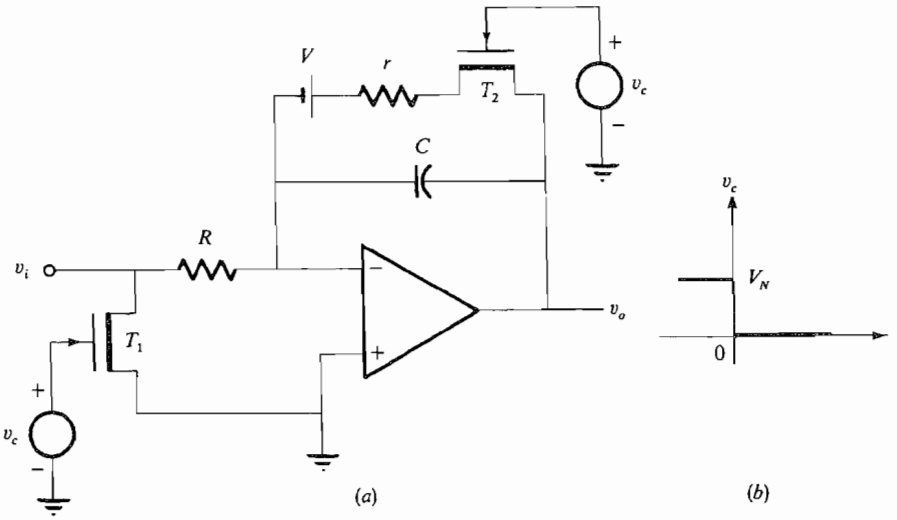


Figura P8.4-7.

8.4-8. Utilizar sumadores e integradores operacionales para resolver las ecuaciones diferenciales:

(*a*) $\dfrac{3dv_o}{dt} + 5v_o = 5 \text{ sen } 2\pi 60t$

(*b*) $\dfrac{d^3v_o}{dt^3} + \dfrac{3d^2v_o}{dt^2} + \dfrac{3dv_o}{dt} + v_o = 4 \cos 4t$

8.4-9. El circuito de la Figura P8.4-9 es un diferenciador práctico que minimiza los problemas de ruido mediante la atenuación de las frecuencias altas.

(*a*) Determinar la función de la ganancia de tensión $V_o(j\omega)/V_i(j\omega)$.

(*b*) Si $R_1C_1 = R_2C_2$, ¿hasta qué frecuencias debe ser restringida la entrada para que el circuito funcione como diferenciador $[V_o(j\omega) = \text{constante} \times j\omega V_i(j\omega)]$?

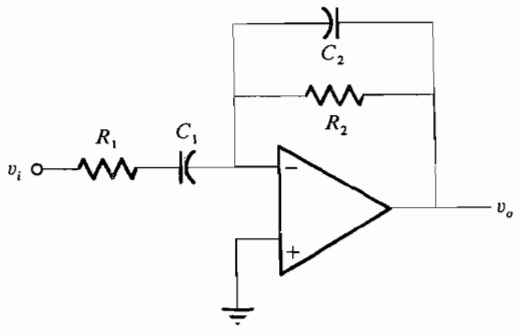


Figura P8.4-9.

8.4-10. En la Figura P8.4-9 se supone que C_1 es infinito.

(*a*) Determinar la función ganancia de tensión $V_o(j\omega)/V_i(j\omega)$.

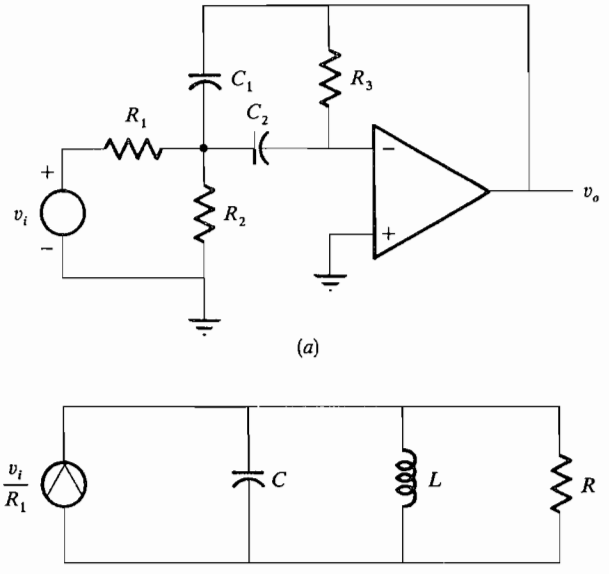
(*b*) ¿Para qué margen de frecuencias de entrada se comporta el circuito como filtro de paso bajo?

8.4-11. En la Figura P8.4-9 se supone que C_2 es cero.
(*a*) Determinar la función ganancia de tensión $V_o(j\omega)/V_i(j\omega)$.
(*b*) ¿Para qué margen de frecuencias de entradas se comporta el circuito como un filtro de paso alto?

8.4-12. El circuito de la Figura P8.4-12*a* es equivalente al circuito sintonizado en paralelo RCL de la Figura P8.4-12*b*, que es un filtro de paso de banda. Puede ser utilizado en bajas frecuencias donde no se obtienen fácilmente valores de Q_S altos (véase Sec. 9.5). Suponer funcionamiento ideal.
(*a*) Demostrar que la función de transferencia de la Figura P8.4-12*a* es

$$\frac{V_o(j\omega)}{V_i(j\omega)} = -\frac{1/R_1}{sC_1 + \dfrac{R_1 + R_2}{R_1R_2R_3C_2s} + \dfrac{C_1 + C_2}{C_2R_3}}$$

(*b*) Hallar los valores equivalentes de R, L y C.



(*a*)

(*b*)

Figura P8.4-12.

8.5-1. En la Figura 8.5-1 se suponen $R_L = 1$ kΩ, $V_\gamma = 0{,}65$ V, $V_F = 0{,}7$ V, $A_d = 10^5$ y $v_i = 10^{-3}$ sen $2\pi 1000t$ V. Representar v_L.

8.5-2. Repetir el Problema 8.5-1 siendo $v_i = 10^{-6}$ sen $2\pi 1000t$ V.

8.5-3. En la Figura 8.5-3, $R_L = 1$ kΩ, $V_{\text{ref}} = 5$ V y $v_i = 10$ sen $2\pi 1000t$ V. Representar v_L.

8.5-4. Verificar (8.5-6).

8.5-5. En la Figura 8.5-4 sustituir R entre v_i y v_1 por 0,9 R, R entre v_1 y v_r por 1,1 R, $R/2$ entre v_r y v_s por $0{,}9R/2$, R entre v_s y v_L por 1,1 R y R entre v_i y v_s por 0,9 R. Representar v_r y v_L suponiendo que v_i viene dada por la forma de onda de la Figura 8.5-4.

8.5-6. Representar la forma de onda de v_c y comprobar la forma de onda de v_L de la Figura 8.5-5.

8.5-7. En la Figura 8.5-7 la entrada no inversora está conectada a una tensión de referencia de +2 V. Utilizando v_i como en la Figura 8.5-5 representar v_L. Suponer que el condensador está inicialmente descargado.

8.5-8. Aplicar la forma de onda de la Figura 8.5-6*a* a la Figura 8.5-7 y representar v_L. Suponer que el condensador está inicialmente descargado.

8.5-9. En la Figura 8.5-8 suponer que $R_L = 1$ kΩ, $C = 100$ μF y $v_i = 5$ sen $2\pi 60t$ V. Hallar el rizado y la tensión de c.c. v_L.

8.5-10. En la Figura P8.5-10 los diodos son idénticos y están descritos por la curva de la Figura 8.5-1*b*. Suponer $v_i = 5$ sen $\omega_o t$ V, $V_\gamma = 0{,}65$ V y $V_F = 0{,}7$ V. $R = 1$ kΩ.
(*a*) Representar v_o.
(*b*) Calcular $|\Delta v_i|$ si $A_d = 10^5$.

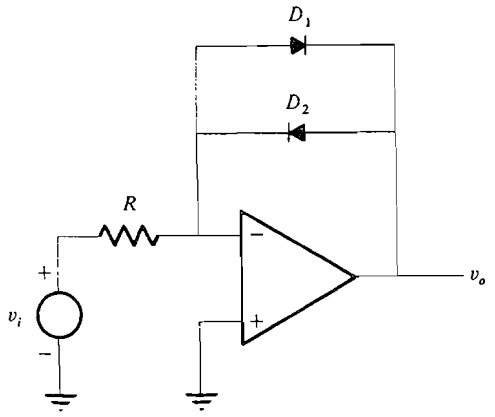


Figura P8.5-10.

8.5-11. En el limitador representado en la Figura P8.5-11 los diodos Zener son idénticos y están descritos por la curva de la Figura 8.5-9*b*. Para una v_i como la representada en la Figura 8.5-9*c* representar v_o y calcular $|\Delta v_i|$ si $A_d = 10^5$. $V_{Z1} = V_{Z2} = 5$ V.

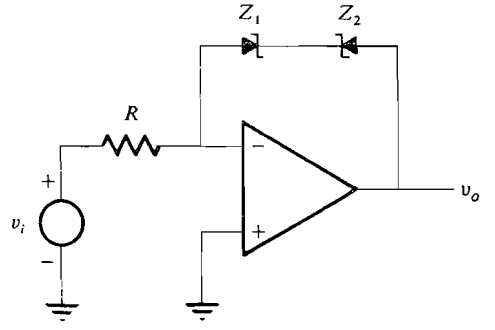


Figura P8.5-11.

8.5-12. En la Figura 8.5-9 conectar una resistencia R_f en paralelo con el diodo. Calcular $|\Delta v_i|$ y representar v_o para la v_i dada si $A_d = 10^5$.

8.6-1. En la Figura 8.6-1*a* suponer $C = 1$ μF, $r = R = 10$ kΩ, $V_Z = 5$ V y $V_{CC} = 15$ V. Suponer que el interruptor ha estado cerrado durante largo tiempo y ha sido abierto en $t = 0$. Representar $v_c(t)$ mediante la determinación de las ecuaciones correspondientes a $v_c(t)$ en las regiones lineal y exponencial.

8.6-2. En la Figura 8.6-1*a* sean $C = 0{,}1$ μF, $r = 10$ kΩ, $R = 1$ MΩ, $V_Z = 7$ V y $V_{CC} = 21$ V. Suponer que el interruptor ha estado cerrado durante largo tiempo. En $t = 0$ el interruptor es abierto durante T s, luego cerrado durante 1 ms, reabierto durante T s, cerrado durante 1 ms, etc.
(*a*) Calcular el valor máximo de T para que $v_c(t)$ tenga una forma en diente de sierra lineal.
(*b*) Representar $v_c(t)$ suponiendo que el valor T es el calculado en la parte (*a*).

8.6-3. (*a*) Diseñar el generador de barrido autoelevador astable de la Figura 8.6-1*d* para generar un diente de sierra de 0,2 s mediante la especificación de $R_1 - R_4$. Utilizar los valores del Problema 8.6-2. Suponer que el MOSFET tiene $V_T = 2$ V y que cuando está conduciendo, $R_{FET} = 500\ \Omega$. Suponer además que C_1 ha sido elegido adecuadamente para mantener cerrado el interruptor durante 1 ms.
(*b*) Representar $v_c(t)$ correspondiente al diseño anterior.

8.7-1. Un amplificador logarítmico como el de la Figura 8.7-2 que utiliza el circuito integrado LM194 tiene los valores paramétricos $R_1 = 10\ k\Omega$, $R_2 = 1\ M\Omega$, $R_3 = 16{,}4\ k\Omega + 1$ por 100, $R_4 = 1\ k\Omega$ (compensado en temperatura) y $v_2 = V_2 = 15$ V.
(*a*) Hallar v_o correspondiente a v_1.
(*b*) Si v_1 varía de 1 mV a 10 V, representar v_o en función de v_1.

8.7-2. Repetir el Ejemplo 8.7-1, hallando el valor de la tensión de referencia v_2 para el cual v_o será 0 V cuando $v_1 = 1$ V.

8.7-3. El circuito de la Figura P8.7-3 da una tensión de salida que es proporcional al antilogaritmo de la tensión de entrada.

$$v_o = K_1 \exp(-K_2 v_i)$$

Hallar K_1 y K_2 e indicar todas las restricciones de v_i.

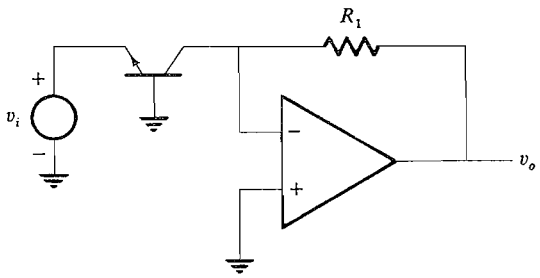


Figura P8.7-3.

8.8-1. En la Figura P8.8-1 (*a*) combinar el transistor de potencia, la resistencia r y el operacional para dar lugar al amplificador operacional equivalente. Utilizar el modelo de operacional dado en la Figura 8.8-1 y especificar los valores equivalentes de R_i, A_d y R_o.
(*b*) Repetir la parte (*a*) pero incluyendo R_L en el operacional equivalente.

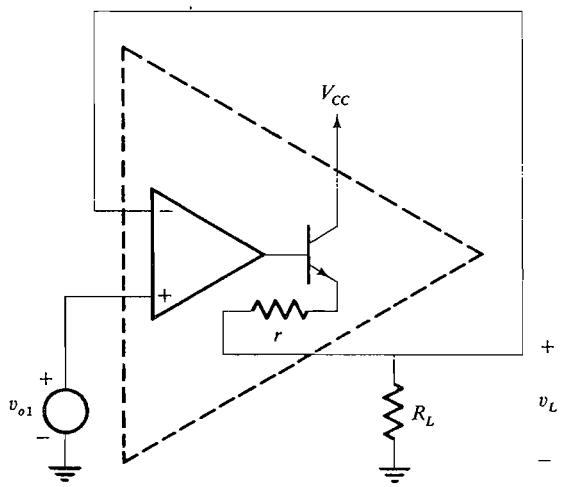


Figura P8.8-1.

8.8-2. Diseñar un regulador con un amplificador operacional y un diodo Zener que debe entregar 15 V con una corriente de carga que varía entre 10 y 50 mA. La fuente de alimentación no está regulada y varía entre 20 y 25 V. Se dispone de un operacional capaz de entregar 50 mA y de un diodo Zener de 3,3 V cuya corriente de conducción es 1 mA.

8.8-3. Repetir el Problema 8.8-2 suponiendo que el operacional puede suministrar únicamente 5 mA, pero que se dispone de un transistor con $h_{FE} = 100$ y una corriente nominal de 1 A. ¿Cuál es la mínima disipación que el transistor debe soportar?

8.8-4. Se utiliza una fuente de alimentación no regulada de 20 V para alimentar un regulador integrado que suministra 2 A a 6 V. La tensión de la fuente no regulada puede disminuir hasta 15 V y la corriente de carga puede ser tan elevada como 2,3 A. Si la regulación de la línea de alimentación del CI es 100 μV/V y la regulación de la carga es 25 mV/A, hallar la variación de la tensión de salida en el caso más desfavorable.

8.9-1. Verificar las ecuaciones (8.9-1).

8.9-2. Deducir (8.9-8).

8.9-3. Verificar (8.9-14).

8.9-4. Modificar el circuito analógico de raíz cuadrada para que admita entradas positivas.

8.9-5. Diseñar un circuito que realice la función $\sqrt{v_1^2 + v_2^2}$.

8.10-1. El amplificador con CI representado en la Figura P8.10-1 se utiliza como amplificador CAG controlando V_{CAG}. Calcular v_L/v_i en función de V_{CAG}.

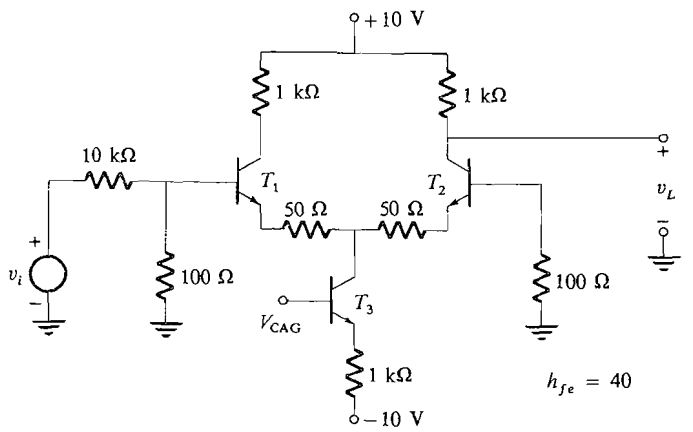


Figura P8.10-1.

8.10-2. En la Figura 8.10-2 se dan $R_c = R_e = 2$ kΩ, $V_{CC} = V_{EE} = 5$ V y $v_1 = v_2 = 0$.
(*a*) Hallar la $V_{CAG,\,máx}$ que causa la saturación de T_1, T_2 ó T_3.
(*b*) Hallar $V_{CAG,\,mín}$.

8.10-3. El amplificador diferencial de ganancia controlada representado en la Figura 8.10-2 se utiliza como elemento que controla al primer amplificador de la Figura 8.10-3*b*. Utilizar los valores y los resultados del Problema 8.10-2 y suponer que $R_1 = 1$ kΩ, $R_2 = 100$ kΩ, $K_1 = 10^3$, $V_T = 25$ mV, $v_1 = 0$ y $v_2 = V_{im}(t)$ sen ωt.
(*a*) Hallar $V_{im}(t)$ mínima para que v_o tenga una amplitud constante. ¿Cuál es la amplitud de v_o?
(*b*) ¿Cuál es la máxima $V_{im}(t)$ que se puede admitir para que v_o no se distorsione?, ¿qué es lo que origina esta distorsión?
(*c*) Determinar $v_o(t)$ si $V_{im}(t) = 0{,}5$ μV es constante.

CAPITULO

9

Limitaciones de frecuencia y de velocidad de conmutación

INTRODUCCIÓN

En este capítulo estudiaremos las características de frecuencia y de conmutación de los transistores bipolares y de efecto de campo. La Figura 9.1 es un gráfico de la variación de la ganancia de corriente o de la ganancia de tensión de un amplificador típico con la frecuencia. A_m es la máxima ganancia del amplificador en el margen de frecuencias medias y en él se ve que la ganancia disminuye en frecuencias altas y en frecuencias bajas. Estas caídas son debidas a dos tipos diferentes de capacidad. En frecuencias altas todos los amplificadores con transistor tienen limitaciones inherentes a causa de la capacidad interna de los transistores y de las capacidades parásitas, así como de las conexiones o cableado respecto a masa, que siempre están presentes. Por ejemplo, en el BJT existen capacidades entre las uniones colector-base y base-emisor. En frecuencias altas las impedancias de estos condensadores son pequeñas y, por consiguiente, la ganancia del amplificador se reduce. En los circuitos digitales, en los que el transistor debe conmutar rápidamente desde una tensión alta hasta una tensión baja o viceversa, la velocidad de conmutación está limitada por las tensiones entre los terminales de estas capacidades que no pueden cambiar instantáneamente.

En el extremo de baja frecuencia del espectro, los amplificadores construidos con varios transistores discretos suelen emplear condensadores para *acoplar* un transistor al siguiente de la cadena. Además, como se explica en la Sección 2.5, se utilizan condensadores de *desacoplo* para cortocircuitar la resistencia de emisor y aumentar así la ganancia en altas frecuencias. Estos condensadores de acoplo y de desacoplo, que son externos al transistor, producen el descenso de la respuesta en baja frecuencia del amplificador a causa de que su impedancia llega a ser grande en frecuencias bajas.

Cuando el margen de frecuencias medias es de pocas octavas o más, el problema de determinación de la respuesta en frecuencia de un amplificador típico acoplado por RC se subdivide en tres problemas relativamente sencillos. Los condensadores de acoplo y de desacoplo sólo afectan a la respuesta en frecuencia baja, mientras que las capacidades de los transistores afectan sólo a la respuesta en alta frecuencia. Así, por comodidad, dividimos el espectro de frecuencia en tres regiones: *baja*, *media* y *alta* (Fig. 9.1). En cada una de estas

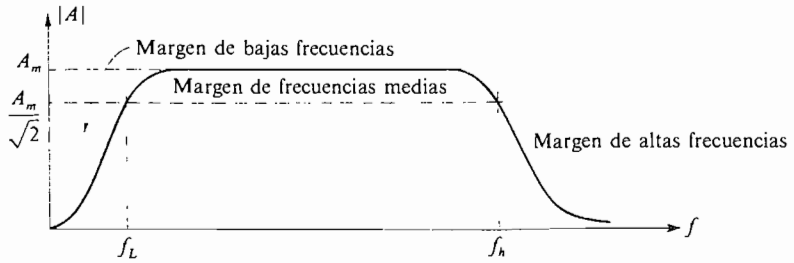


Figura 9.1. Ganancia en función de la frecuencia de un amplificador acoplado por *RC*.

bandas de frecuencia se utiliza un circuito equivalente simplificado diferente para calcular la respuesta. En la banda de baja frecuencia son importantes los condensadores grandes de acoplo y de desacoplo, mientras que las pequeñas capacidades del transistor y las capacidades parásitas son realmente circuitos abiertos. En el margen de frecuencias medias los condensadores grandes son realmente cortocircuitos y las pequeñas capacidades son circuitos abiertos, por lo que en el circuito equivalente de banda media no aparecen las capacidades. En frecuencias altas los condensadores grandes son sustituidos por cortocircuitos y las capacidades del transistor y las parásitas ayudan a determinar la respuesta.

En todo el capítulo las funciones de transferencia están escritas en función de la variable s de la transformada de Laplace (frecuencia compleja). La respuesta a cualquier excitación puede ser, pues, hallada utilizando las técnicas de transformada de Laplace. La respuesta senoidal en régimen permanente que es la que principalmente nos concierne, se obtiene sustituyendo simplemente s por $j\omega$ en la función de transferencia.

Las fronteras que separan el margen de media frecuencia de los márgenes de baja y alta frecuencia no están bien definidas y el margen útil de funcionamiento de un amplificador se especifica de varias maneras, dependiendo de la aplicación. En algunas aplicaciones es importante la forma exacta de la característica ganancia-frecuencia. Por ejemplo, consideremos un amplificador diseñado para señales de vídeo. Como el ojo es sensible a variaciones de intensidad lumínica del orden de 1 dB, la respuesta en el margen de frecuencias medias no debe diferir de A_m en más de aproximadamente 1/2 dB si se han de obtener imágenes de alta calidad. Los límites de la región de frecuencias medias están determinados por el contenido de frecuencia útil de la señal. Si la señal de vídeo contiene componentes importantes de frecuencia que incluyan desde la c.c. hasta 4 MHz, tendrá que mantenerse hasta 4 MHz una máxima variación no mayor de 1/2 dB. Por encima de 4 MHz, el ritmo a que puede descender la respuesta dependerá de otros factores, tales como la respuesta transitoria necesaria.

Para reproducción de alta calidad de las señales de audio es necesaria una banda de frecuencia de aproximadamente 20 Hz a 20 kHz. En la aplicación usual los límites del margen de frecuencias medias están definidos por las frecuencias en que la respuesta ha disminuido 3 dB por debajo de A_m. Estas están designadas por f_L y f_h en la Figura 9.1 y se denominan frecuencias de 3 dB, o simplemente *frecuencias de corte*. El margen total de frecuencias medias se denomina *ancho de banda B* (es realmente el ancho de banda de *potencia mitad*) y por la figura, $B = f_h - f_L$ (cuando $f_h \gg f_L$ el ancho de banda $B \approx f_h$). Estas definiciones se utilizan en todo este texto.

9.1. LA RESPUESTA EN BAJA FRECUENCIA DEL AMPLIFICADOR TRANSISTORIZADO

La respuesta a baja frecuencia del amplificador en configuración en emisor común está determinada por el condensador de desacoplo de emisor y los condensadores de acoplo. En los circuitos prácticos con amplificador, el condensador de desacoplo de emisor limita usualmente la respuesta en baja frecuencia. En las secciones siguientes consideraremos separadamente el efecto que tiene cada condensador.

9.1-1. Condensador de desacoplo de emisor

Consideremos el amplificador de una sola etapa de la Figura 9.1-1*a*. Los condensadores de acoplo de los circuitos de entrada y de colector se omiten para enfocar la atención en el condensador de desacoplo del emisor. El circuito equivalente para pequeña señal está representado en la Figura 9.1-1*b*, donde el circuito de base ha sido reflejado en el circuito de emisor. Este circuito es válido para las regiones de frecuencias bajas y medias.

La función de transferencia de la ganancia de corriente se obtiene mediante el circuito equivalente simplificado de la Figura 9.1-1*c* por un análisis típico:

$$A_i = \frac{i_c}{i_i} \approx \frac{i_e}{i_i} = \left(\frac{R_b}{\dfrac{R_b}{h_{fe} + 1} + h_{ib}} \right) \left(\frac{s + 1/R_e C_e}{s + \dfrac{1}{[R_e \| (R_b/(h_{fe} + 1) + h_{ib})] C_e}} \right) \tag{9.1-1a}$$

Cuando ω es muy grande, la ganancia tiene su valor de frecuencia media A_{im}

$$A_{im} = \left| \frac{i_c}{i_i} \right|_{\omega \to \infty} \approx \frac{R_b}{R_b/(h_{fe} + 1) + h_{ib}} \approx \frac{h_{fe}}{1 + h_{ie}/R_b} \tag{9.1-1b}$$

La resistencia de emisor R_e está especificada usualmente de modo que

$$R_e \gg \frac{R_b}{h_{fe} + 1} + h_{ib} \tag{9.1-1c}$$

para que el cero de (9.1-1) ocurra en una frecuencia mucho más baja que el polo.

El cero de (9.1-1*a*) ocurre en

$$\omega_1 = \frac{1}{R_e C_e} \tag{9.1-2a}$$

y el polo en

$$\omega_2 = \frac{1}{\{R_e \| [R_b/(h_{fe} + 1) + h_{ib}]\} C_e} \tag{9.1-2b}$$

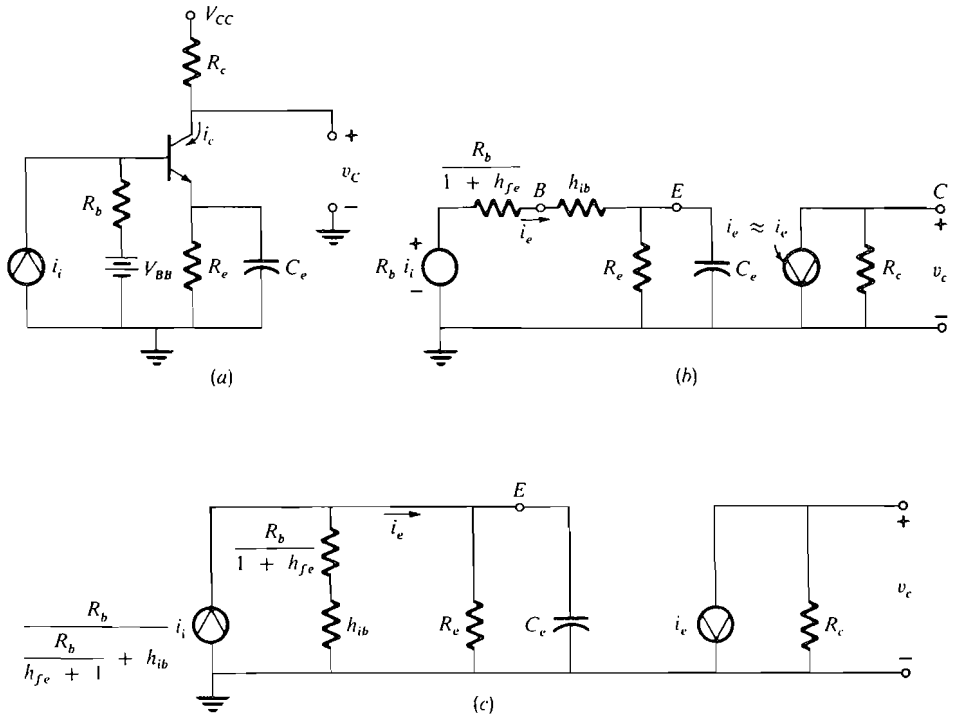


Figura 9.1-1. Amplificador EC con condensador de desacoplo de emisor: (*a*) amplificador de una sola etapa; (*b*) circuito equivalente para pequeña señal válido para frecuencias bajas; (*c*) circuito equivalente reducido.

Cuando la condición de (9.1-1*c*) es válida,

$$\omega_1 \ll \omega_2 \tag{9.1-2c}$$

Usando (9.1-1*b*), (9.1-1*a*) se convierte en

$$|A_i| = A_{im}\omega \left| \frac{j\omega + \omega_1}{j\omega + \omega_2} \right| \tag{9.1-3a}$$

Cuando $\omega > \omega_1$, podemos escribir $|j\omega + \omega_1| \approx \omega$ y (9.1-3*a*) se reduce a

$$|A_i| \approx \frac{A_{im}}{\sqrt{\omega^2 + \omega_2^2}} \tag{9.1-3b}$$

La frecuencia $f = f_L$ en que la ganancia de corriente es 3 dB inferior a su valor en el margen de frecuencias medias, se halla por

$$|A_i| = A_{im} \frac{\omega_L}{\sqrt{\omega_L^2 + \omega_2^2}} = \frac{A_{im}}{\sqrt{2}} \tag{9.1-3c}$$

de donde

$$f_L \approx f_2 \tag{9.1-3d}$$

Si no se satisface (9.1-1*c*), la respuesta nunca puede ser 3 dB inferior en frecuencias bajas. Esto se puede ver por (9.1-1*a*). Para que exista una frecuencia de 3 dB, se debe tener

$$|A_i(\omega = \omega_L)|^2 = A_{im}^2 \frac{\omega_L^2 + \omega_1^2}{\omega_L^2 + \omega_2^2} = \frac{A_{im}^2}{2}$$

Luego

$$\omega_L^2 + \omega_2^2 = 2\omega_L^2 + 2\omega_1^2$$

y

$$\omega_L^2 = \omega_2^2 - 2\omega_1^2 \tag{9.1-3e}$$

Así, si

$$2\omega_1^2 > \omega_2^2$$

la frecuencia de 3 dB o frecuencia de corte f_L *no existe.*

9.1-2. Gráficos asintóticos (de Bode) de las funciones de transferencia del amplificador

Es de gran utilidad poder exhibir gráficamente la dependencia de la frecuencia de ecuaciones tales como la (9.1-1*a*). Esto se efectúa con facilidad utilizando las características asintóticas logarítmicas y las escalas logarítmicas. Para explicar el método, escribimos (9.1-1) en la forma

$$A_i(j\omega) = \frac{i_c}{i_i} = A_{im} \frac{j\omega + \omega_1}{j\omega + \omega_2} = A_{io} \frac{1 + j\omega/\omega_1}{1 + j\omega/\omega_2} = |A_i|e^{j\theta} \tag{9.1-4}$$

donde

$$A_{io} = A_{im} \frac{\omega_1}{\omega_2}$$

En la mayoría de problemas prácticos el interés se centra en la magnitud y el ángulo de fase de $A_i(j\omega)$. Estos son

$$|A_i| = A_{io} \frac{\sqrt{1 + (\omega/\omega_1)^2}}{\sqrt{1 + (\omega/\omega_2)^2}} \tag{9.1-5}$$

$$\theta = \left(\text{tg}^{-1} \frac{\omega}{\omega_1}\right) - \left(\text{tg}^{-1} \frac{\omega}{\omega_2}\right) \tag{9.1-6}$$

Hallemos primero A_i, en decibelios:

$$|A_i|_{\text{dB}} = 20(\log A_{io}) + 20\left[\log \sqrt{1 + \left(\frac{\omega}{\omega_1}\right)^2}\right] - 20\left[\log \sqrt{1 + \left(\frac{\omega}{\omega_2}\right)^2}\right] \tag{9.1-7}$$

El problema queda ahora considerablemente simplificado. Representamos cada uno de los factores (9.1-7) y luego sumamos gráficamente las curvas individuales.

Para explicarlo consideremos (9.1-7). El primer término, $20 \log A_{io}$, es una constante. Para representar gráficamente el segundo término consideremos el comportamiento asintótico en frecuencias muy bajas y muy altas:
En frecuencias bajas ($\omega \to 0$):

$$20 \log \sqrt{1 + \left(\frac{\omega}{\omega_1}\right)^2} \longrightarrow 20 \log 1 = 0 \text{ dB} \qquad (9.1\text{-}8a)$$

En frecuencias altas ($\omega \gg \omega_1$):

$$20 \log \sqrt{1 + \left(\frac{\omega}{\omega_1}\right)^2} \longrightarrow 20 \log \sqrt{\left(\frac{\omega}{\omega_1}\right)^2} = 20 \log \frac{\omega}{\omega_1} \text{ dB} \qquad (9.1\text{-}8b)$$

La asíntota en altas frecuencias es una línea recta cuando se la representa en función de ω en escala logarítmica y la asíntota en bajas frecuencias es simplemente una constante. Se cortan en $\omega = \omega_1$ a causa de que la asíntota en altas frecuencias es 0 dB en este punto. ω_1 se denomina *frecuencia de codo*. Las asíntotas están trazadas en la Figura 9.1-2.

La pendiente de la asíntota en altas frecuencias se suele expresar en términos de relaciones de frecuencia de *octava* (2:1) o de *década* (10:1). Así pues, un aumento de frecuencia de una *octava* da por resultado un aumento de ganancia [Ec. (9.1-8*b*)] de

$$\Delta |A_i|_{\text{dB}} = 20 \log 2 = +6 \text{ dB} \qquad (9.1\text{-}9a)$$

Un aumento de frecuencia de una *década* da por resultado una relación de ganancia de

$$\Delta |A_i|_{\text{dB}} = 20 \log 10 = +20 \text{ dB} \qquad (9.1\text{-}9b)$$

Cuando son conocidas la pendiente y la frecuencia en que la asíntota pasa por 0 dB, se pueden representar fácilmente las ecuaciones como (9.1-8*b*) en papel gráfico *semilogarítmico*.

Consideremos ahora el tercer término de (9.1-7). Vemos que se mantiene lo dicho anteriormente con excepción de que la frecuencia de codo corresponde a ω_2 y la pendiente por encima de ω_2 es de -6 dB/octava.

Generalmente la curva asintótica es suficiente para tener la información necesaria. Si se requiere una curva más exacta, se pueden aplicar simples correcciones a la curva asintótica. La diferencia entre las curvas real y asintótica para un factor de una sola frecuencia de la forma $1 + j\omega/\omega_1$ suele ser despreciable en frecuencias que estén separadas más de una octava a cada lado de la frecuencia de codo. Las correcciones que deben ser aplicadas pueden ser halladas como sigue. En ω_1 la curva asintótica pasa por 0 dB, mientras el valor real es

$$20 \log \sqrt{1 + \left(\frac{\omega}{\omega_1}\right)^2} = 10 \log 2 \approx 3 \text{ dB}$$

Así la curva real está 3 dB por encima de la asíntota en la frecuencia de codo. Cálculos análogos en $2\omega_1$ y $\omega_1/2$ indican que la curva real está aproximadamente 1 dB por encima de la curva asintótica (obsérvese que 1 dB representa un error del 10 por 100). Estos resultados están ilustrados en la Figura 9.1-2.

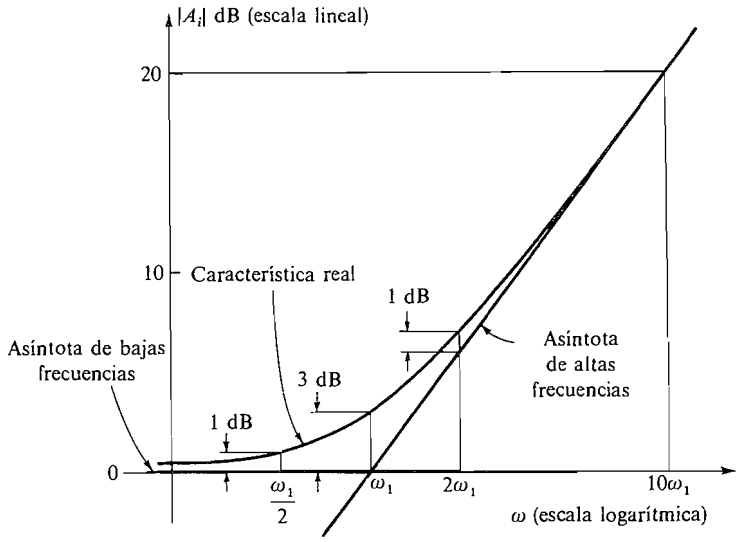


Figura 9.1-2. Características de frecuencia asintótica y real.

Variación del ángulo de fase. El ángulo de fase de la función ganancia se puede hallar aproximadamente mediante asíntotas. Para un factor de una sola frecuencia el ángulo de fase es $\theta = \text{tg}^{-1}(\omega/\omega_1)$. Las asíntotas que a menudo se utilizan para esto son

$$\theta = \begin{cases} 0° & \omega < \omega_1/10 \\ 45° \left(1 + \log \dfrac{\omega}{\omega_1}\right) & \dfrac{\omega}{10} < \omega < 10\omega_1 \\ 90° & \omega > 10\omega_1 \end{cases}$$

(cuando $\omega = \omega_1/10$, $\theta = 5{,}7°$ y cuando $\omega = 10\omega_1$, $\theta = 84{,}3°$). Las curvas de fase asintótica y real están representadas en la Figura 9.1-3. Utilizando estas características asintóticas se pueden representar rápida y exactamente las curvas de amplitud y de fase después de reducir la función de transferencia a su forma factorial (9.1-4).

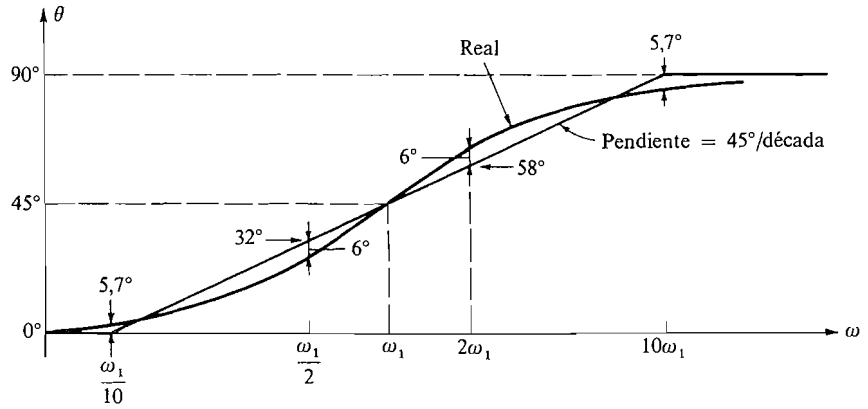


Figura 9.1-3. Fase de $1 + j\omega/\omega_1$.

EJEMPLO 9.1-1

Representar la magnitud asintótica de la función ganancia

$$A_i = 40 \frac{1 + j\omega/10}{1 + j\omega/50}$$

Solución

La constante es 20 log 40 = 32 dB. La primera frecuencia de codo, $\omega_1 = 10$ rad/s, está en el numerador y la segunda, $\omega_2 = 50$ rad/s, está en el denominador. Los factores individuales están indicados en la Figura 9.1-4*a* y su suma en la Figura 9.1-4*b*. La asíntota de altas frecuencias para $|A_i|$ es una constante, que puede ser hallada gráficamente o bien por la forma asintótica

$$A_i(\omega \gg \omega_2) \approx 40 \frac{j\omega/10}{j\omega/50} = (40)(5) = 200$$

o en decibelios

$$|A_i(\omega \gg \omega_2)| = 20 \log 200 = 46 \text{ dB}$$

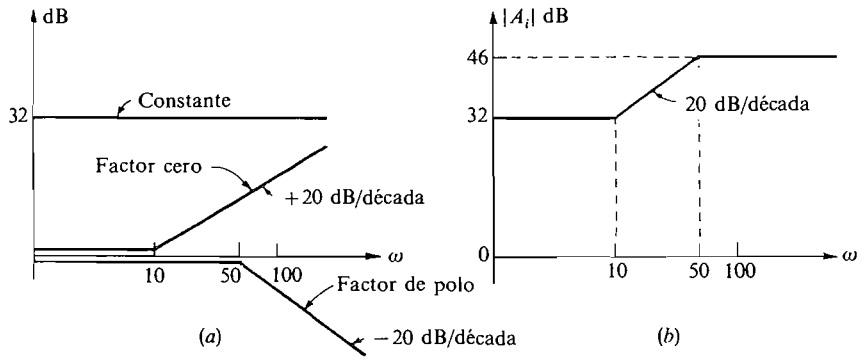


Figura 9.1-4. Gráficos asintóticos de amplitud para el Ejemplo 9.1-1: (*a*) esquema de factores individuales; (*b*) gráfico asintótico.

EJEMPLO 9.1-2

Trazar la curva asintótica de fase de la función ganancia del Ejemplo 9.1-1.

Solución

La fase es

$$\theta(\omega) = \left(\text{tg}^{-1} \frac{\omega}{10}\right) - \left(\text{tg}^{-1} \frac{\omega}{50}\right)$$

Las curvas de factores individuales y su suma están en la Figura 9.1-5.

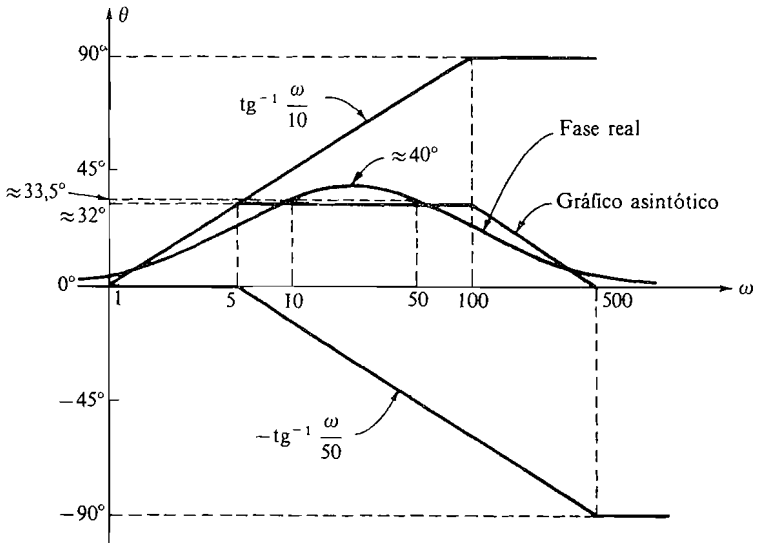


Figura 9.1-5. Curvas de fase real y asintótica para el Ejemplo 9.1-2.

EJEMPLO 9.1-3

Representar la magnitud y la fase de A_i en función de la frecuencia para el amplificador representado en la Figura 9.1-6.

Solución

El circuito equivalente de la Figura 9.1-6, representado en la Figura 9.1-7*a*, da la ganancia A_i. Así, por (9.1-1*a*), $i_c = i_e$,

$$A_i = \frac{i_c}{i_i} = \frac{i_c}{i_e}\frac{i_e}{i_i} \approx \frac{i_e}{i_i} \approx \frac{600}{8}\,\frac{j\omega + 1/10^{-3}}{j\omega + 1/(80 \times 10^{-6})} \approx 6\,\frac{1 + j10^{-3}\omega}{1 + j80 \times 10^{-6}\omega}$$

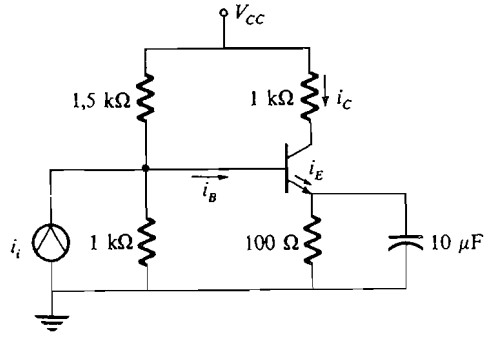


Figura 9.1-6. Circuito para el Ejemplo 9.1-3: $A_i = i_c/i_i$; $h_{fe} = 200$; $h_{ie} = 1$ kΩ.

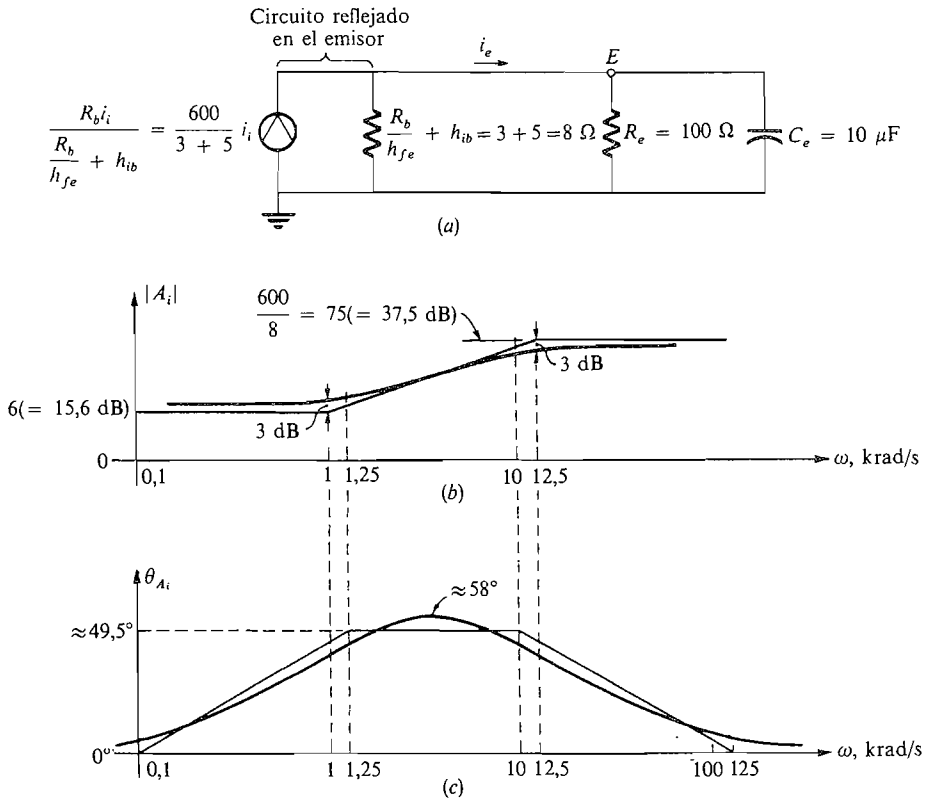


Figura 9.1-7. (*a*) Circuito equivalente para el Ejemplo 9.1-3; (*b*) ganancia en función de ω; (*c*) fase en función de ω.

De donde
$$|A_i| = 6 \frac{\sqrt{1 + 10^{-6}\omega^2}}{\sqrt{1 + (80^2)(10^{-12}\omega^2)}}$$

y
$$\theta_{A_i} = (\text{tg}^{-1}\, 10^{-3}\omega) - \text{tg}^{-1}\,(80 \times 10^{-6}\omega)$$

Estos resultados están representados en la Figura 9.1-7*b* y *c*. Una manera simple de representar $|A_i|$ es representar primero las asíntotas en bajas y altas frecuencias ($\omega = 0$ y ∞). Marcar la frecuencia de codo cero $\omega_1 = 1/R_eC_e$ y del polo $\omega_2 \approx 1/[(R_b/h_{fe}) + h_{ib}]C_e$. Luego se unen estos dos puntos por una línea recta. La fase puede ser representada gráficamente mediante una técnica análoga. Marcar la fase en 0,1 y 10 veces las frecuencias del cero y del polo. Unir los cuatro puntos resultantes por líneas rectas.

La Figura 9.1-7*b* muestra que la frecuencia inferior de corte o de 3 dB ocurre en $\omega_L = 12{,}5 \times 10^3$ rad/s, o sea

$$f_L \approx 2\ \text{kHz}$$

Para aplicaciones de audio, ésta es una frecuencia extremadamente alta en la cual termina la región de bajas frecuencias. Si se aumentase C_e hasta 1000 μF, f_L se reduciría a 20 Hz, que es un valor más razonable.

9.1-3. El condensador de acoplo

Suele ser necesario el condensador C_{c1} de la Figura 9.1-8 para acoplar la señal de c.a. de la fuente a la base del transistor y también para bloquear toda c.c. de modo que no se alteren las condiciones de polarización. Vamos a estudiar el efecto de C_{c1} sobre la respuesta del circuito, suponiendo que el emisor no está desacoplado*.

El efecto de C_{c1} sobre la respuesta en baja frecuencia del amplificador de la Figura 9.1-8 se obtiene por reflexión de R_e en el circuito de base, como muestra la Figura 9.1-9*a*, que luego es transformada, utilizando el teorema de Thévenin, en la forma representada en la Figura 9.1-9*b*.

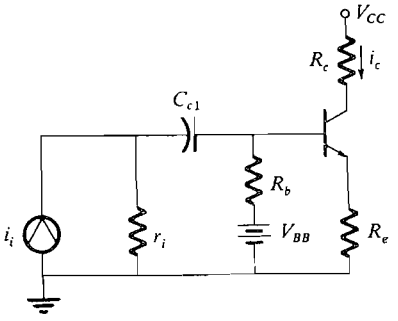


Figura 9.1-8. Amplificador en configuración en emisor común con condensador de acoplo de entrada.

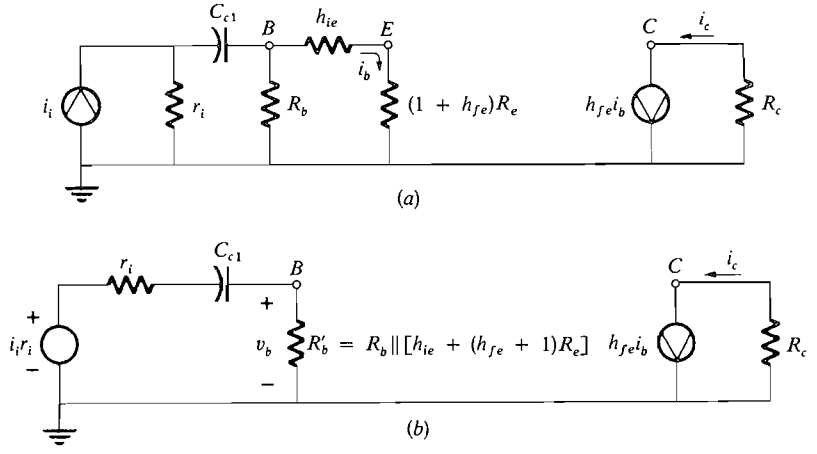


Figura 9.1-9. (*a*) Circuito equivalente de baja frecuencia y pequeña señal para el amplificador de la Figura 9.1-8; (*b*) circuito equivalente reducido.

* La respuesta del circuito representado en la Figura 9.1-8 es la misma que la de un circuito amplificador que tenga una resistencia de emisor desacoplada en la región de frecuencia donde $\omega < 1/R_eC_e$.

La ganancia de corriente del amplificador será

$$A_i = \frac{i_c}{i_i} = \frac{i_c}{i_b}\frac{i_b}{v_b}\frac{v_b}{i_i} = h_{fe}\left(\frac{1}{h_{ie} + (1 + h_{fe})R_e}\right)\left(\frac{r_i R_b'}{r_i + R_b' + 1/sC_{c1}}\right) \tag{9.1-10a}$$

donde

$$R_b' = R_b \| [h_{ie} + (1 + h_{fe})R_e] \tag{9.1-10b}$$

Esta ecuación se puede simplificar

$$A_i \approx \left(\frac{r_i \| R_b'}{h_{ib} + R_e}\right)\left(\frac{s}{s + 1/[(r_i + R_b')C_{c1}]}\right) \tag{9.1-11}$$

La frecuencia a 3 dB de este circuito es

$$f_L = \frac{1}{2\pi(r_i + R_b')C_{c1}} \tag{9.1-12}$$

La Figura 9.1-10 es un gráfico de *Bode* de la magnitud de ganancia de corriente.

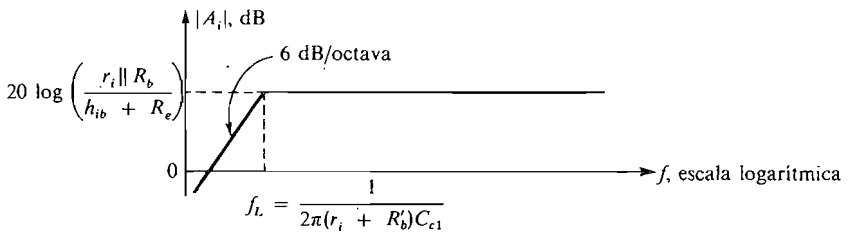


Figura 9.1-10. Gráfico de Bode para circuito EC.

EJEMPLO 9.1-4

En el amplificador de la Figura 9.1-8, $h_{ie} = 1$ kΩ, $r_i = 10$ kΩ, $R_b = 1$ kΩ, $R_e = 100$ Ω, $C_{c1} = 10$ μF y $h_{fe} = 100$. (*a*) Hallar la frecuencia de corte o de 3 dB, f_L, del amplificador. (*b*) Suponer que R_e está perfectamente desacoplada ($C_e \to \infty$). ¿Cuál es la frecuencia inferior de corte o de 3 dB, f_L?

Solución

(*a*) Utilizando (9.1-12) y (9.1-10*b*), tenemos

$$f_L = \frac{1}{2\pi(10 \times 10^3 + \{10^3 \| [10^3 + (100)(100)]\}) \times 10^{-5}} \approx 1{,}6 \text{ Hz}$$

(*b*) Nuevamente, utilizando (9.1-12) y (9.1-10*b*) con $R_e = 0$, tenemos

$$f_L = \frac{1}{2\pi[(10 \times 10^3) + (10^3 \| 10^3)] \times 10^{-5}} \approx 1{,}6 \text{ Hz}$$

Los resultados son iguales, ya que ambos se han obtenido, cuando $r_i \gg R'_b$, por la ecuación

$$f_L = \frac{1}{2\pi r_i C_{c1}}$$

9.1-4. Los condensadores de acoplo de base y colector

Si en la Figura 9.1-8 está acoplada capacitivamente la señal de colector a una carga resistiva, la respuesta en frecuencia dependerá de ambos condensadores de acoplo. La Figura 9.1-11*a* muestra esta configuración y la Figura 9.1-11*b* muestra el circuito equivalente resultante. La ganancia es

$$A_i = \frac{i_L}{i_i} = \frac{i_L}{i_b}\frac{i_b}{v_b}\frac{v_b}{i_i} = -h_{fe}\left(\frac{R_c}{R_c + R_L + \dfrac{1}{sC_{c2}}}\right)\left(\frac{1}{h_{ie} + (1 + h_{fe})R_e}\right)\left(\frac{r_i R'_b}{r_i + R'_b + \dfrac{1}{sC_{c1}}}\right) \tag{9.1-13a}$$

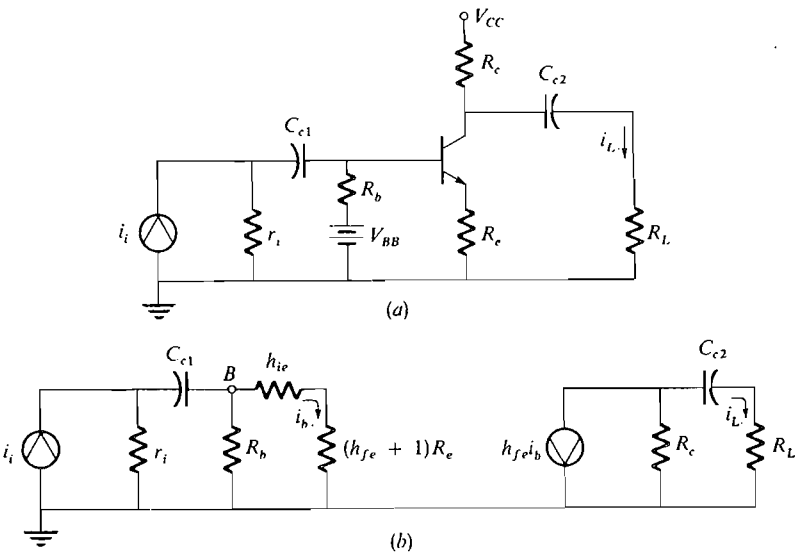


Figura 9.1-11. Amplificador EC con condensadores de acoplo de base y colector (entrada y salida): (*a*) circuito; (*b*) circuito equivalente $R'_b = R_b \| [h_{ie} + (h_{fe} + 1)R_e]$.

la cual puede ser simplificada en

$$A_i \approx -\left(\frac{R_c}{R_c + R_L}\right)\left(\frac{r_i \| R_b'}{h_{ib} + R_e}\right)\left(\frac{s}{s + \dfrac{1}{(r_i + R_b')C_{c1}}}\right)\left(\frac{s}{s + \dfrac{1}{(R_c + R_L)C_{c2}}}\right) \tag{9.1-13b}$$

La ecuación (9.1-13*b*) y la Figura 9.1-11*b* indican que los dos circuitos de acoplo no interaccionan.

EJEMPLO 9.1-5

Representar la magnitud y la fase de ganancia de corriente en función de ω para el amplificador de la Figura 9.1-12. El circuito equivalente de este amplificador está representado en la Figura 9.1-13.

Solución

La ganancia es

$$A_i = \frac{i_L}{i_i} = \frac{i_L}{i_b}\frac{i_b}{i_i} = -\left(\frac{1500\ h_{fe}}{1600 + 1/j\omega 10^{-5}}\right)\left(\frac{1000}{1500 + 1/(j\omega 2 \times 10^{-4})}\right)\frac{1}{2}$$

$$= (-75 \times 10^6)\frac{(j\omega 10^{-5})(j\omega 2 \times 10^{-4})}{(1 + j\omega 16 \times 10^{-3})(1 + j\omega 30 \times 10^{-2})}$$

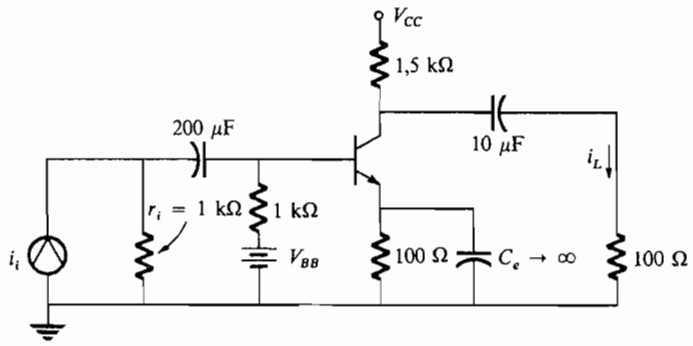


Figura 9.1-12. Amplificador para el Ejemplo 9.1-5: $h_{fe} = 100$; $h_{ie} = 1$ kΩ.

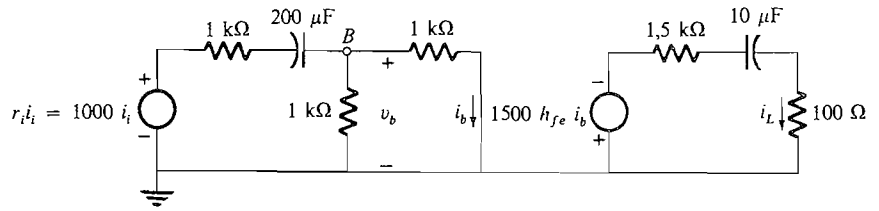


Figura 9.1-13. Cicruito equivalente del amplificador representado en la Figura 9.1-12.

La magnitud de la ganancia de corriente está representada en la Figura 9.1-14. El ángulo de fase puede ser representado gráficamente en función de ω haciendo uso de la técnica explicada en la Sección 9.1-2. Por ejemplo, observemos que

$$\theta \approx \begin{cases} -\pi & \omega \longrightarrow \infty \\ 0 & \omega \longrightarrow 0 \\ -\dfrac{\pi}{4} & \omega = 3{,}3 \text{ rad/s} \\ -\dfrac{3\pi}{4} & \omega = 6{,}25 \text{ rad/s} \end{cases}$$

El gráfico de θ en función de ω está en la Figura 9.1-15.

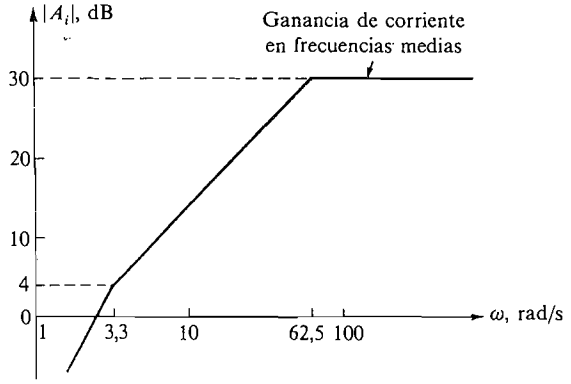


Figura 9.1-14. Ganancia en función de la frecuencia para el Ejemplo 9.1-5.

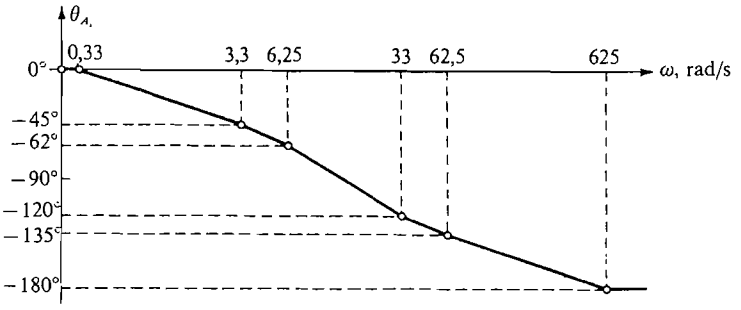


Figura 9.1-15. Angulo de fase en función de ω para el Ejemplo 9.1-5.

El Ejemplo 9.1-5 se refiere a la respuesta en frecuencia de un amplificador con dos polos ampliamente separados entre sí. Para obtener esta separación, C_{c1} era un condensador grande, de 200 μF. La mayoría de las veces sólo hemos estado interesados en la frecuencia de corte 3 dB y no hemos hecho uso de un valor tan grande como 200 μF para C_{c1} sino de uno de 20 μF, por ser éste más pequeño y menos costoso. Ahora los polos resultantes estarán ampliamente separados y el punto 3 dB no está situado en el primer polo, sino que realmente ocurre en una frecuencia más alta. Por ejemplo, consideremos que en (9.1-13*b*) coinciden los dos polos. Entonces

$$A_i = A_{im}\left(\frac{s}{s + \omega_0}\right)^2 \tag{9.1-14a}$$

donde

$$A_{im} = \left(\frac{-R_c}{R_c + R_L}\right)\left(\frac{r_i \| R'_b}{h_{ib} + R_e}\right) \tag{9.1-14b}$$

y

$$\omega_0 = \frac{1}{(r_i + R'_b)C_{c1}} = \frac{1}{(R_c + R_L)C_{c2}} \tag{9.1-14c}$$

Por tanto

$$\left|\frac{A_i}{A_{im}}\right|^2 = \frac{\omega^4}{(\omega^2 + \omega_0^2)^2} = \frac{1}{[1 + (\omega_0/\omega)^2]^2} \tag{9.1-15}$$

La frecuencia de 3 dB, ω_L, se define en (9.1-3*b*) como la frecuencia en que $|A_i/A_{im}|^2 = 1/2$. Entonces

$$\left[1 + \left(\frac{\omega_0}{\omega_L}\right)^2\right]^2 = 2 \tag{9.1-16a}$$

y

$$\omega_L = \frac{\omega_0}{\sqrt{0{,}414}} \approx 1{,}55\ \omega_0 \tag{9.1-16b}$$

Si los polos no coinciden, la ecuación cuadrática que resulta cuando se combinan los dos factores en (9.1-13*b*) da el punto 3 dB. Así, refiriéndonos a (9.1-13*b*), tenemos

$$\left|\frac{A_i}{A_{im}}\right|^2 = \frac{\omega_L^4}{(\omega_L^2 + \omega_1^2)(\omega_L^2 + \omega_2^2)} = \frac{1}{2} \tag{9.1-17a}$$

donde

$$\omega_1 = \frac{1}{(r_i + R'_b)C_{c1}} \tag{9.1-17b}$$

y

$$\omega_2 = \frac{1}{(R_c + R_L)C_{c2}} \tag{9.1-17c}$$

La frecuencia de 3 dB se halla entonces resolviendo

$$\omega_L^4 + (\omega_1^2 + \omega_2^2)\omega_L^2 + \omega_1^2\omega_2^2 = 2\omega_L^4 \tag{9.1-18a}$$

lo que da

$$\omega_L^2 = \frac{\omega_1^2 + \omega_2^2}{2} + \frac{\sqrt{\omega_1^4 + 6\omega_1^2\omega_2^2 + \omega_2^4}}{2} \tag{9.1-18b}$$

9.1-5. Efecto combinado de los condensadores de desacoplo y de acoplo

En la mayoría de las aplicaciones están presentes todas las capacidades C_{c1}, C_{c2} y C_e y el análisis se hace más complicado. Entonces, es difícil obtener información de diseño a no ser que se introduzcan simplificaciones. Nuestro objetivo es hallar una manera de seleccionar los condensadores de desacoplo y de acoplo para conseguir una respuesta dada en baja frecuencia. A menudo las especificaciones de diseño sólo requieren que se mantenga la respuesta en el valor medio de la banda hasta una cierta frecuencia ω_L punto en el cual puede descender 3 dB. Por debajo de esta frecuencia de codo la forma de la curva de respuesta es a menudo poco importante a condición de que la ganancia continúe disminuyendo con la frecuencia.

Cuando éste es el caso, el circuito se diseña de manera que el condensador de desacoplo de emisor C_e determine la frecuencia de codo. Esto se hace para minimizar el tamaño del condensador. La Ecuación (9.1-2*b*) muestra que la resistencia efectiva, que actúa conjuntamente con C_e para producir la frecuencia de 3 dB, es pequeña ($\approx h_{ib} + R_b/h_{fe}$). Así, para obtener una frecuencia inferior de 3 dB, C_e debe ser grande. Si se obtiene la frecuencia de 3 dB utilizando una combinación RC diferente, C_e debe ser *aun más grande*, lo que da lugar a un incremento de tamaño y coste.

Los condensadores de acoplo C_{c1} y C_{c2} se eligen de manera que produzcan frecuencias de codo muy inferiores a ésta. Cuando se diseña el circuito de esta manera, los condensadores C_{c1} y C_{c2} suelen ser mucho menores que C_e.

EJEMPLO 9.1-6

El amplificador de la Figura 9.1-16 debe tener una frecuencia de corte de 20 Hz. Seleccionar C_{c1}, C_{c2} y C_e para que se satisfaga esta especificación.

Solución

Comenzamos seleccionando C_e para obtener la frecuencia de corte necesaria de 20 Hz. Por (9.1-2*b*)

$$f_L = 20 = \frac{1}{2\pi C_e[60 \| (10 + 10)]} \qquad C_e \approx 530\ \mu\text{F}$$

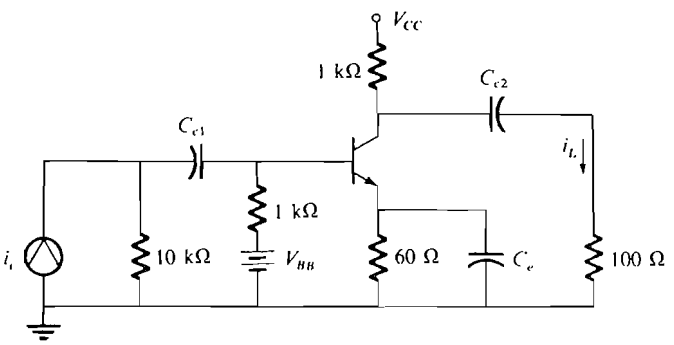


Figura 9.1-16. Circuito para el Ejemplo 9.1-6; $h_{fe} = 100$; $h_{ie} = 1$ kΩ.

Utilizamos un condensador estándar de 500 ó 1000 μF. Los condensadores de acoplo C_{c1} y C_{c2} se eligen de modo que las frecuencias de codo ocurran muy por debajo de los 20 Hz. En la Figura 9.1-2 vemos que muy por debajo de la frecuencia de 3 dB significa que las frecuencias de codo deben estar situadas en el espectro a distancia mayor de una octava en sentido descendente. Desde luego, una década por debajo de la frecuencia de 3 dB representa una muy adecuada separación. Así, en el ejemplo, las frecuencias de codo debidas a C_{c1} y C_{c2} se han elegido de modo que estén distanciadas 2 Hz. Entonces por (9.1-17*b*),

$$C_{c1} \approx \frac{1}{2\pi(2)(10^4)} = 8\ \mu\text{F} \qquad \text{(se usa un condensador de 10 } \mu\text{F)}$$

y por (12.1-17*c*),

$$C_{c2} \approx \frac{1}{2\pi(2)(10^3)} = 80\ \mu\text{F} \qquad \text{(se usa un condensador de 100 } \mu\text{F)}$$

9.2. RESPUESTA EN BAJA FRECUENCIA DEL AMPLIFICADOR FET

La respuesta en baja frecuencia del amplificador FET está determinada principalmente por el condensador de desacoplo de fuente a causa de las magnitudes relativas de las resistencias del circuito. En esta sección consideraremos el efecto de este condensador suponiendo que las capacidades de los condensadores de acoplo de entrada y salida son infinitas. El efecto de los condensadores de acoplo se considerará en los problemas.

9.2-1. El condensador de desacoplo de fuente

En el amplificador FET de la Figura 9.2-1*a* se supone que los condensadores de acoplo tienen capacidad infinita, por lo que la frecuencia de 3 dB está originada por el condensador de desacoplo de fuente. En los problemas se ve que, incluso cuando se considera que los condensadores de acoplo son considerablemente más pequeños que el condensador de desacoplo, el que determina la frecuencia de codo f_L es el condensador de desacoplo de fuente.

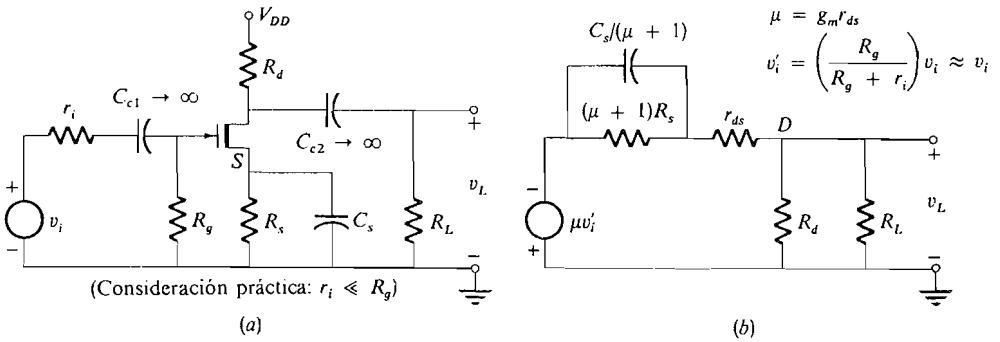


Figura 9.2-1. (*a*) Circuito amplificador FET; (*b*) circuito equivalente en pequeña señal.

El circuito equivalente del amplificador está representado en la Figura 9.2-1*b*. En esta figura el circuito de fuente ha sido reflejado en el circuito de drenaje. La ganancia de tensión es

$$A'_v = \frac{v_L}{v'_i} = -\frac{\mu(R_d \| R_L)}{(R_d \| R_L) + r_{ds} + (\mu + 1)R_s/(1 + sR_sC_s)} \tag{9.2-1}$$

que puede ponerse en la forma

$$A'_v = \frac{v_L}{v'_i} = -\left[\frac{\mu(R_d \| R_L)}{(R_d \| R_L) + r_{ds}}\right]\left(\frac{s + 1/R_sC_s}{s + \dfrac{1}{C_s\{R_s[(R_d \| R_L) + r_{ds}]/[(\mu + 1)R_s + r_{ds} + (R_d \| R_L)]\}}}\right) \tag{9.2-2}$$

Vemos que la forma de (9.2-2) es análoga a la de (9.1-1). Sustituyendo $\mu = g_m r_{ds}$ en (9.2-2) se obtiene la expresión final de la ganancia de tensión:

$$A_v = \frac{v_L}{v_i} \approx \frac{v_L}{v'_i} = -g_m R_\| \left(\frac{s + 1/R_sC_s}{s + \dfrac{1}{C_s\{R_s[(R_d \| R_L) + r_{ds}]/[(\mu + 1)R_s + r_{ds} + (R_d \| R_L)]\}}}\right) \tag{9.2-3}$$

donde $$R_\| = r_{ds} \| R_d \| R_L$$

Para hallar la ganancia en el centro de la banda, sea $s = j\omega \to j\infty$. Entonces

$$A_{vm} = \left.\frac{v_L}{v_i}\right|_{\omega \to \infty} = -g_m R_\| \left(\frac{R_g}{r_i + R_d}\right) \approx -g_m R_\| \qquad r_i \ll R_g \tag{9.2-4}$$

Este resultado se puede obtener en la Figura 9.2-1 y su ganancia de tensión en frecuencias medias ya fue obtenida en la Sección 6.8.

La frecuencia angular de codo en que la ganancia de tensión es 3 dB inferior al valor correspondiente a las frecuencias medias se halla como en (9.1-13*b*). Suponiendo $\omega_L \gg 1/R_sC_s$, se tiene

$$\omega_L = \frac{1}{C_sR_s \dfrac{r_{ds} + (R_d \| R_L)}{(\mu + 1)R_s + r_{ds} + (R_d \| R_L)}} \tag{9.2-5}$$

EJEMPLO 9.2-1

Hallar C_s para obtener una frecuencia de codo de 10 Hz cuando $R_s = 1$ kΩ, $r_{ds} = 10$ kΩ, $R_d = 5$ kΩ, $R_L = 100$ kΩ y $g_m = 3$ mS. Calcular también la ganancia a frecuencias medias.

Solución

De (9.2-5)

$$C_s = \frac{1}{2\pi(10 \times 10^3)\dfrac{(10 \times 10^3) + (5 \times 10^3)}{(30 \times 10^3) + (10 \times 10^3) + (5 \times 10^3)}} = 47{,}8\ \mu\text{F}$$

Especificaremos un condensador estándar de 50 μF. Obsérvese que R_L no influye en el cálculo, ya que es relativamente grande con respecto a R_d. También hay que notar que $(\frac{1}{2}\pi)R_sC_s \approx 3{,}3$ Hz; por tanto, la verdadera frecuencia de 3 dB es 8,8 Hz [Ec. (9.1-3*d*)]. La ganancia de tensión en la frecuencia media es, por (9.2-4),

$$A_{vm} \approx (-3 \times 10^{-3})[(10 \times 10^3) \| (5 \times 10^3)] = -10$$

9.3. EL AMPLIFICADOR CON TRANSISTORES EN ALTAS FRECUENCIAS

Hemos visto que el comportamiento en baja frecuencia del circuito con transistores está determinado por los condensadores *externos* que son utilizados para acoplar y desacoplar el emisor. El límite superior de la respuesta de alta frecuencia del dispositivo está limitado por la capacidad *interna*.

Consideremos el transistor *pnp* de la Figura 9.3-1*a*. La unión colector-base parece como un diodo inversamente polarizado, como muestra la Figura 9.3-1*b*. Cuando el colector está polarizado negativamente con respecto a la base, los huecos de la región de colector se mueven en la región de colector y los electrones de la región de colector se mueven en la región de base. Los electrones de la base se separan de la unión base-colector y los huecos del colector también se separan de ella, formándose así una región de empobrecimiento. La longitud efectiva l de la región de empobrecimiento se hace cada vez más grande cuando aumenta la tensión inversa. Como los electrones y los huecos se han separado de la unión, la región de empobrecimiento de base llega a cargarse positivamente y la región de empobrecimiento de colector se carga negativamente (Fig. 9.3-1). Por tanto, la unión se comporta como un condensador cuya capacidad varía teóricamente en razón inversa a V_{CB}. Realmente, la capacidad de la unión colector-base $C_{b'c}$ es inversamente proporcional a la potencia de exponente 1/2 ó 1/3 de V_{CB}, dependiendo de si el transistor es del tipo de aleación o del tipo de unión por crecimiento. Esta capacidad es más bien pequeña y varía aproximadamente desde 30 pF en los transistores de baja potencia hasta menos de 1 pF en los transistores de alta frecuencia.

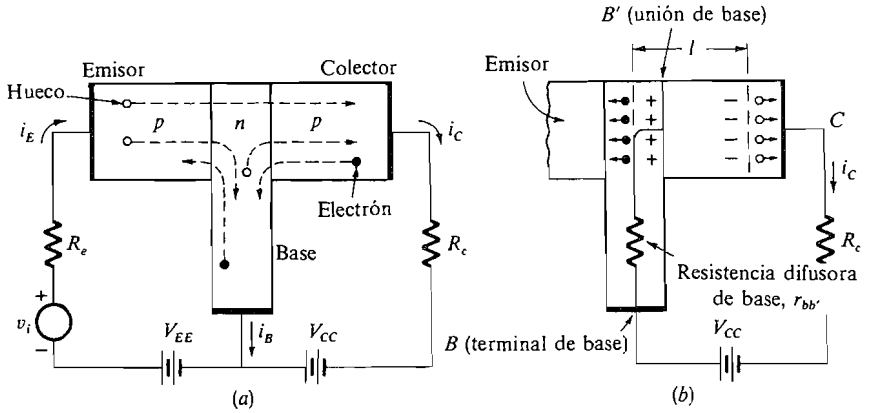


Figura 9.3-1. Capacidad colector-base: (*a*) transistor *pnp;* (*b*) región colector-base.

Además, existe una capacidad de difusión en la unión base-emisor. La capacidad de difusión es el resultado del retardo de tiempo que ocurre cuando un hueco se mueve desde el emisor hasta el colector por difusión a través de la base. Consideremos un hueco que se mueve a través de la base a causa de la señal v_i. Antes de que el hueco cruce la región de base, si se invierte la polaridad de la tensión, el hueco tenderá a volver al emisor y el colector no registrará este cambio de la corriente. Así, el tiempo necesario para cruzar la base será pequeño comparado con el período de la señal. Cuando la frecuencia de ésta aumenta, la corriente de colector disminuye a causa de que son atrapadas algunas cargas en la base. Puesto que la corriente disminuye cuando aumenta la frecuencia, el efecto es el mismo que el que produciría un condensador localizado $C_{b'e}$. Esta capacidad depende del número de cargas existentes en la región y aumenta casi linealmente con la corriente estática de emisor I_{EQ}. Usualmente $C_{b'e}$ es mucho mayor que $C_{b'c}$. Los valores típicos están comprendidos entre 50 y 5000 pF.

9.3-1. Circuito híbrido en pi equivalente

El modelo del transistor a alta frecuencia más útil es el llamado *híbrido en pi*, mostrado en la Figura 9.3-2. Este circuito representa un refinamiento del circuito equivalente híbrido en configuración en emisor común de la Figura 2.2-3*a*. En este circuito, el símbolo B' representa la unión de base y B representa el terminal de base. Entre estos dos tenemos la

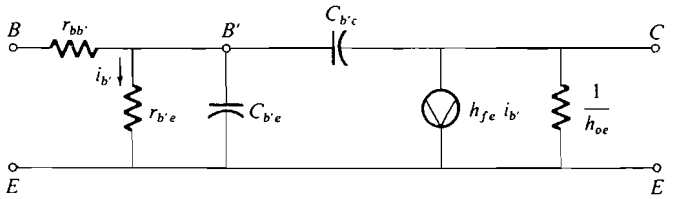


Figura 9.3-2. Modelo híbrido en pi de un transistor

resistencia óhmica de base $r_{bb'}$, que usualmente se considera constante en el margen de 10 a 50 Ω. Esta resistencia es directamente proporcional a la anchura de la base. Los transistores a alta frecuencia tienen menores anchuras de base y, por tanto, una $r_{bb'}$, más pequeña que los transistores a baja frecuencia. La resistencia $r_{b'e}$ es la resistencia de la unión base-emisor ($\approx 0{,}025\ h_{fe}/I_{EQ}$ a la temperatura ambiente) y habitualmente es mucho mayor que $r_{bb'}$. El lector se dará cuenta de que $r_{b'e}$ es equivalente a la h_{ie} que hemos estado utilizando hasta ahora como resistencia total base-emisor. Así una expresión más exacta de h_{ie} es

$$h_{ie} = r_{bb'} + r_{b'e} \approx r_{bb'} + \frac{0{,}025 h_{fe}}{I_{EQ}} \qquad T = 300\ \text{K} \tag{9.3-1}$$

Suele ser válida la aproximación $h_{ie} \approx r_{b'e}$.

La impedancia de salida $1/h_{oe}$ suele ser despreciada en altas frecuencias porque generalmente es mucho mayor que la impedancia de la carga externa R_L.

Frecuencia de corte. El origen de los condensadores en el circuito equivalente ha sido estudiado cualitativamente al comienzo de esta sección. Su efecto en frecuencias altas suele darse en términos de la frecuencia de corte β, f_β, definida como sigue. Sea $v_{ce} = 0$; entonces el modelo híbrido en pi representado en la Figura 9.3-2 se reduce a la forma representada en la Figura 9.3-3. En este circuito vemos que la ganancia de corriente en cortocircuito $(i_c/i_i)|_{v_{ce}=0}$ caerá 3 dB en una frecuencia

$$f_\beta = \frac{1}{2\pi r_{b'e}(C_{b'e} + C_{b'c})} \approx \frac{1}{2\pi r_{b'e} C_{b'e}} \tag{9.3-2}$$

Así f_β es la frecuencia 3 dB de cortocircuito en la configuración en emisor común.

El límite superior de frecuencia de un transistor se define algunas veces en términos de la frecuencia f_T en que la ganancia de la corriente en configuración en emisor común es la unidad. La ganancia de corriente de cortocircuito del amplificador ideal representado en la Figura 9.3-3 es

$$\frac{i_c}{i_i} = -\frac{h_{fe}}{1 + j\omega/\omega_\beta} \tag{9.3-3}$$

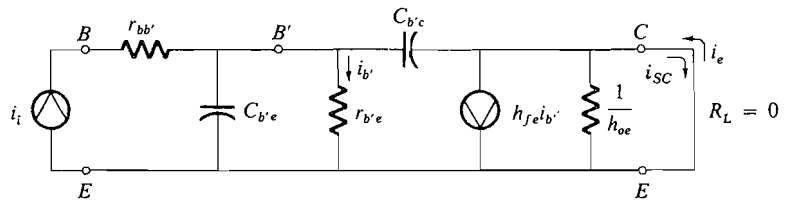


Figura 9.3-3. Modelo híbrido en pi utilizado para calcular f_β.

Esta ganancia llega a ser la unidad cuando

$$f = f_T = f_\beta \sqrt{h_{fe}^2 - 1} \approx f_\beta h_{fe} \tag{9.3-4}$$

La frecuencia f_T se suele denominar producto ganancia-ancho de banda del amplificador, aunque, en rigor, esto no es correcto. Esto se estudia en la Sección 9.6.

Si consideramos la configuración en base común a frecuencias medias y luego incluimos la capacidad base-emisor y la capacidad colector-base, se obtiene un modelo de alta frecuencia en configuración en base común similar al representado en la Figura 9.3-3. Este modelo está representado en la Figura 9.3-4. La ganancia de corriente de cortocircuito es

$$A_i = \left.\frac{i_{sc}}{i_i}\right|_{v_{cb}=0} \approx \frac{h_{fb}}{1 + j\omega/h_{fe}\omega_\beta} \tag{9.3-5}$$

y el ancho de banda de 3 dB de este amplificador se designa por f_α. Por (9.3-5)

$$f_\alpha = h_{fe} f_\beta \tag{9.3-6}$$

Comparando (9.3-4) y (9.3-6) se observa que $f_\alpha \approx f_T$. Realmente este resultado no es correcto porque el circuito de la Figura 9.3-4 no es válido en f_T. Ciertamente se puede demostrar que la frecuencia de corte α es[1,2]

$$f_\alpha = (1 + \lambda) f_T \approx (1 + \lambda) h_{fe} f_\beta \tag{9.3-7}$$

donde λ está comprendido entre 0,2 y 1, según se ha determinado empíricamente. Un valor típico es 0,4.

Cuando se utiliza el circuito equivalente de la Figura 9.3-2 suele ser más fácil calcular la tensión $v_{b'e}$ que la corriente i_b que circula por $r_{b'e}$. La fuente de la corriente de salida $h_{fe} i_{b'}$, puede ser transformada en una fuente de corriente controlada por tensión $g_m v_{b'e}$, donde

$$h_{fe} i_{b'} = h_{fe} \frac{v_{b'e}}{r_{b'e}} = g_m v_{b'e} \tag{9.3-8}$$

y

$$g_m = \frac{h_{fe}}{r_{b'e}} \approx \frac{I_{EQ}}{0{,}025} = 40 I_{EQ} \qquad \text{en } T = 300 \text{ K} \tag{9.3-9}$$

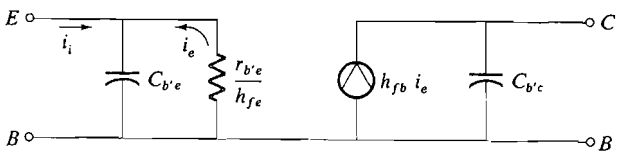


Figura 9.3-4. Modelo en base común para alta frecuencia.

Obsérvese que g_m es aproximadamente igual a $1/h_{ib}$. A fin de emplear notaciones iguales para el transistor y el FET utilizamos el símbolo g_m.

El circuito equivalente resultante en la configuración en emisor común está representado en la Figura 9.3-5.

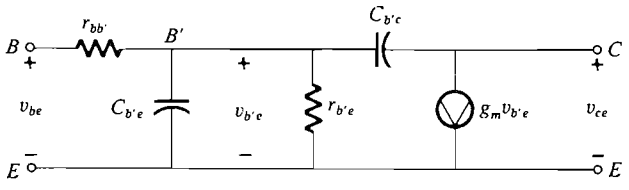


Figura 9.3-5. Híbrido en pi equivalente con fuente de corriente controlada por tensión ($h_{oe} = 0$).

Resumen de los elementos del circuito híbrido en pi equivalente

$$r_{bb'} \approx 10 \text{ a } 50\ \Omega \qquad (2 \text{ a } 5\ \Omega \text{ para transistores de alta frecuencia})$$

$$r_{b'e} = \frac{h_{fe}}{40I_{EQ}} \qquad g_m = \frac{I_{EQ}}{0{,}025} = 40I_{EQ} \qquad h_{oe} \propto I_{EQ}$$

$$C_{b'e} \approx \frac{h_{fe}}{\omega_T r_{b'e}} = \frac{40I_{EQ}}{\omega_T} = \frac{g_m}{\omega_T} \qquad \text{(9.3-2) y (9.3-4)}$$

$$C_{b'c} \propto v_{cb}^{-p} \qquad \text{donde } p \text{ está entre } 1/2 \text{ y } 1/3$$

($C_{b'c}$ es designado usualmente por el fabricante como C_{ob}, capacidad de salida en la configuración en base común.)

EJEMPLO 9.3-1

Las especificaciones del fabricante para un transistor de silicio 2N3647 son, en $I_{CQ} = 150$ mA, $V_{CEQ} = 1$ V:

$$f_T = 350 \text{ MHz} \qquad h_{fe} \approx 150 \qquad h_{oe} \approx 0{,}1 \text{ mS} \qquad C_{ob} = 4 \text{ pF}$$

De estos datos, deducir los valores de los componentes en el circuito equivalente de alta frecuencia de la Figura 9.3-5 si el transistor ha de funcionar con $I_{CQ} = 300$ mA.

Solución

$$r_{b'e} \approx \frac{h_{fe}}{40I_{CQ}} = \frac{150}{(40)(300)(10^{-3})} \approx 12{,}5\ \Omega$$

Como no se da $r_{bb'}$, le damos un valor de 10 Ω.

$$h_{fe} \approx 150 \qquad g_m = (40)(0{,}3) = 12 \text{ S} \qquad h_{oe} \approx 0{,}2 \text{ mS}$$

$$C_{b'e} \approx \frac{g_m}{\omega_T} = \frac{12}{2\pi(350)(10^6)} = 5450 \text{ pF} \qquad C_{b'c} = C_{ob} = 4 \text{ pF}$$

9.3-2. Comportamiento a alta frecuencia del amplificador en configuración en emisor común: capacidad Miller

El amplificador en emisor común representa el tipo de amplificador a alta frecuencia que más se utiliza. En esta sección se estudia su respuesta en alta frecuencia. Como se verá, esta respuesta está determinada por un solo polo debido al circuito de entrada.

La Figura 9.3-6*a* muestra una etapa completa en configuración en emisor común (EC) y su circuito equivalente de alta frecuencia está representado en la Figura 9.3-6*b*. En este circuito equivalente todos los condensadores de acoplo y desacoplo se supone que son cortocircuitos en las frecuencias que interesan. Han sido incorporadas las capacidades de las conexiones y otras parásitas, aunque algunas veces puedan resultar importantes.

Para mayor simplicidad representamos por R_b la combinación paralelo de R_1 y R_2, y supondremos que $r_i \gg R_b$ de forma que $r_i \| R_b \approx R_b$. Supondremos también que $R_L \ll R_c$ de forma que $R_c \| R_L \approx R_L$. El circuito equivalente simplificado está representado en la Figura 9.3-6*c*.

Para facilitar el análisis, este circuito puede ser tratado de una manera mucho más cómoda. Comenzamos convirtiendo $C_{b'c}$ (Fig. 9.3-7*a*) en la red de cuatro terminales o cuadripolos equivalentes de la Figura 9.3-7*b*. El lector puede comprobar que las figuras 9.3-7*a* y *b* son totalmente equivalentes con respecto a sus terminales exteriores, B' y C. En el circuito de la Figura 9.3-6*c* se realiza esta operación y la fuente de tensión $v_{b'e}$ se convierte en una fuente de corriente para obtener el circuito representado en la Figura 9.3-7*c*. En este circuito se han hecho las siguientes simplificaciones:

$$i_i' = \frac{i_i R_b}{R_b + r_{bb'}} \approx i_i \tag{9.3-10a}$$

y

$$R_{b'e} = r_{b'e} \| (R_b + r_{bb'}) \tag{9.3-10b}$$

En una aplicación práctica, la impedancia del condensador $C_{b'c}$ es mucho mayor que R_L y la fuente de corriente $j\omega C_{b'c} v_{b'e}$ que representa la corriente de fugas entre la entrada y salida, es mucho menor que la corriente normal del transistor $g_m v_{b'e}$. Por tanto suponemos que

$$\frac{1}{\omega C_{b'c}} \gg R_L \tag{9.3-11a}$$

y

$$\omega C_{b'c} \ll g_m \tag{9.3-11b}$$

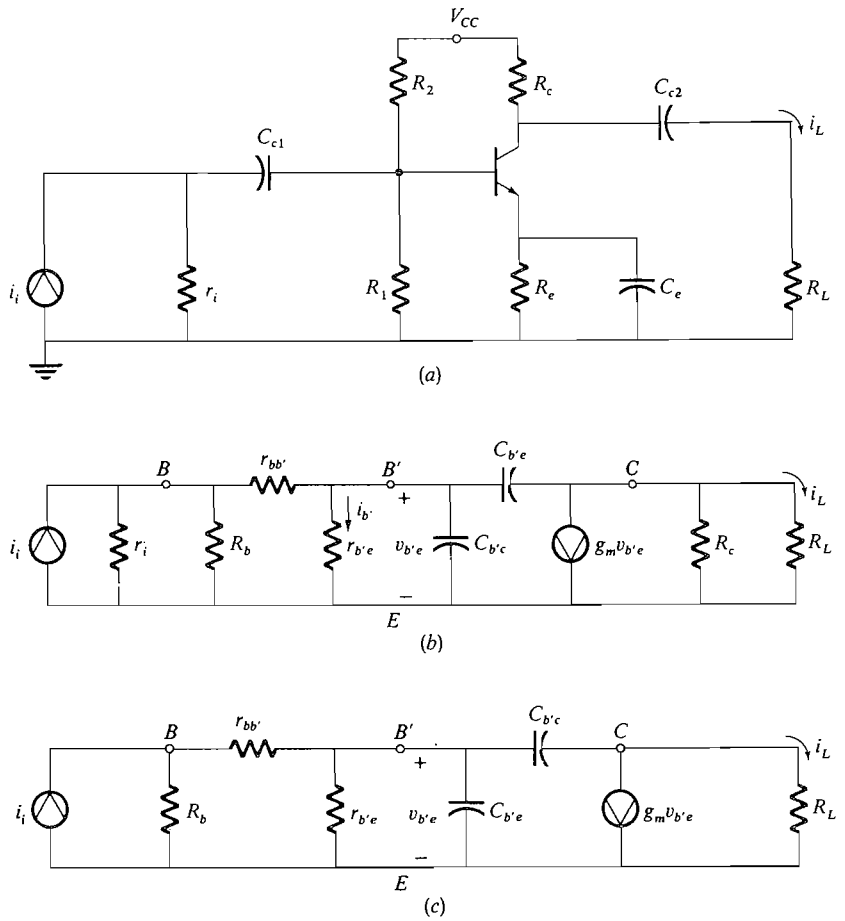


Figura 9.3-6. El amplificador en emisor común a frecuencias altas ($h_{oe} = 0$): (*a*) circuito; (*b*) circuito equivalente de altas frecuencias; (*c*) circuito equivalente simplificado suponiendo que $R_b \ll r_i$ y $R_L \ll R_c$.

para todas las frecuencias de interés. Con estos supuestos el circuito se reduce al de la Figura 9.3-7*d*.

Antes de continuar el análisis determinemos el margen de frecuencia en el cual son válidas las desigualdades de (9.3-11). Si, por ejemplo, $g_m = 0{,}01$ S, $R_L = 1$ kΩ y $C_{b'c} = 5$ pF, entonces $f \ll 32$ MHz define el margen de frecuencia en que son válidas ambas desigualdades. Obsérvese que (9.3-11*a*) es casi siempre más restrictiva que (9.3-11*b*), ya que $R_L > 1/g_m$. Limitaremos la discusión a los casos en que se aplique (9.3-11).

Admitancia de entrada. Refiriéndonos a la porción de salida del circuito de la Figura 9.3-7*d*, hallamos

$$v_{ce} = -g_m R_L v_{b'e} \tag{9.3-12}$$

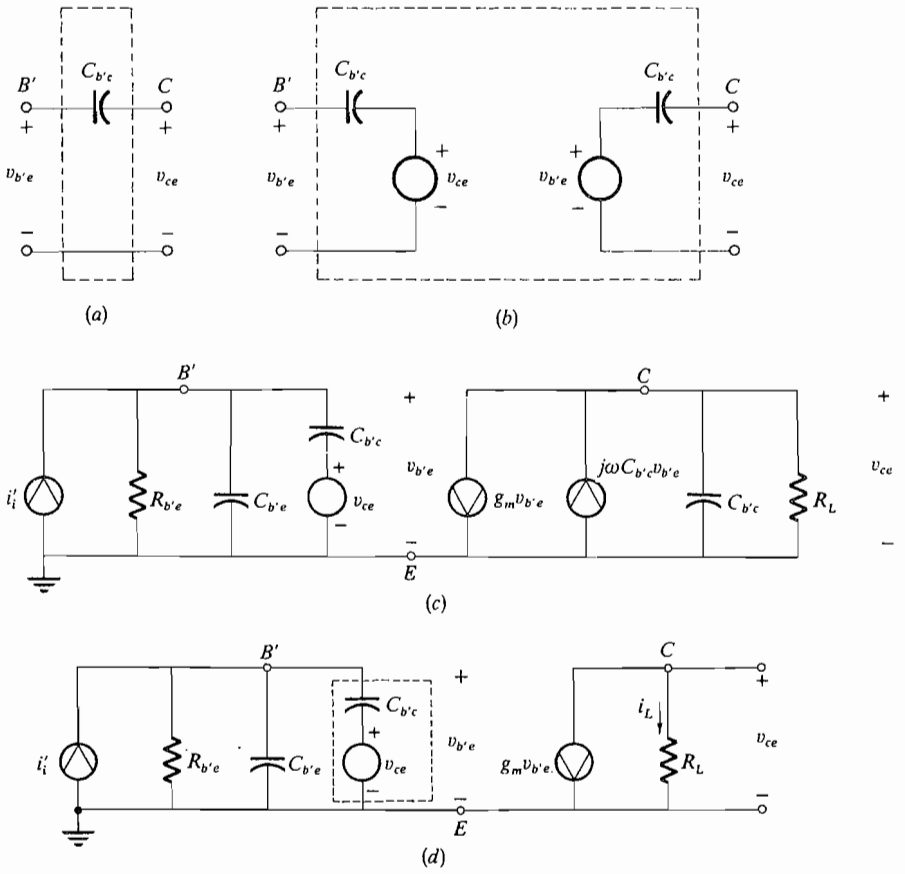


Figura 9.3-7. Etapa EC en altas frecuencias: (*a*), (*b*) equivalente de cuatro terminales de $C_{b'c}$; (*c*) circuito completo; (*d*) circuito simplificado.

Por tanto, la corriente que circula a través del condensador $C_{b'c}$ es

$$i_{C_{b'c}} = j\omega C_{b'c}(v_{b'e} + g_m R_L v_{b'e}) = j\omega C_{b'c}(1 + g_m R_L) v_{b'e} \tag{9.3-13}$$

El circuito serie que comprende el condensador $C_{b'c}$ y la tensión v_{ce} representado en la Figura 9.3-7*d*, puede ser, por tanto, sustituido por un condensador, llamado *condensador Miller*, que tenga la admitancia

$$j\omega C_M = \frac{i_{C_{b'c}}}{v_{b'e}} = j\omega C_{b'c}(1 + g_m R_L) \tag{9.3-14a}$$

De aquí que la capacidad Miller sea

$$C_M = C_{b'c}(1 + g_m R_L) \tag{9.3-14b}$$

Con esta definición, la admitancia de entrada Y_{in} es

$$Y_{\text{in}} = \frac{1}{R_{b'e}} \| j\omega C_{b'e} \| j\omega C_m \tag{9.3-15}$$

La forma final del circuito equivalente de alta frecuencia incluyendo el condensador Miller C_M está representado en la Figura 9.3-8. Con este circuito equivalente la ganancia de corriente del amplificador A_i es

$$A_i = \frac{i_L}{i_i'} = \frac{-g_m R_{b'e}}{1 + j\omega R_{b'e}(C_{b'e} + C_M)} \tag{9.3-16}$$

La Ecuación (9.3-16) indica que la ganancia en frecuencias medias A_{im} es

$$A_{im} = -g_m R_{b'e} \tag{9.3-17a}$$

y la frecuencia de corte superior es

$$f_h = \frac{1}{2\pi R_{b'e}(C_{b'e} + C_M)} \tag{9.3-17b}$$

En este tipo de amplificador RC, f_h suele ser mucho mayor que la frecuencia inferior de 3 dB, f_L (véase Fig. 9.1). Por tanto, es práctica común definir el *ancho de banda* 3 dB (B) del amplificador, que es realmente $f_h - f_L$, por f_h simplemente.

La Figura 9.3-9 es un gráfico asintótico de la ganancia del amplificador en función de la frecuencia.

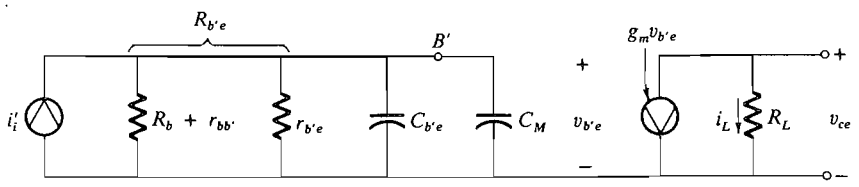


Figura 9.3-8. Circuito equivalente de alta frecuencia para la configuración en emisor común.

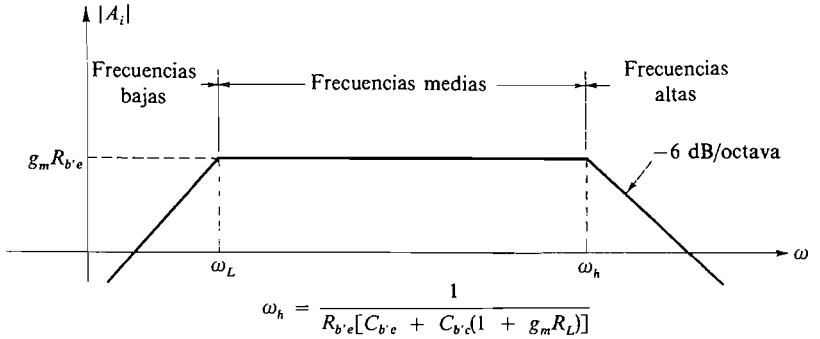


Figura 9.3-9. Respuesta en frecuencia de etapa EC.

EJEMPLO 9.3-2

El amplificador representado en la Figura 9.3-6*a* tiene los siguientes valores de los componentes

$$r_i = 10\ \text{k}\Omega \qquad C_{b'c} = 2\ \text{pF} \qquad R_b = 2\ \text{k}\Omega \qquad C_{b'e} = 200\ \text{pF}$$
$$r_{bb'} = 20\ \Omega \qquad g_m = 0{,}5\ \text{S} \qquad r_{b'e} = 150\ \Omega \qquad R_L = 20\ \Omega\ (R_c \gg R_L)$$

Hallar la ganancia de corriente en frecuencias medias y la frecuencia de 3 dB, f_h.

Solución

Ganancia de corriente en la región media de la banda. Por (9.3-17*a*)

$$A_{im} = -g_m R_{b'e} = -g_m[(R_b + r_{bb'}) \| r_i \| r_{b'e}] \approx -(0{,}5)(150) = -75$$

Frecuencia de 3 dB, f_h. De (9.3-14*b*) y (9.3-17*b*)

$$C_{b'e} + C_M = \{200 + 2[1 + (\tfrac{1}{2})(200)]\} = 400\ \text{pF}$$

$$f_h = \frac{1}{2\pi R_{b'e}(C_{b'e} + C_M)} \approx 2{,}6\ \text{MHz}$$

Validez del circuito de la Figura 9.3-8. La frecuencia de corte f_h, calculada utilizando la Figura 9.3-8, es válida cuando se aplica (9.3-11*a*); es decir

$$f_h \ll \frac{1}{2\pi R_L C_{b'c}} \approx 400\ \text{MHz}$$

Como $f_h = 2{,}6\ \text{MHz} \ll 400\ \text{MHz}$, (9.3-17*b*) es válida y será exactamente la frecuencia de corte superior.

Aproximación de f_h por f_β. Algunas veces se utiliza f_β como primera aproximación de f_h. En este ejemplo,

$$f_\beta = \frac{1}{2\pi r_{b'e} C_{b'e}} = 5{,}3\ \text{MHz}$$

y la aproximación no es muy buena. Desde luego, únicamente es buena la aproximación cuando

$$C_{b'e} \gg C_M = C_{b'c}(1 + g_m R_L) \quad \text{y} \quad R_{b'e} \approx r_{b'e}$$

Amplificación inversa. En muchas aplicaciones de comunicaciones, la etapa final del transmisor es un amplificador cuya carga resistiva es una antena que convierte la corriente de carga i_L, en una onda electromagnética que se transmite a otro lugar. No obstante, otras ondas electromagnéticas de transmisores cercanos pueden introducirse por la antena

y a través del condensador de realimentación $C_{b'c}$ (Fig. 9.3-6*c*), la energía procedente de estos transmisores puede realimentar la entrada del transistor. Es frecuente en estos casos que la corriente de entrada y la corriente de realimentación no deseada se sumen. La suma de ambas corrientes puede ser suficientemente grande para hacer que el transistor trabaje no linealmente, distorsionando la salida. Esto se denomina *distorsión de intermodulación.*

9.3-3. El seguidor de emisor a frecuencias altas

En esta sección determinaremos la dependencia respecto a la frecuencia del circuito seguidor de emisor representado en la Figura 9.3-10*a*. En la Figura 9.3-10*b* ha sido nuevamente dibujado el circuito con la sustitución de las tensiones de alimentación por cortocircuitos y estando representadas explícitamente las capacidades internas del transistor $C_{b'c}$ y $C_{b'e}$ y la resistencia $r_{bb'}$. Además, la parte del circuito que mira hacia la fuente desde la base del transistor está sustituida por su circuito Thévenin equivalente, en que la tensión Thévenin es $v_i' = [R_b/(r_i + R_b)]v_i$ y la resistencia Thévenin es $r_i \| R_b$. Para simplificar la notación definimos R_i como

$$R_i = (r_i \| R_b) + r_{bb'} \tag{9.3-18}$$

El circuito de la Figura 9.3-10*b* ha sido dibujado de nuevo para mayor claridad en la Figura 9.3-10*c*. Aquí vemos que si $C_{b'c}$ fuese cero, la respuesta en alta frecuencia estaría limitada por $C_{b'e}$. En frecuencias bajas la impedancia de $C_{b'e}$ es mucho mayor que la impedancia base-emisor $r_{b'c}$ y, por tanto, la corriente en R_e es principalmente la corriente de emisor i_e. De aquí que la impedancia vista desde A-A' sea $r_{b'e} + (h_{fe} + 1)R_e$ y la ganancia de tensión del seguidor de emisor es el valor correspondiente a las frecuencias medias A_{vm} donde

$$A_{vm} = \frac{(h_{fe} + 1)R_e}{(h_{fe} + 1)R_e + r_{b'e} + R_i} \tag{9.3-19a}$$

En frecuencias muy altas la impedancia $C_{b'e}$ es mucho menor que la de $r_{b'e}$ y la corriente en R_e es principalmente $i_{C_{b'e}}$ que es la que circula en $C_{b'e}$. Por tanto, ahora la impedancia vista desde AA' es sólo R_e y la ganancia se ha reducido sustancialmente a A_{vh}, donde (como $C_{b'c}$ se ha supuesto cero)

$$A_{vh} = \frac{R_e}{R_e + R_i} \tag{9.3-19b}$$

Para cualquier frecuencia ω, la corriente que circula en R_e es

$$I_{R_e} = i_e + i_{C_{b'e}} \tag{9.3-20a}$$

La corriente i_1 que entra en AA' es

$$i_1 = i_b + i_{C_{b'e}} \tag{9.3-20b}$$

donde

$$r_{b'e}i_b = \frac{1}{j\omega C_{b'e}} i_{C_{b'e}} \tag{9.3-20c}$$

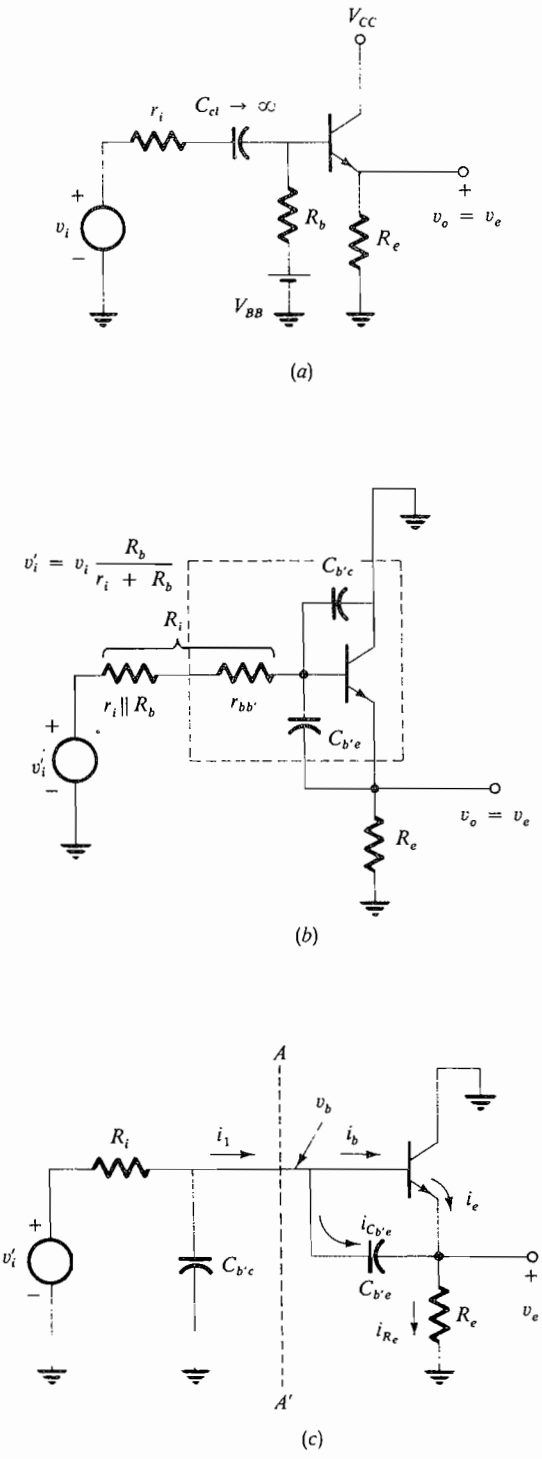


Figura 9.3-10. Seguidor de emisor: (*a*) circuito; (*b*) circuito mostrando la capacidad interna; (*c*) circuito redibujado para clarificar.

Sustituyendo (9.3-20*c*) en (9.3-20*b*) y en (9.3-20*a*) se tiene

$$i_i = (1 + j\omega r_{b'e}C_{b'e})i_b \tag{9.3-20d}$$

e

$$i_{R_e} = [(h_{fe} + 1) + j\omega r_{b'e}C_{b'e}]i_b \tag{9.3-20e}$$

Combinando (9.3-20*d*) y (9.3-20*e*), tenemos

$$i_1 = \left(\frac{1 + j\omega/\omega_\beta}{1 + j\omega/\omega_T}\right)\left(\frac{I_{R_e}}{h_{fe} + 1}\right) \tag{9.3-20f}$$

Utilizando (9.3-20*f*), podemos comprobar que la impedancia desde AA' es la combinación paralelo de $r_{b'e}c_{b'e}$ en serie con Z_e, donde

$$Z_e \equiv \frac{v_e}{i_1} = \frac{v_e}{I_{R_e}}\frac{I_{R_e}}{i_1} = R_e(h_{fe} + 1)\left(\frac{1 + j\omega/\omega_T}{1 + j\omega/\omega_\beta}\right) \tag{9.3-20g}$$

como muestra el circuito equivalente de alta frecuencia de la Figura 9.3-11.

Utilizando la Figura 9.3-11 y suponiendo que $C_{b'c}$ es despreciable, hallamos que la ganancia en la frecuencia ω será

$$A_v(\omega) = \frac{v_e}{v_i'} = \frac{(h_{fe} + 1)R_e(1 + j\omega/\omega_T)/(1 + j\omega/\omega_\beta)}{(h_{fe} + 1)R_e\left(\dfrac{1 + j\omega/\omega_T}{1 + j\omega/\omega_\beta}\right) + \dfrac{r_{b'e}}{1 + j\omega/\omega_\beta} + R_i} \tag{9.3-21a}$$

La simplificación da [suponiendo $(h_{fe} + 1)R_e \gg r_{b'e} + R_i$]

$$A_v(\omega) \approx \frac{1 + j\omega/\omega_T}{1 + j(\omega/\omega_T)(1 + R_i/R_e)} \tag{9.3-21b}$$

La frecuencia superior de corte es, pues,

$$f_{h1} = \frac{f_T}{1 + R_i/R_e} \tag{9.3-21c}$$

Si, sin embargo, $C_{b'c}$ es suficientemente grande para que su impedancia sea igual a R_i en una frecuencia f_{h2} mucho menor que f_{h1}, entonces en f_{h2} la impedancia hacia AA' es $r_{b'e} + (h_{fe} + 1)R_e \gg R_i$ y la tensión de salida v_e en f_{h2} está disminuida sólo a causa de la impedancia reducida de $C_{b'c}$. En este caso la ganancia de tensión es

$$A_v(\omega) \approx \left(\frac{(h_{fe} + 1)R_e}{r_{b'e} + (h_{fe} + 1)R_e}\right)\left(\frac{1}{1 + j\omega R_i C_{b'c}}\right) \qquad \omega < \omega_\beta \tag{9.3-22a}$$

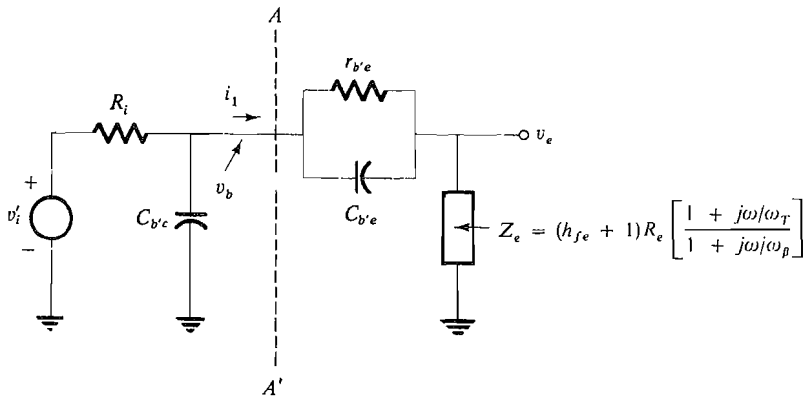


Figura 9.3-11. Circuito equivalente desde la base.

La frecuencia de corte superior es ahora

$$f_{h2} = \frac{1}{2\pi R_i C_{b'c}} < f_\beta \tag{9.3-22b}$$

Es fácil ver que $f_{h2} < f_{h1}$ si

$$\frac{1}{2\pi(R_i \| R_e)C_{b'c}} < f_T \tag{9.3-22c}$$

Si f_{h1} y f_{h2} son comparables en cuanto a magnitud, el circuito de la Figura 9.3-11 debe ser analizado sin aproximación con el fin de determinar f_h. Suponiendo $(h_{fe} + 1)R_e \gg R_i + r_{b'e}$ se puede demostrar (véase Prob. 9.3-7) que

$$A_v \approx \frac{1 + j\omega/\omega_T}{1 + j\omega\left(\dfrac{1}{\omega_{h2}} + \dfrac{1 + R_i/R_e}{\omega_T}\right) + \dfrac{j\omega}{\omega_T}\dfrac{j\omega}{\omega_{h2}}} \tag{9.3-23}$$

El siguiente ejemplo aclarará el uso de (9.3-21), (9.3-22*b*) y (9.3-23).

EJEMPLO 9.3-3

El seguidor de emisor de la Figura 9.3-10 tiene los siguientes valores de los componentes

$$C_{b'e} = 1000 \text{ pF} \qquad h_{fe} = 100 \qquad C_{b'c} = 10 \text{ pF}$$
$$R_e = 1 \text{ k}\Omega \qquad r_{b'e} = 100\ \Omega \qquad R_i = 1 \text{ k}\Omega$$

Hallar la ganancia de tensión A_v.

Solución

Primero calculamos f_{h1} y f_{h2}:

$$f_{h1} = \frac{f_T}{1 + R_i/R_e}$$

Por (9.3-2) y (9.3-4)

$$f_T = \frac{h_{fe}}{2\pi r_{b'e}(C_{b'e} + C_{b'c})} \approx \frac{100}{2\pi(200)(1000) \times 10^{-12}} \approx 160 \text{ MHz}$$

De donde $$f_{h1} = 80 \text{ mHz}$$

Además $$f_{h2} = \frac{1}{2\pi R_i C_{b'c}} = \frac{100}{2\pi(1000)(10 \times 10^{-12})} \approx 16 \text{ MHz}$$

Por consiguiente, en este ejemplo, la frecuencia de corte superior es debida al circuito $R_iC_{b'c}$. Sin embargo, si $C_{b'c} = 2$ pF, entonces f_{h1} y f_{h2} son aproximadamente iguales y se debe emplear (9.3-23) para determinar la frecuencia superior de corte del amplificador. En este ejemplo, $f_{h2} = 80$ MHz, y (9.3-23) ahora se convierte en

$$A_v \approx \frac{1 + j\omega/10^9}{1 + j\omega(2/10^9 + 2/10^9) + (j\omega)^2 2/10^{18}}$$

Resolviendo hallamos que la frecuencia superior de corte ocurre en $f_h \approx 46$ MHz, que es comparable a f_{h1} y f_{h2}. Los detalles de la solución se dejan para los problemas.

9.4. EL FET A ALTAS FRECUENCIAS

El FET a altas frecuencias se puede describir en términos del circuito equivalente híbrido en pi representado en la Figura 9.4-1. Los condensadores C_{gs} y C_{gd} en un FET de unión son una consecuencia de la puerta polarizada en sentido inverso. La Figura 9.4-2 muestra un JFET que funciona por encima del punto de estrangulamiento. Las capacidades entre la puerta y la fuente y entre la puerta y el drenaje son análogas a la capacidad colector-base $C_{b'c}$, ya que todas son resultado de una unión *pn* inversamente polarizada (Fig. 9.3-1*b*). Por tanto, estos condensadores varían como lo hacen $C_{b'c}$:

$$C_{gs} \propto (-V_{GS})^{-1/2} \qquad V_{GS} \leqslant 0 \tag{9.4-1a}$$

y

$$C_{gd} \propto (-V_{GD})^{-1/2} \qquad V_{GD} \leqslant 0 \tag{9.4-1b}$$

Como $|V_{GD}| \gg |V_{GS}|$ en operación normal, tenemos

$$C_{gd} \ll C_{gs} \tag{9.4-1c}$$

Los valores típicos de C_{gs} varían desde 50 pF para un FET en baja frecuencia hasta menos de 5 pF para un FET en alta frecuencia. El condensador de realimentación C_{gd} es usualmente menor que 5 pF y a menudo menor que 0,5 pF para un MOSFET a frecuencias altas.

Los fabricantes de transistores caracterizan la capacidad de entrada (C_{iss}), de salida (C_{oss}), inversa (C_{rss}) en las hojas de características. C_{iss} se define como la capacidad entre puerta y fuente con el *drenaje* cortocircuitado a la fuente. C_{oss} se define como la capacidad entre drenaje y fuente con la *puerta* cortocircuitada a la fuente. C_{rss} tiene la misma definición que C_{gd}. Las relaciones entre C_{gs} y C_{gd} y las dadas en las hojas de datos, junto con sus variaciones en función de la tensión de drenaje, se muestran en la Figura 9.4-1*c*.

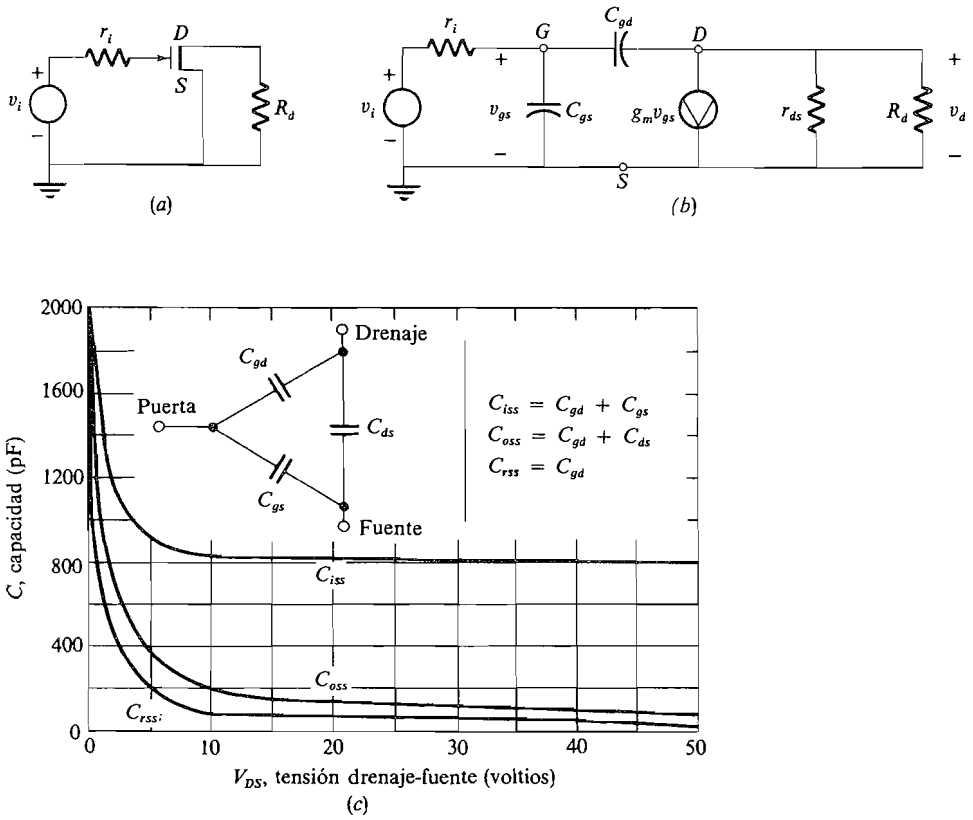


Figura 9.4-1. El FET a alta frecuencia: (*a*) circuito (componentes de polarización omitidos); (*b*) circuito equivalente de alta frecuencia; (*c*) capacidades del MOSFET. (*Cortesía de Motorola Semiconductor Products Inc.*)

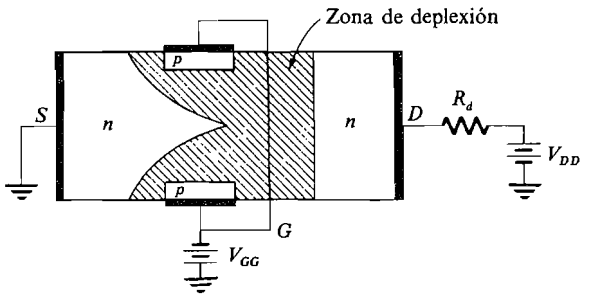


Figura 9.4-2. El JFET por encima del estrangulamiento.

9.4-1. Comportamiento a alta frecuencia del amplificador en configuración en fuente común; capacidad Miller

El circuito equivalente de alta frecuencia del FET representado en la Figura 9.4-1*b* es similar al representado en la Figura 9.3-6 para el transistor. Procediendo con un análisis análogo hallamos que la capacidad Miller es

$$C_M = C_{gd}[1 + g_m(r_{ds} \| R_d)] \tag{9.4-2a}$$

Este resultado es válido [Ec. (9.3-11)] para frecuencias tales que

$$\omega \ll \frac{1}{C_{gd}(r_{ds} \| R_d)} \quad \text{y} \quad \omega \ll \frac{g_m}{C_{gd}} \tag{9.4-2b}$$

Utilizando las anteriores aproximaciones obtenemos el circuito equivalente de alta frecuencia representado en la Figura 9.4-3 (comparar con Fig. 9.3-8).

La ganancia de tensión del amplificador FET es

$$A_v = \frac{v_d}{v_i} = -g_m(r_{ds} \| R_d) \frac{1}{1 + j\omega r_i(C_{gs} + C_M)} \tag{9.4-3a}$$

La frecuencia de corte es

$$f_h = \frac{1}{2\pi r_i(C_{gs} + C_M)} \tag{9.4-3b}$$

El gráfico ganancia-frecuencia del amplificador FET está representado en la Figura 9.4-4.

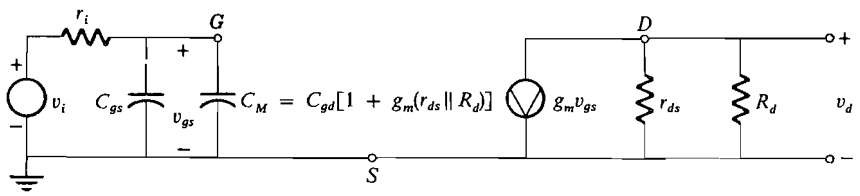


Figura 9.4-3. Circuito en fuente común con realimentación suprimida.

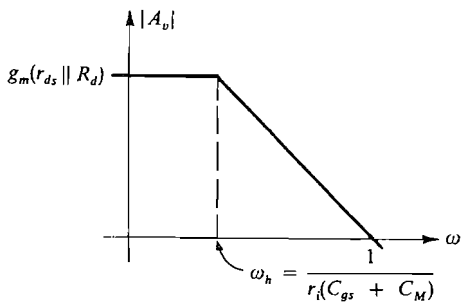


Figura 9.4-4. Ganancia en función de la frecuencia para el amplificador en fuente común.

EJEMPLO 9.4-1

El amplificador FET representado en la Figura 9.4-1*a* tiene los siguientes valores de los componentes: $R_d = 10$ kΩ, $r_{ds} = 15$ kΩ, $g_m = 3$ mS, $C_{gs} = 50$ pF y $C_{gd} = 5$ pF. Hallar r_i para asegurar un ancho de banda de 3 dB de, por lo menos, 100 kHz.

Solución

Por (9.4-3*b*) vemos que

$$r_i = \frac{1}{2\pi f_h(C_{gs} + C_M)}$$

$$\leqslant \frac{1}{2\pi(10^5)\{(50 \times 10^{-12}) + (5 \times 10^{-12})[1 + (3 \times 10^{-3})(6 \times 10^3)]\}}$$

$$= 11 \text{ k}\Omega$$

Por tanto, podemos poner $r_i = 10$ kΩ.

Ganancia de tensión cuando $r_i = 0$. Consideremos el amplificador FET representado en la Figura 9.4-1*b*, con $r_i = 0$. El circuito equivalente está representado en la Figura 9.4-5*a*. La ganancia de tensión A_v se halla mediante el circuito equivalente simplificado de la Figura 9.4-5*b* donde $v_{gs} = v_i$. Luego

$$A_v = \frac{v_d}{v_i} = (-g_m + j\omega C_{gd}) \frac{r_{ds} \| R_d}{1 + j\omega C_{gd}(r_{ds} \| R_d)} = g_m(r_{ds} \| R_d) \left[\frac{-1 + j\omega C_{gd}/g_m}{1 + j\omega C_{gd}(r_{ds} \| R_d)} \right] \tag{9.4-4}$$

donde

$$g_m(r_{ds} \| R_d) \gg 1 \tag{9.4-5}$$

La ganancia de tensión en función de la frecuencia está representada en la Figura 9.4-6.

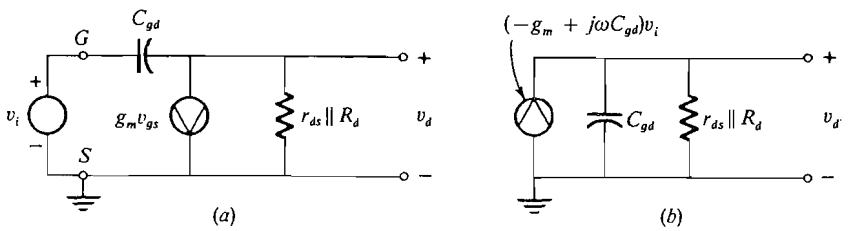


Figura 9.4-5. Amplificador FET con resistencia nula de entrada ($r_i = 0$): (*a*) circuito equivalente; (*b*) circuito equivalente simplificado.

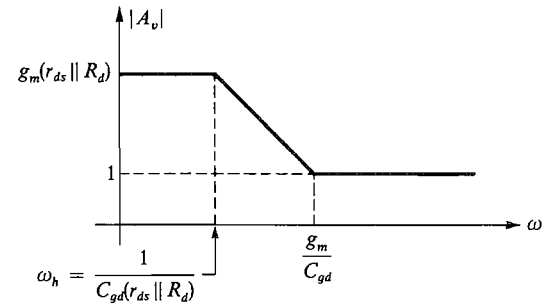


Figura 9.4-6. Ganancia de tensión del amplificador FET de la Figura 9.4-5.

Obsérvese que si R_d es infinita, el ancho de banda de 3 dB del amplificador en configuración en fuente común está limitado por la resistencia del canal r_{ds} y la capacidad puerta-drenaje C_{gd}. Por tanto, en el Ejemplo 9.4-1

$$f_h \leqslant \frac{1}{2\pi C_{gd} R_{ds}} = 2 \text{ MHz}$$

9.4-2. Comportamiento en alta frecuencia del seguidor de fuente

El circuito seguidor de fuente está representado en la Figura 9.4-7 en que se han omitido todos los componentes de polarización y han sido representadas explícitamente las capacidades internas C_{gs} y C_{gd}. El circuito está nuevamente dibujado para mayor claridad en la Figura 9.4-8*a* y el circuito equivalente se ha obtenido por reflexión en la fuente (véase Sección 6.10) y está representado en la Figura 9.4-8*b*. El circuito equivalente reducido, en que el circuito de fuente está sustituido por el equivalente Thévenin obtenido haciendo uso de que $g_m R_s \gg 1$, está representado en la Figura 9.4-8*c*. La fuente dependiente v'_g puede ser sustituida por una impedancia equivalente $Z_{eq} = v'_g/i$ observando que

$$v_g - v'_g = i\left(\frac{1}{g_m} + \frac{1}{j\omega C_{gs}}\right) \tag{9.4-6a}$$

De la figura, tenemos

$$v_g = v'_g \frac{1 + g_m R_s}{g_m R_s} \tag{9.4-6b}$$

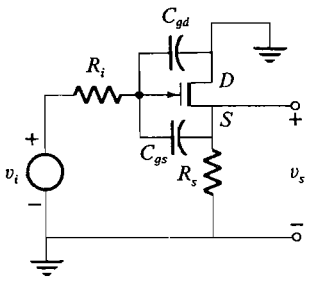


Figura 9.4-7. Seguidor de fuente en frecuencias altas (componentes de polarización omitidos).

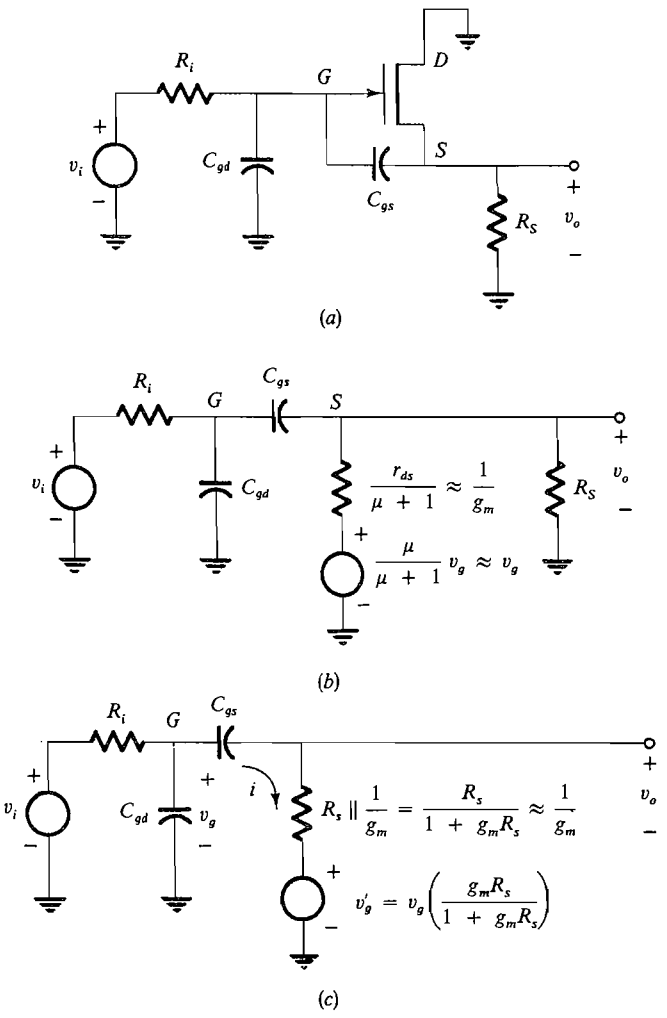


Figura 9.4-8. Seguidor de fuente: (*a*) circuito de la Figura 9.4-7 dibujado de nuevo; (*b*) circuito equivalente; (*c*) circuito equivalente reducido.

Sustituyendo (9.4-6*b*) en (9.4-6*a*) tenemos

$$v'_g \left(\frac{1 + g_m R_s}{g_m R_s} \right) = i \left(\frac{1}{g_m} + \frac{1}{j\omega C_{gs}} \right) \tag{9.4-6c}$$

y, por tanto,

$$Z_{eq} = \frac{v'_g}{i} = g_m R_s \left(\frac{1}{g_m} + \frac{1}{j\omega C_{gs}} \right) = R_s + \frac{1}{j\omega C_{gs}/g_m R_s} \tag{9.4-6d}$$

De esta ecuación vemos que la fuente dependiente puede ser sustituida por la red serie RC representada en la Figura 9.4-9.

En la Figura 9.4-9 vemos que hay dos dos casos especiales. Primero, se considera que la frecuencia de corte superior es debida a C_{gs} y que en esa frecuencia la impedancia debida a C_{gd} es muy grande. En este caso, suponiendo que $g_m R_s \gg 1$, la ganancia de tensión es

$$A_v = \frac{v_o}{v_i} = \frac{1/g_m + R_s + g_m R_s/j\omega C_{gs}}{R_i + 1/g_m + R_s + (1/j\omega C_{gs})(1 + g_m R_s)} = \frac{1 + j\omega C_{gs}/g_m}{1 + j\omega(C_{gs}/g_m)(1 + R_i/R_s)} \tag{9.4-7}$$

En esta expresión vemos que la ganancia en frecuencias medias del seguidor de fuente es la unidad y que la ganancia en frecuencias muy altas es

$$A_v(\omega \to \infty) = \frac{1}{1 + R_i/R_s}$$

Para que exista una frecuencia de corte superior se debe tener

$$A_v(\omega \to \infty) < 0{,}707 A_v(\omega_{\text{banda media}})$$

Como $A_v(\omega_{\text{banda media}}) \approx 1$, esto requiere que

$$\frac{1}{1 + R_i/R_s} < 0{,}707$$

lo cual conduce a la desigualdad

$$\frac{R_i}{R_s} > 0{,}414$$

Si se satisface esta desigualdad, la frecuencia de corte superior es

$$f_{h1} = \frac{g_m R_s}{2\pi C_{gs}(R_i + R_s)} \tag{9.4-8}$$

Si $R_i/R_s < 0{,}414$, las regiones de banda media y de alta frecuencia están separadas en menos de 3 dB y no hay frecuencia de corte superior. Por ejemplo, refiriéndonos a (9.4-7),

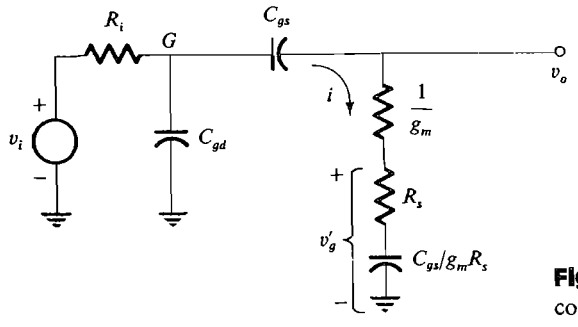


Figura 9.4-9. Circuito equivalente reducido con fuente dependiente suprimida.

vemos que si $R_i = 0$, $A_v \approx 1$ en todas las frecuencias. Realmente en este caso, para las frecuencias suficientemente altas la capacidad parásita entre la fuente y masa cortocircuitará la resistencia de fuente R_s.

La segunda frecuencia de corte posible f_{h2} ocurre si el polo es debido al circuito $R_i C_{gd}$. Si tal es el caso

$$f_{h2} = \frac{1}{2\pi R_i C_{gd}} \tag{9.4-9}$$

Si, sin embargo, f_{h1} y f_{h2} son comparables, el circuito de la Figura 9.4-9 debe ser analizado sin aproximaciones si se desea hallar la frecuencia de corte. Esto se deja para los problemas.

Se demuestra fácilmente que $f_{h2} < f_{h1}$ si

$$\frac{C_{gs}}{C_{gd}} < g_m(R_i \| R_s) \tag{9.4-10}$$

EJEMPLO 9.4-2

El seguidor de fuente de la Figura 9.4-7 tiene los siguientes parámetros: $g_m = 3$ mS, $C_{gd} = 0{,}2$ pF, $C_{gs} = 20$ pF, $R_i = 10$ kΩ y $R_s = 2$ kΩ. Calcular la frecuencia de corte superior.

Solución

Comenzamos calculando f_{h1} y f_{h2} usando (9.4-8) y (9.4-9). Los resultados son

$$f_{h1} = 4 \text{ MHz} \qquad \text{y} \qquad f_{h2} = 80 \text{ MHz}$$

Concluimos que la frecuencia de corte superior es aproximadamente 4 MHz.

9.5. AMPLIFICADORES SINTONIZADOS

En esta sección estudiamos la amplificación de señales dentro de una banda estrecha de frecuencia centrada en la frecuencia ω_0. Estos amplificadores sintonizados se diseñan para *rechazar* todas las frecuencias que estén por debajo de una frecuencia de codo inferior ω_L y por encima de una frecuencia de codo superior ω_h.

Los circuitos sintonizados se utilizan extensamente en casi todos los equipos de comunicaciones. Un ejemplo con el que todos estamos familiarizados es el receptor de radio. Cuando sintonizamos un receptor de radio lo que hacemos es variar ω_0 mientras mantenemos la banda de paso $\omega_h - \omega_L$ constante. El valor particular de ω_0 en que ajustamos el dial o cuadrante corresponde a la frecuencia portadora de la estación de radiodifusión cuya señal deseamos recibir, y $\omega_h - \omega_L$ corresponde al ancho de banda necesario para recibir la información de la señal sin distorsión apreciable.

Para recibir señales AM y FM sin distorsión apreciable y mantener el nivel de ruido del receptor tan pequeño como sea posible, se pude demostrar que las respuestas de amplitud y de fase del amplificador de paso de banda ideal deben ser como las representadas en la Figura 9.5-1*a*. Consideremos el receptor de radio. Por sus características debe dejar

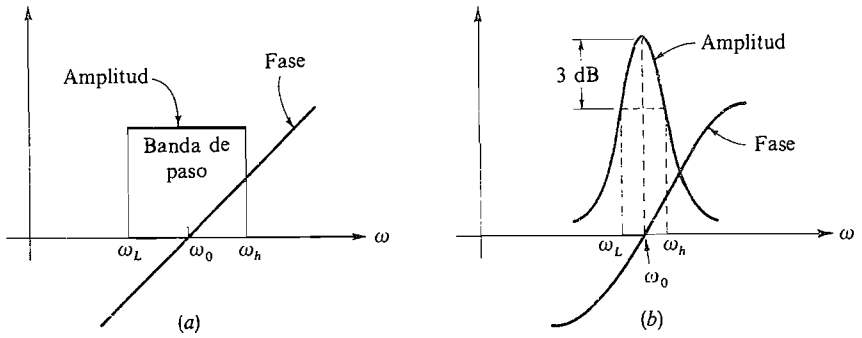


Figura 9.5-1. Respuesta de los amplificadores sintonizados: (*a*) respuesta ideal; (*b*) respuesta real.

pasar únicamente la señal de la estación que se desea recibir y rechazar todas las señales emitidas por las estaciones que funcionan en los canales adyacentes (y todos los demás). La Figura 9.5-1*b* muestra una respuesta típica obtenida utilizando los circuitos que se describen en esta sección. Esta característica representa una aproximación a la respuesta ideal obtenida con una etapa de sintonía única. Más adelante se considerarán en este capítulo mejores aproximaciones.

9.5-1. Amplificadores de sintonía única

El amplificador habitual en configuración en emisor común se convierte en un amplificador de paso de banda sintonizado mediante la inclusión de un circuito sintonizado en paralelo como el de la Figura 9.5-2*a*. Para mayor simplicidad se han omitido todos los componentes de polarización. Determinemos la ganancia, la frecuencia y el ancho de banda de este amplificador.

Antes de proseguir con estos cálculos conviene hacer varias simplificaciones prácticas. Primero admitamos que

$$R_L \ll R_c \tag{9.5-1a}$$

y

$$r_{bb'} = 0 \tag{9.5-1b}$$

El circuito equivalente simplificado de este amplificador está representado en la Figura 9.5-2*b*, donde

$$C = C' + C_{b'e} + (1 + g_m R_L)C_{b'c} \tag{9.5-2}$$

C' es un condensador externo adicional, utilizado para sintonizar el circuito y/o favorecer el ajuste del ancho de banda del mismo, y $(1 + g_m R_L)C_{b'c}$ es la capacidad Miller C_M. En el circuito serie R_L (Fig. 9.5-2*a*), que se utiliza como modelo para la bobina real, la resistencia r_c representa las pérdidas en la bobina. El circuito paralelo RL de la Figura 9.5-2*c* es

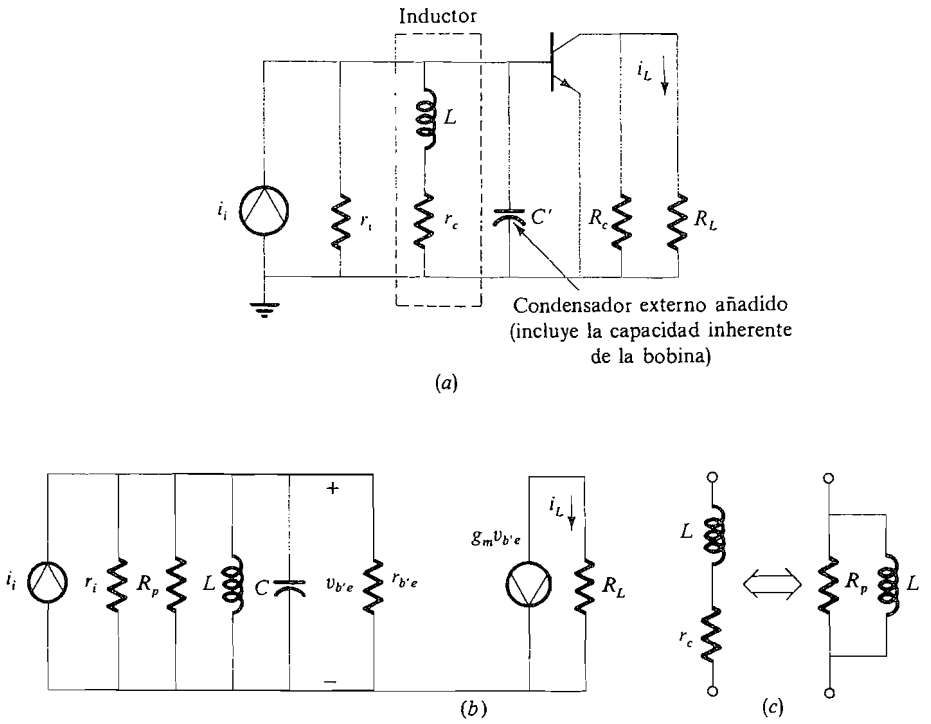


Figura 9.5-2. Amplificador de sintonía única: (*a*) circuito; (*b*) circuito equivalente; (*c*) bobina.

equivalente al circuito serie en la banda de frecuencia que interesa si estas pérdidas son bajas, es decir, si la bobina tiene un alto Q_c

$$Q_c \equiv \frac{\omega_L}{r_c} \gg 1 \tag{9.5-3a}$$

Las condiciones para la equivalencia se establecen fácilmente igualando las admitancias de los dos circuitos representados en la Figura 9.5-2*c* y haciendo uso de (9.5-3*a*) como sigue:

$$Y_c = \frac{1}{r_c + j\omega L} = \frac{r_c - j\omega L}{r_c^2 + \omega^2 L^2} \approx \frac{1}{r_c}\left(\frac{r_c}{\omega L}\right)^2 + \frac{1}{j\omega L} = \frac{1}{R_p} + \frac{1}{j\omega L} \tag{9.5-3b}$$

y

$$R_p = r_c Q_c^2 = \omega L Q_c \tag{9.5-4}$$

Obsérvese que R_p es una función de ω^2 si r_c y L son constantes. Representando la bobina por un circuito serie RL no se tiene en cuenta el hecho de que toda bobina tiene una capacidad parásita en paralelo con ella. En el análisis que sigue se supone que esta capacidad es parte de C'.

Con referencia a la Figura 9.5-2*b*. Sea

$$R \equiv r_i \| R_p \| r_{b'e} \tag{9.5-5}$$

La ganancia de corriente del amplificador es, pues,

$$A_i = \frac{-g_m R}{1 + j(\omega RC - R/\omega L)} = \frac{-g_m R}{1 + j\omega_0 RC(\omega/\omega_0 - \omega_0/\omega)} \tag{9.5-6a}$$

donde

$$\omega_0^2 = \frac{1}{LC} \tag{9.5-6b}$$

Definimos el Q del circuito de entrada sintonizado en la frecuencia resonante ω_0 por

$$Q_i = \frac{R}{\omega_0 L} = \omega_0 RC \tag{9.5-7a}$$

En el análisis del circuito y en los problemas de diseño que siguen se supone que Q_i y Q_c son mayores de 5. Esto es lo que se llama aproximación de alto Q. Cuando se utiliza (9.5-7) se convierte en

$$A_i = \frac{-g_m R}{1 + jQ_i(\omega/\omega_0 - \omega_0/\omega)} \tag{9.5-7b}$$

La ganancia es máxima en $\omega = \omega_0$ y es

$$A_{im} = -g_m R \tag{9.5-8}$$

La Figura 9.5-3 muestra la variación de la magnitud de la ganancia en función de la frecuencia en un amplificador de sintonía única. El ancho de banda del amplificador se halla poniendo

$$|A_i| = \frac{g_m R}{\sqrt{2}} \tag{9.5-9a}$$

en (9.5-7*b*) y resolviendo la ecuación resultante

$$1 + Q_i^2 \left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega}\right)^2 = 2 \tag{9.5-9b}$$

Esta ecuación es cuadrática en ω^2 y tiene dos raíces, ω_h y ω_L. El ancho de banda de 3 dB es, como se puede demostrar,

$$\text{BW} = f_h - f_L = \frac{\omega_0}{2\pi Q_i} = \frac{1}{2\pi RC} \tag{9.5-10}$$

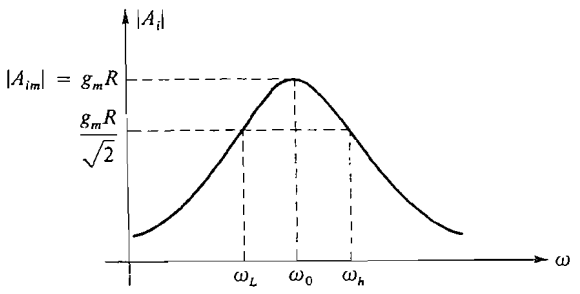


Figura 9.5-3. Ganancia en función de la frecuencia para el amplificador de sintonía única.

EJEMPLO 9.5-1

Diseñar un amplificador de sintonía única para que funcione en una frecuencia central de 455 kHz con un ancho de banda de 10 kHz. El transistor tiene los parámetros $g_m = 0{,}04$ S, $h_{fe} = 100$, $C_{b'e} = 1000$ pF y $C_{b'c} = 10$ pF. La red de polarización y la resistencia de entrada se han ajustado de modo que $r_i = 5$ kΩ y $R_L = 500$ Ω.

Solución

Para obtener un ancho de banda de 10 kHz, el producto RC es [Ec. (9.5-10)]

$$RC = \frac{1}{2\pi \text{BW}} = \frac{1}{2\pi 10^4}$$

donde, por (9.9-5),

$$R = r_i \| R_p \| r_{b'e}$$

La resistencia de entrada es

$$r_i = 5 \text{ k}\Omega$$

y
$$r_{b'e} = \frac{h_{fe}}{g_m} = 2500 \ \Omega; \qquad R_p = Q_c \omega_0 L = \frac{Q_c}{\omega_0 C}$$

Luego
$$R = (5 \times 10^3) \| (2{,}5 \times 10^3) \| \frac{Q_c}{\omega_0 C}$$

y
$$C = \frac{1}{2\pi 10^4 R} = \frac{10^{-4}}{2\pi} \left[\frac{1}{5000} + \frac{1}{2500} + \frac{2\pi(455 \times 10^3)C}{Q_c} \right]$$

Despejando C

$$C \approx \frac{0{,}95 \times 10^{-8}}{1 - 45{,}5/Q_c}$$

La capacidad total de entrada es

$$C = C' + C_{b'e} + (1 + g_m R_L) C_{b'c} = C' + 1200 \text{ pF}$$

Luego
$$C' + 1200 \times 10^{-12} \approx \frac{0{,}95 \times 10^{-8}}{1 - 45{,}5/Q_c}$$

La elección de Q_c para que satisfaga esta ecuación no es única. Sabemos que Q_c debe ser mayor que 45,5 para que la capacidad sea positiva. La cuestión que debe resolver el ingeniero de diseño es: ¿cuál debe ser la magnitud de Q_c? Si, por ejemplo, se eligiese el valor 45,5 para Q_c, C' sería infinita, C también sería infinita y $L \to 0$. Esta no es una solución práctica. En 455 kHz un margen de valores prácticos de Q_c está limitado por 10 y 150. Elijamos

$$Q_c = 100$$

Luego
$$C' \approx 0{,}016 \ \mu\text{F} \qquad \text{y} \qquad C \approx 0{,}018 \ \mu\text{F}$$

Obsérvese que la capacidad de entrada $C_{b'} = C_{b'e} + C_M$ es despreciable. La inductancia necesaria es

$$L = \frac{1}{\omega_0^2 C} \approx 6{,}9 \ \mu\text{H}$$

Ahora podemos calcular R_p

$$R_p = Q_c \omega_0 L \approx 2 \text{ k}\Omega$$

De donde
$$R = r_i \| R_p \| r_{b'e} = 910 \ \Omega$$

La ganancia resultante en la frecuencia central es

$$A_{im} = -g_m R = (-0{,}04)(910) \approx -36{,}4$$

Si se dispone de una bobina de 6,9 μH con un Q_c de 100, el diseño está completo. Si el Q_c necesario no se consigue, deberá utilizarse un transformador para convertir las impedancias de entrada a los niveles que proporcionen las especificaciones impuestas. Esta técnica se estudiará más adelante, Sección 9.5-2.

En el problema de análisis y diseño considerado se podría haber empleado un FET en lugar de un transistor. Cuando se utiliza un FET, el circuito *RLC* paralelo se puede formar en el circuito de salida. Otras diferencias entre el transistor y el FET son los valores de los elementos de las impedancias de entrada que presentan cada dispositivo.

9.5-2. Adaptación de impedancias para mejorar la ganancia

El circuito de la Figura 9.5-2*a* suele dar lugar a valores impracticables de los elementos y a baja ganancia a causa de la baja resistencia efectiva existente en el circuito de base del

transistor. Como estamos tratando de circuitos sintonizados en paralelo, baja resistencia implica bajo Q_i y la consiguiente dificultad para la obtención de una banda estrecha. Un método que se utiliza a menudo para soslayar este problema es usar una bobina con *tomas* como *autotransformador*. Esta bobina sirve para convertir la baja resistencia a un valor más razonable. Un circuito típico es el de la Figura 9.5-4.

La relación de espiras del autotransformador es

$$a = \frac{n_1}{n_2} = \frac{v_{b'e}}{v_1} < 1 \tag{9.5-11}$$

Un autotransformador real puede modelarse como un transformador con una relación de espiras a, una resistencia paralelo R_p y una inductancia paralela L', tal como se muestra en la Figura 9.5-4.

La impedancia del circuito del transistor, que consiste en R_b, en paralelo con $C_{b'}$, está reflejada en la entrada. El circuito paralelo RLC resultante está representado en la Figura 9.5-5.

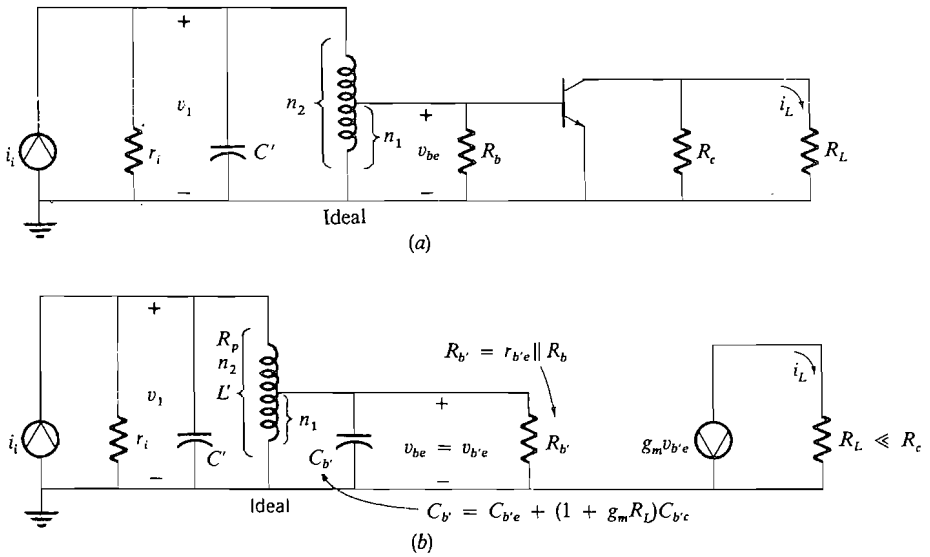


Figura 9.5-4. Amplificador sintonizado utilizando un autotransformador ($r_{bb'} = 0$); (*a*) circuito (componentes de polarización omitidos); (*b*) circuito equivalente.

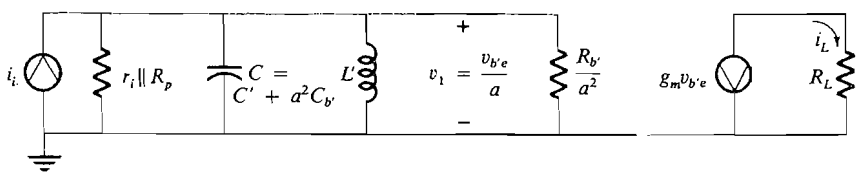


Figura 9.5-5. Amplificador sintonizado con impedancias reflejadas.

Ahora se pueden hallar la ganancia, la frecuencia central y el ancho de banda del amplificador como en la Sección 9.5-1. Los resultados son

$$A_i = \frac{i_L}{i_i} = -ag_mR \frac{1}{1 + jQ_i(\omega/\omega_0 - \omega_0/\omega)} \tag{9.5-12}$$

donde

$$Q_i = \omega_0 RC$$

$$C = C' + a^2C_{b'} \tag{9.5-13}$$

y

$$R = r_i \| R_p \| \frac{R_{b'}}{a^2}$$

La frecuencia central es

$$\omega_0^2 = \frac{1}{L'C} = \frac{1}{L'(C' + a^2C_{b'})} \tag{9.5-14}$$

Si, como suele ocurrir, $C' \gg a^2C_{b'}$,

$$\omega_0^2 \approx \frac{1}{L'C'} \tag{9.5-15}$$

El ancho de banda de 3 dB y la ganancia en la frecuencia central se pueden determinar utilizando (9.5-12):

Ancho de banda de 3 dB $$\text{BW} = f_h - f_L = \frac{1}{2\pi RC} \tag{9.5-16}$$

Ganancia en la frecuencia central $$A_{im} = -ag_mR \tag{9.5-17}$$

El transformador nos permite obtener alta ganancia y banda *estrecha*.

EJEMPLO 9.5-2

Un amplificador de sintonía única funciona en $f_0 = 455$ kHz y debe tener un ancho de banda de 10 kHz, $L' = 6{,}9\ \mu$H, $r_{b'e} = R_{b'} = 1$ kΩ, $r_i = 5$ kΩ, $R_p = 2$ kΩ, $C_{b'e} = 1000$ pF, $g_m = 0{,}1$ S, $R_L = 500\ \Omega$ y $C_{b'c} = 4$ pF. Hallar la relación de espiras necesarias a y la ganancia de corriente en la frecuencia central.

Solución

Comenzamos calculando C y R:

$$C = C' + a^2C_1 = C' + 1200 \times 10^{-12}a^2$$

$$\frac{1}{R} = \frac{1}{5000} + \frac{1}{2000} + \frac{a^2}{1000} = (10^{-4})(7 + 10a^2)$$

Luego, por la Figura 9.5-5

$$\omega_0^2 = 4\pi^2[(455)^2 \times 10^6] = \frac{1}{L'C} = \frac{1}{(6{,}9 \times 10^{-6})(C' + a^2\ 1200 \times 10^{-12})}$$

Así, $$C' + 12a^2 \times 10^{-10} = \frac{10^{-6}}{57{,}2} \approx 0{,}017 \times 10^{-6}$$

Puesto que $a \leqslant 1$, $$C' \approx 0{,}017\ \mu\text{F}$$

Utilizando la ecuación del ancho de banda (9.5-16) para hallar R, tenemos

$$\text{BW} = 10^4 = \frac{1}{2\pi RC} \approx \frac{1}{2\pi RC'} \approx \frac{1}{2\pi R(0{,}017 \times 10^{-6})}$$

Entonces, $R \approx 930\ \Omega$ y

$$\frac{1}{R} = \frac{1}{930} = 10^{-4}(7 + 10a^2)$$

De donde

$$a^2 \approx 0{,}4$$

y

$$a \approx 0{,}63$$

La ganancia en la frecuencia central es

$$A_{im} = -ag_mR \approx -(0{,}63)(0{,}1)(930) = -59$$

Ahora vemos la ventaja de utilizar el autotransformador. En el Ejemplo 9.5-1, $r_{b'e} = 2500\ \Omega$ y $g_m = 0{,}04$ S ($h_{fe} = 100$). La ganancia en la frecuencia central hallada es 36,4 (BW = 10 kHz). En este ejemplo hemos supuesto $r_{b'e} = 1$ kΩ y $g_m = 0{,}1$ S ($h_{fe} = 100$). $r_{b'e}$ multiplicado por $1/a^2 = 2{,}5$ da 2500 Ω. Esto origina una ganancia neta de corriente de 59/36,4 ≈ 1,6 con el mismo ancho de banda de 3 dB de 10 KHz. Obsérvese que si no se hubiese utilizado el transformador y $r_{b'e} = 1000\ \Omega$ ($g_m = 0{,}1$ S), la ganancia en la frecuencia central sería todavía

$$A_{im} = -g_m(r_{b'e} \| R_p \| r_i) = (-0{,}1)(5000 \| 2000 \| 1000) \approx -59$$

Sin embargo, el ancho de banda sería

$$\text{BW} = \frac{1}{2\pi RC} = \frac{1}{2\pi(590)(0{,}017 \times 10^{-6})} \approx 16\ \text{kHz} > 10\ \text{kHz}$$

Vemos, pues, que se puede obtener alta ganancia sin el transformador, pero a costa de un mayor ancho de banda.

9.5-3. Circuitos resonantes serie

En frecuencias muy altas ($f_0 > 50$ MHz) la sintonía en paralelo utilizada como en los Ejemplos 9.5-1 y 9.5-2 da lugar a circuitos de Q muy bajo y, por tanto, grandes anchos de banda. La razón es la siguiente: si no se utilizase C' y si r_i, R_p y R_b fuesen infinitas, el Q_i del circuito sería, aproximadamente,

$$Q_i \approx \omega_0 r_{b'e} C_{b'}$$

Si se despreciase la capacidad Miller, $C_{b'} \approx C_{b'e}$ y

$$Q_i \approx \frac{\omega_0}{\omega_\beta}$$

que es menor que la unidad si $\omega_0 < \omega_\beta$. Nosotros aumentamos el Q del circuito mediante la adición de C'. Esto también aumenta la capacidad del circuito, pero da lugar a una reducción de la inductancia paralelo necesaria. Valores muy bajos de L' no siempre son obtenibles.

En frecuencias muy altas se puede emplear un circuito resonante serie para proporcionar un Q muy alto con valores de inductancia razonables. Esta técnica es la que se utiliza en el ejemplo siguiente.

EJEMPLO 9.5-3

El amplificador representado en la Figura 9.5-6*a* debe tener un ancho de banda a 3 dB de 2 MHz y una frecuencia resonante de 100 MHz [el Q_c del circuito es igual a $10^8/(2 \times 10^6) = 50$]. El transistor empleado tiene los parámetros $r_{b'e} = 50\ \Omega$, $g_m = 0{,}1$ S, $C_{b'e} = 10$ pF y $C_{b'c} = 1$ pF. El circuito de entrada consiste en una resistencia de 50 Ω ($r_i = 50\ \Omega$) en paralelo con un condensador de 4 pF ($C' = 4$ pF). La resistencia de carga R_L es 50 Ω. (*a*) Describir el funcionamiento del circuito. (*b*) Hallar L', L_b, L_c, C_c y la relación de espiras a.

Solución

(*a*) Este amplificador está diseñado para que el Q del circuito esté determinado por el circuito resonante serie. Los circuitos RLC paralelos en la entrada y en la base están calculados para que cada uno tenga un bajo Q. En la práctica ocurre a menudo que los dos circuitos paralelos no están sintonizados con el mismo cuidado. La Figura 9.5-6*b* muestra un circuito equivalente, donde

$$R_i' = r_i \| \text{ resistencia paralelo efectiva de } L'(R_p')$$

$$R_{b'} = R_b \| r_{b'e} \| \text{ resistencia paralelo efectiva de } L_b(R_p)$$

$$C_{b'} = C_{b'e} + C_M \quad \text{y} \quad \omega_0^2 = \frac{1}{L'C'} = \frac{1}{L_c C_c} = \frac{1}{L_b C_{b'}}$$

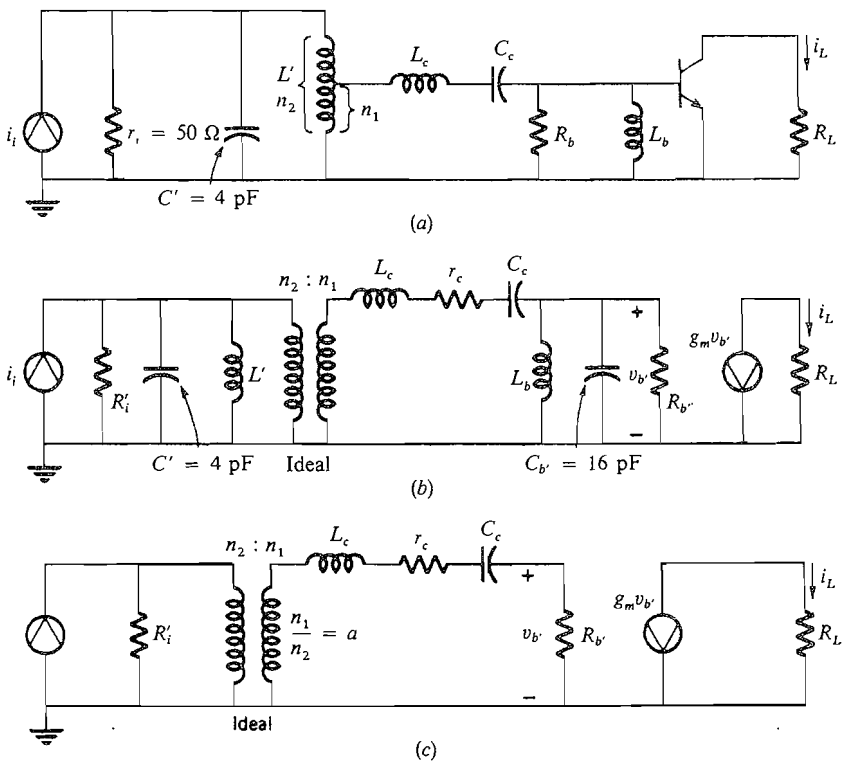


Figura 9.5-6. Amplificador utilizando un circuito resonante: (*a*) circuito; (*b*) circuito equivalente; (*c*) circuito equivalente sin circuitos sintonizados de bajo Q.

El Q del circuito está determinado por el circuito equivalente simplificado de la Figura 9.5-6*c*. En este circuito equivalente se supone que los valores de Q de los circuitos de entrada y de base son suficientemente pequeños para que

$$\frac{1}{R_i'} \gg \omega C' - \frac{1}{\omega L'} \quad \text{y} \quad \frac{1}{R_{b'}} \gg \omega C_{b'} - \frac{1}{\omega L_b}$$

para ω entre ω_L y ω_h. El Q del circuito es, pues, esencialmente el mismo que el Q del circuito resonante serie

$$Q_c = \frac{\omega_0 L_c}{R_{b'} + r_c + a^2 R_i'}$$

(*b*) Comenzamos por el procedimiento de cálculo para hallar L' y L_b. Para poner en resonancia el condensador C' de entrada de 4 pF, es necesario que

$$L' = \frac{1}{4\pi^2 f_0^2 C'} \approx 0{,}65\ \mu\text{H}$$

Un Q' de 100 en 100 MHz se obtiene fácilmente. Suponiendo que el transformador tiene este Q', hallamos R'_p

$$R'_p = Q'(\omega_0 L') = (100)(2\pi \times 10^8)(0{,}65 \times 10^{-6}) \approx 41 \text{ k}\Omega$$

Luego, puesto que $r_i = 50\ \Omega$

$$R'_i = r_i \| R'_p \approx 50\ \Omega$$

Consideremos ahora el circuito de base. La resonancia de $C_{b'} = 16$ pF requiere

$$L_b \approx 0{,}17\ \mu\text{H}$$

Suponiendo que $Q_b = 100$, tenemos

$$R_p = (100)(2\pi \times 10^8)(0{,}17 \times 10^{-6}) \approx 11 \text{ k}\Omega$$

y como $r_{b'e} = 50\ \Omega$

$$R_{b'} = R_p \| R_b \| r_{b'e} \approx 50\ \Omega$$

(Suponiendo que $R_b \gg r_{b'e} = 50\ \Omega$.) Obsérvese que los valores Q del circuito son

$$Q_i \approx \omega_0 R'_i C' \approx 0{,}12 \quad \text{y} \quad Q_{b'} \approx \omega_0 R_{b'} C_{b'} \approx 0{,}5$$

Los valores de Q de los circuitos de entrada y de base son mucho menores que el Q necesario en el circuito, que es 50. Así, en la banda de paso de 100 $\pm$ 1 MHz suponemos que el circuito equivalente puede estar representado por la Figura 9.5-7. Para obtener un Q_c de 50 del circuito en 100 MHz es necesario que

$$Q_c = 50 = \frac{1}{\omega_0 C_c(50 + r_c + 50a^2)} = \frac{\omega_0 L_c}{50 + r_c + 50a^2}$$

Obsérvese que $\omega_0 L_c / r_c$, que es el Q de la bobina L_c, debe ser mayor que 50 para que el Q_c del circuito total sea igual también a 50. Es obtenible un Q de 250 para la bobina L_c en 100 MHz. Diseñamos suponiendo que se dispone de una inductancia que tenga este Q. Así

$$\frac{\omega_0 L_c}{r_c} = 250$$

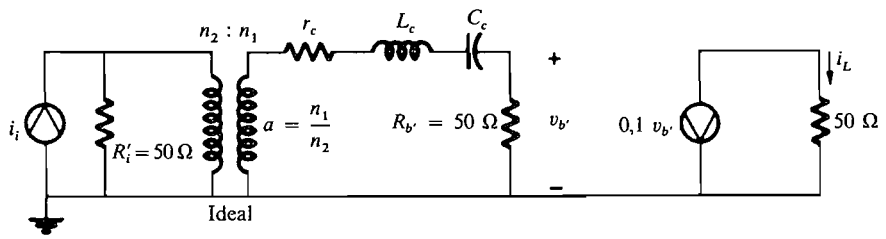


Figura 9.5-7. Circuito simplificado para el Ejemplo 9.5-3.

Despejando L_c,

$$\omega_0 L_c = (1{,}25)(50^2)(1 + a^2)$$

Sea

$$a^2 \approx 0{,}1$$

Luego $\quad L_c \approx 5{,}5\ \mu\text{H} \quad$ y $\quad C_c = \dfrac{1}{4\pi^2 f_0^2 L_c} = 0{,}45\ \text{pF}$

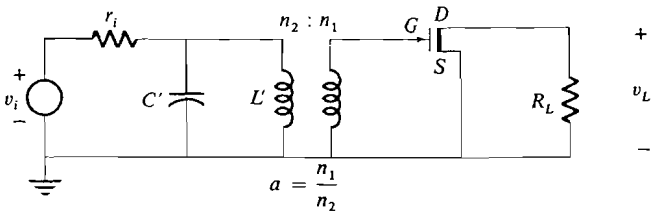
El circuito se sintoniza utilizando un condensador variable para C_c.

9.5-4. El amplificador sintonizado síncronamente

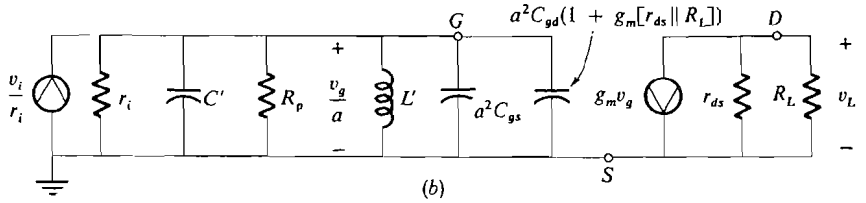
En esta sección estudiaremos el montaje en cascada de amplificadores sintonizados con el fin de obtener alta ganancia. Todas las etapas del amplificador se supone que son idénticas y que están sintonizadas a la misma frecuencia, ω_0. Esto es lo que se llama *sintonía síncrona*, y el amplificador que resulta tiene mayor ganancia y menor ancho de banda que las etapas individuales.

Para ilustrar el efecto del montaje en cascada de N etapas sintonizadas síncronamente, determinemos primero la ganancia y el ancho de banda del amplificador FET de sintonía síncrona representado en la Figura 9.5-8*a*. El circuito equivalente está en la Figura 9.5-8*b* y la ganancia de tensión es (Sec. 9.5-1)

$$A_v = \frac{-ag_m(r_{ds} \| R_L)[(r_i \| R_p)/r_i]}{1 + jQ_i(\omega/\omega_0 - \omega_0/\omega)} \tag{9.5-18a}$$



(*a*)



(*b*)

Figura 9.5-8. (*a*) Circuito de amplificador FET de sintonía síncrona; (*b*) circuito equivalente.

donde
$$C_i = a^2\{C_{gs} + C_{gd}[1 + g_m(r_{ds} \| R_L)]\}$$
$$Q_i = \omega_0(r_i \| R_p)(C' + C_i) \tag{9.5-18b}$$
$$\omega_0^2 = \frac{1}{L(C' + C_i)} \tag{9.5-18c}$$

La ganancia en la frecuencia central ($\omega = \omega_0$) es

$$A_{vm} = -ag_m(r_{ds} \| R_L)\frac{R_p}{r_i + R_p} \tag{9.5-19a}$$

El ancho de banda de 3 dB es

$$\text{BW} = \frac{1}{2\pi(r_i \| R_p)(C' + C_i)} \tag{9.5-19b}$$

Ahora montemos en cascada dos amplificadores FET sintonizados síncronamente que sean idénticos, como representa la Figura 9.5-9*a*. El circuito equivalente está en la Figura 9.5-9*b*. En un amplificador sintonizado síncronamente cada circuito resonante está sintonizado a la misma frecuencia y tiene el mismo ancho de banda. Por tanto

$$\omega_0^2 = \frac{1}{L'(C' + C_i)} \tag{9.5-20a}$$

y
$$R \equiv r_i \| R_p = r_{ds} \| R_g \| R_p = r_{ds} \| R_L \tag{9.5-20b}$$

La ganancia de tensión del amplificador es

$$A_v = \frac{v_L}{v_i} = \frac{(ag_mR)^2(R/r_i)}{[1 + jQ_i(\omega/\omega_0 - \omega_0/\omega)]^2} \tag{9.5-21a}$$

donde
$$Q_i = \omega_0 R(C' + C_i) \tag{9.5-21b}$$

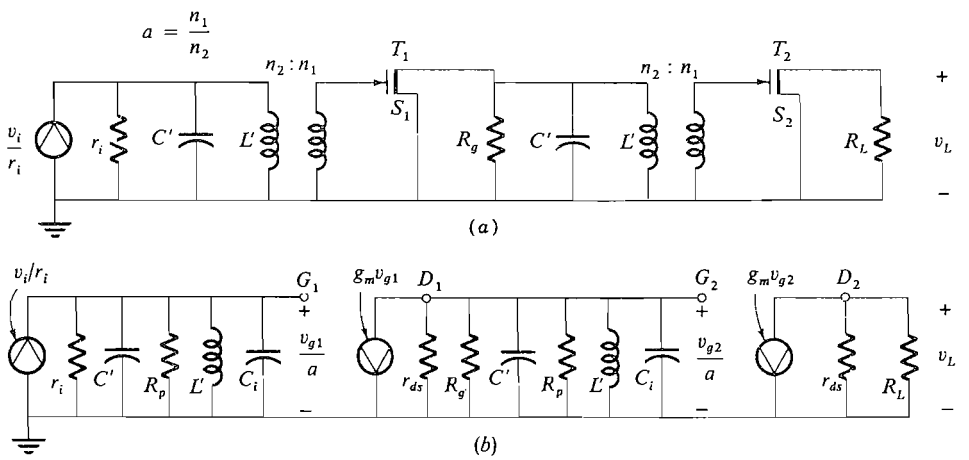


Figura 9.5-9. (*a*) Circuito de un amplificador FET sintonizado síncronamente; (*b*) circuito equivalente.

La ganancia en la frecuencia central es

$$A_{vm} = (ag_m R)^2 \frac{R_p}{r_i + R_p} \tag{9.5-22}$$

El ancho de banda de 3 dB del amplificador de dos etapas se obtiene [Ec. (9.5-21*a*)] de

$$\left[1 + Q_i^2 \left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega}\right)^2\right]^2 = 2 \tag{9.5-23a}$$

Por tanto [véase Ec. (9.5-10)],

$$\text{BW} = \frac{\omega_0}{2\pi Q_i} \sqrt{2^{1/2} - 1} = 0{,}643 \frac{f_0}{Q_i} = 0{,}643 \frac{1}{2\pi(C' + C_i)R} \tag{9.5-23b}$$

El resultado de montar en cascada dos etapas sintonizadas síncronamente es aumentar la ganancia de tensión [comparar (9.5-22) y (9.5-19*a*)] y disminuir el ancho de banda [comparar (9.5-23*b*) y (9.5-19*b*)].

En las Ecuaciones (9.5-20) a (9.5-23) se supone que la carga en T_1 es resistiva, lo cual sólo ocurre en las resonancias. Cuando $\omega = \omega_0$, estas ecuaciones sólo son aproximadamente correctas, ya que la carga en T_1 es ligeramente capacitiva o inductiva. Sin embargo, se incurre en un pequeño error cuando $A \geqslant 20$.

EJEMPLO 9.5-4

Sean $g_m = 5$ mS, $r_i = r_{ds} = 10$ kΩ, $R_p = R_L = 100$ kΩ, $R_g = 910$ kΩ, $a = 1/2$, $C' = 0$, $C_{gs} = 10$ pF, $C_{gd} = 0{,}1$ pF y $L' = 0{,}25$ μH. Calcular ω_0, A_{vm} y el ancho de banda suponiendo que hay una sola etapa sintonizada (Fig. 9.5-8) o dos etapas sintonizadas síncronamente (Fig. 9.5-9).

Solución

La frecuencia resonante ω_0 es

$$\omega_0 = \left(\frac{1}{L'(a^2)\{C_{gs} + C_{gd}[1 + g_m(r_{ds} \| R_L)]\}}\right)^{1/2}$$

$$= \left(\frac{1}{(0{,}25 \times 10^{-6})(\frac{1}{4})[(10 \times 10^{-12}) + (5 \times 10^{-12})]}\right)^{1/2} \approx 10^9 \text{ rad/s}$$

La ganancia en la frecuencia central de una etapa es, por (9.5-19*a*),

$$(A_{vm})_1 \approx -(\tfrac{1}{2})[(5 \times 10^{-3}) \times 10^4] = -25$$

Con dos etapas, por (9.5-22),

$$(A_{vm})_2 \approx \{[(\tfrac{1}{2})(5 \times 10^{-3}) \times 10^4]\}^2 = 625$$

El ancho de banda de 3 dB con una etapa es, por (9.5-19*b*) y (9.5-18*b*),

$$(\mathrm{BW})_1 \approx \frac{1}{(2\pi \times 10^4)(\frac{1}{4})(15 \times 10^{-12})} \approx 4{,}1 \text{ mHz}$$

donde

$$C_i \approx (\tfrac{1}{2})^2(10 \times 10^{-12}) + (0{,}1 \times 10^{-12})\{1 + [(5 \times 10^{-3}) \times 10^4]\} \approx (\tfrac{1}{4})(15 \times 10^{-12})$$

y para dos etapas, por (9.5-23*b*),

$$(\mathrm{BW})_2 \approx 0{,}643 \frac{1}{(2\pi \times 10^4)(\frac{1}{4})(15 \times 10^{-12})} \approx 2{,}6 \text{ MHz}$$

9.6. EL PRODUCTO GANANCIA-ANCHO DE BANDA

9.6-1. Producto ganancia-ancho de banda de un amplificador *RC*

En el diseño preliminar de un amplificador de banda ancha con varias etapas es muy útil aplicar previamente algunas reglas empíricas. El producto ganancia-ancho de banda (GBW) es un factor de calidad que se utiliza a menudo para este propósito. Se le define en términos de ganancia en el centro de la banda y frecuencia de corte superior f_h como

$$\mathrm{GBW} = |A_{im} f_h| \tag{9.6-1}$$

GBW para un amplificador con transistor bipolar. Para un amplificador ideal de una sola etapa en configuración en emisor común (EC) ($R_L \to 0$), la ganancia en el centro de la banda es aproximadamente h_{fe} y la frecuencia de corte superior es f_β. Así

$$\mathrm{GBW} = h_{fe} f_\beta = f_T \approx \frac{h_{fe}}{2\pi r_{b'e} C_{b'e}} = \frac{g_m}{2\pi C_{b'e}} \tag{9.6-2}$$

Generalmente, los fabricantes especifican la f_T que se utiliza como estimación aproximada del producto GBW para un transistor dado. La estimación es un límite superior y el valor real se reduce a causa de la capacidad Miller que fue despreciada para obtener (9.6-2). Para afinar el cálculo nos referimos a (9.3-17). Entonces

$$\mathrm{GBW}_{\mathrm{BJT}} = g_m R_{b'e} \frac{1}{2\pi R_{b'e}(C_{b'e} + C_M)} = \frac{g_m}{2\pi(C_{b'e} + C_M)} \tag{9.6-3}$$

Comparando (9.6-3) y (9.6-2), vemos que la capacidad Miller reduce el producto GBW. Obsérvese que este producto es función de g_m, $C_{b'e}$, $C_{b'c}$ y R_L (ya que C_M depende de R_L). La variación de $R_{b'e}$ equivale a un intercambio entre la ganancia y el ancho de banda del amplificador. Veamos un ejemplo numérico.

EJEMPLO 9.6-1

Hallar el producto ganancia-ancho de banda del amplificador con transistor representado en la Figura 9.6-1. Se han suprimido todos los componentes de polarización para mayor simplicidad. Los valores de los componentes son $r_i = 1$ kΩ, $R_c = r_{b'e} = 100$ Ω, $C_{b'e}$ 100 pF, $C_{b'c} = 1$ pF y $h_{fe} = 100$.

Solución

El producto GBW (9.6-3) es

$$\text{GBW} = \frac{g_m}{2\pi(C_{b'e} + C_M)} = \frac{1}{2\pi(10^{-10} + 10^{-10})} = \frac{10^{10}}{4\pi} = 0{,}8 \text{ GHz}$$

Obsérvese que

$$f_T = \frac{g_m}{2\pi C_{b'e}} = \frac{10^{10}}{2\pi} = 1{,}6 \text{ GHz}$$

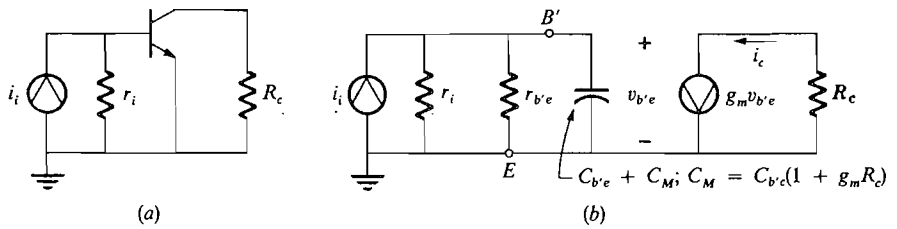


Figura 9.6-1. (*a*) Circuito de amplificador para el Ejemplo 9.6-1; (*b*) circuito equivalente.

GW de un amplificador FET. El producto GBW de un amplificador FET se halla por (9.2-3)

$$\text{GBW}_{\text{FET}} = g_m(r_{ds} \| R_d) \frac{1}{2\pi r_i(C_{gs} + C_M)} \tag{9.6-4}$$

Usualmente se normaliza la Ecuación (9.6-4) asumiendo que

$$r_i = r_{ds} \| R_d$$

(Se daría esta condición cuando el FET está precedido por otro FET.) Entonces el GBW será

$$\text{GBW}_{\text{FET}} = \frac{g_m}{2\pi(C_{gs} + C_M)} \tag{9.6-5}$$

Nótese que las expresiones para la GBW de un BJT y de un FET son similares, con C_{gs} en (9.6-5) reemplazando a $C_{b'e}$ en (9.6-3).

EJEMPLO 9.6-2

Hallar el producto GBW de un amplificador JFET cuyos parámetros sean $g_m = 3$ mS, $C_{gs} = 6$ pF, $C_{gd} = 2$ pF, $r_{ds} = 70$ kΩ y $R_d = 10$ kΩ.

Solución

Primero determinamos la capacidad Miller C_M

$$C_M = C_{gd}[1 + g_m(r_{ds} \| R_d)] = (2 \times 10^{-12})[1 + (3)(\tfrac{70}{8})] \approx 54 \text{ pF}$$

Se observa que la capacidad Miller no es del todo despreciable cuando se utiliza un JFET. El producto GBW es, por (9.6-5),

$$\text{GBW} = \frac{g_m}{2\pi(C_{gs} + C_M)} = \frac{3 \times 10^{-3}}{2\pi(60 \times 10^{-12})} \approx 8 \text{ MHz}$$

Cuando comparamos este ejemplo con el Ejemplo 9.6-1 se ve que el transistor tiene un producto GBW mucho mayor. La diferencia se debe a que g_m es mucho mayor en el transistor.

EJEMPLO 9.6-3

Se utiliza un MOSFET en lugar del JFET en el ejemplo precedente. Los parámetros del FET son $g_m = 2{,}5$ mS, $C_{gs} = 6$ pF, $C_{gd} = 0{,}6$ pF y $r_{ds} = 60$ kΩ, $R_d = 10$ kΩ, lo mismo que en el Ejemplo 9.6-2. Hallar el producto GBW.

Solución

La capacidad Miller es ahora

$$C_M = C_{gd}[1 + g_m(r_{ds} \| R_d)] = (0{,}6 \times 10^{-12})[1 + (2{,}5)(\tfrac{60}{7})] \approx 14 \text{ pF}$$

El producto GBW (9.6-5) es, pues,

$$\text{GBW} = \frac{g_m}{2\pi(C_{gs} + C_M)} = \frac{2{,}5 \times 10^{-3}}{2\pi(20 \times 10^{-12})} \approx 20 \text{ MHz}$$

Se observa que, aunque el producto GBW del MOSFET es apreciablemente mayor que el del JFET, todavía es mucho menor que el producto GBW del BJT.

9.6-2. Producto ganancia-ancho de banda de un amplificador sintonizado

El producto GBW del amplificador sintonizado de una etapa descrito en la Sección 9.5-1 se puede hallar por combinación de (9.5-8) y (9.5-10)

$$\text{GBW} = |A_{im}|\text{BW} = \frac{g_m}{2\pi C} \tag{9.6-6}$$

donde C está dada por (9.5-2).

Comparando (9.6-6) y (9.6-3) vemos que el producto GBW es el mismo que el de la etapa acoplada por RC y sólo depende de la g_m del transistor y de la capacidad total del circuito de entrada. Así, la adición de la bobina de sintonía de alto Q ha trasladado realmente la curva de respuesta en frecuencia del amplificador acoplado por RC (para la misma ganancia) a lo largo del eje de frecuencia sin reducir la anchura o extensión de la curva medida en herzios.

9.7. EL INTERRUPTOR CON TRANSISTOR

Hasta ahora sólo hemos considerado el funcionamiento lineal del transistor. En muchos sistemas electrónicos se utilizan los transistores como *interruptores controlados* (véase Capítulo 12). Por ejemplo, un computador digital utilizará varios millares de interruptores con transistor. La velocidad con que operan los interruptores es de capital importancia. En esta sección consideramos el tiempo de respuesta de un interruptor simple con transistor.

Se puede hacer que el transistor funcione como interruptor diseñando el circuito asociado de manera que el transistor esté en corte o saturación. Cuando el transistor está *en corte* no fluye corriente de colector y el interruptor está abierto. Cuando el transistor está en saturación fluye la máxima corriente de colector y el interruptor está cerrado. El interruptor es controlado por la corriente aplicada a la base. Tal interruptor está representado en la Figura 9.7-1. Su respuesta ante una tensión de entrada con forma de onda de impulso v_i está representada en la Figura 9.7-2.

Tiempo de puesta en conducción. Hay un retardo entre el flanco anterior o de ataque del impulso de tensión de entrada y el instante en que la corriente de colector alcanza el 90 por 100 de su valor máximo. Este tiempo es el de *puesta en conducción*, t_{on}. Se le divide en dos intervalos de tiempo; el primero se denomina *tiempo de retardo*, t_d, y el segundo se denomina *tiempo de subida*, t_r.

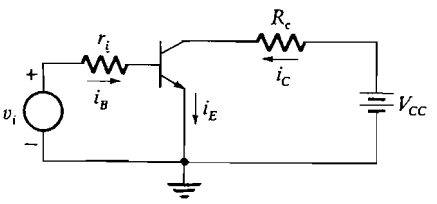


Figura 9.7-1. El interruptor con transistor.

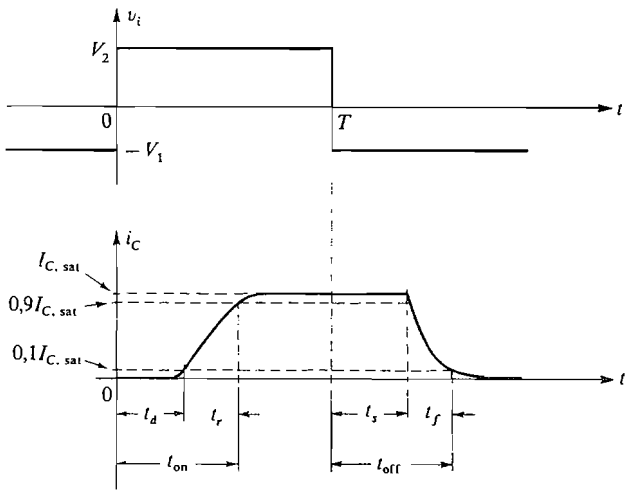


Figura 9.7-2. Respuesta de un interruptor con transistor a un impulso de tensión.

Tiempo de retardo. El tiempo de retardo es el necesario para que la corriente de colector aumente hasta $0{,}1I_{C,\,sat}$. Otra manera de describir t_d es hacer notar que es aproximadamente igual al tiempo necesario para que la tensión base-emisor (diodo) aumente desde $-V_1$ hasta aproximadamente $+0{,}7$ V.

Tiempo de subida. El tiempo de subida es el tiempo necesario para que la corriente de colector aumente desde $0{,}1I_{C,\,sat}$ hasta $0{,}9I_{C,\,sat}$. Durante este intervalo el transistor está funcionado en la región activa normal.

Tiempo de corte. El tiempo necesario para que la corriente de colector disminuya desde $I_{C,\,sat}$ hasta $0{,}1I_{C,\,sat}$ cuando v_i disminuye (Fig. 9.7-2) se denomina *tiempo de corte*, t_{off}. El tiempo de corte es la suma del *tiempo de almacenamiento*, t_s, y el *tiempo de caída*, t_f, como muestra la Figura 9.7-2.

Tiempo de almacenamiento. El tiempo de almacenamiento es el tiempo transcurrido desde el flanco de bajada del impulso de entrada ($t = T$) hasta el punto en que i_C comienza justamente a disminuir hacia cero.

Tiempo de caída. El tiempo de caída t_f es el tiempo que tarda la corriente de colector en disminuir desde $I_{C,\,sat}$ hasta $0{,}1I_{C,\,sat}$.

Los cálculos del tiempo de retardo, tiempo de subida, tiempo de caída y tiempo de almacenamiento implican varias aproximaciones y generalmente dan por resultado valores que difieren apreciablemente de los publicados por los fabricantes. Además, la mayoría de interruptores con transistor o puertas hoy día en uso son circuitos integrados que contienen muchos transistores que no admiten un anállilsis simple. Por tanto, el lector deberá consultar los catálogos de los fabricantes para estos tiempos de respuesta.

Tiempo de retardo de propagación. El tiempo que tarda un interruptor con transistor en responder a una señal de entrada es lo que se llama *tiempo de retardo de propagación*, t_{pd}.

Este tiempo se define usualmente como el tiempo transcurrido entre los puntos medios de la tensión de transición de la señal de entrada y la tensión de transición de la señal de salida, como muestra la Figura 9.7-3.

El retardo de propagación cuando la salida del interruptor disminuye desde el estado alto hasta el estado bajo se representa por $t_{pd,HL}$ o t_{pd-}. Análogamente el retardo de propagación cuando la salida del interruptor aumenta desde el estado bajo hasta el estado alto se designa por $t_{pd,LH}$ o t_{pd+}. Habitualmente t_{pd+} es mayor que t_{pd-} a causa de la inevitable capacidad en la salida del interruptor. Cuando la salida disminuye, la capacidad se descarga a través del transistor (véase Fig. 9.7-1), que actúa como baja impedancia; en cambio, cuando la salida aumenta, el condensador se carga a través de la carga, que tiene una impedancia mucho más alta y, por tanto, el tiempo de carga es más largo. Si se emplea una salida de simetría complementaria, los tiempos de retardo de propagación son, naturalmente, comparables.

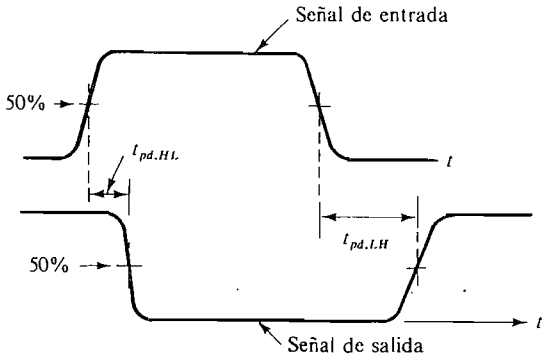


Figura 9.7-3. Tiempo de retardo de propagación.

EJEMPLO 9.7-1

El transistor (interruptor) mostrado en la Figura 9.7-4 intenta generar un pulso de tensión en la salida cuando un interruptor de entrada conmuta a la posición A. Si $t_{pd,HL} = t_{pd,LH} = 1$ μs, ¿cuándo obtendremos un pulso de tensión en la salida? ¿Qué valor debería tomar $t_{pd,HL} = t_{pd,LH}$ para asegurar un pulso en la salida de al menos 1 μs?

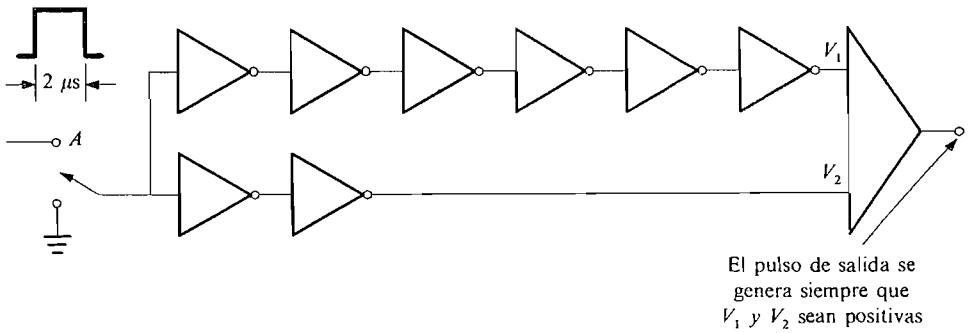


Figura 9.7-4. Generador de ancho de pulso.

Solución

El retardo en la propagación entre la entrada y la tensión v_1, T_{pd1}, es de 6 μs, mientras que el retardo de propagación entre la entrada y la tensión v_2, T_{pd2}, es de 2 μs. Como el pulso de entrada es solamente de 2 μs, v_1 y v_2 no serán simultáneamente positivas. De este modo no se generará ningún pulso en la salida. Este resultado se ilustra en la Figura 9.7-5 en orden a asegurar un solapamiento entre v_1 y v_2 de al menos 1 μs.

$$T_{D1} - T_{D2} \leqslant 1 \ \mu s$$

Pero $T_{D1} = 6t_{pd}$ y $T_{D2} = 2t_{pd}$. Por tanto,

$$4t_{pd} \leqslant 1 \ \mu s$$

y

$$t_{pd} \leqslant 250 \text{ ns}$$

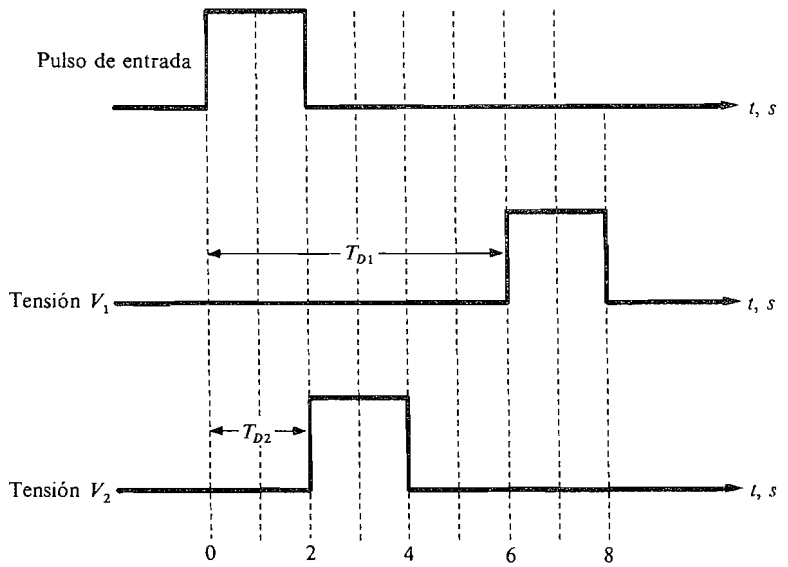


Figura 9.7-5. Formas de onda del pulso.

REFERENCIAS

1. Motorola Semiconductor Inc. «Power MOSFET Transistor Data», Phoenix AZ, 1987.
2. Motorola Semiconductor Inc. «Bipolar Power Transistor Data», Phoenix AZ, 1987.
3. Motorola Semiconductor Inc. «RF Device Data», Phoenix AZ, 1987.
4. Motorola Inc. Engineering Staff «Integrated Circuits», McGraw-Hill, Nueva York, 1965.
5. A. S. Grove, «Physics and Technology of Semiconductor Devices», Wiley, Nueva York, 1967.

PROBLEMAS

9.1-1. (*a*) Dibujar el circuito para pequeña señal de la Figura P9.1-1.

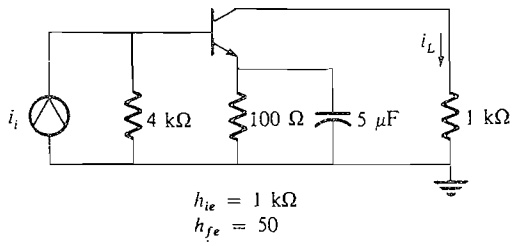


Figura P9.1-1.

(*b*) Hallar la función de transferencia $A_i = i_L(s)/i_i(s)$. *Sugerencia:* Reflejar en la base el circuito de emisor.

(*c*) Trazar el gráfico asintótico de magnitudes para A_i.

9.1-2. (*a*) En la Figura P9.1-2 hallar R_1 y R_2 para la máxima excursión simétrica (recordar que para una buena estabilidad de c.c. $h_{fe} < R_b < h_{fe}R_e$. Suponer $h_{fe} = 50$.

(*b*) Determinar C_e de manera que la frecuencia de corte inferior esté en $\omega = 10$ rad/s.

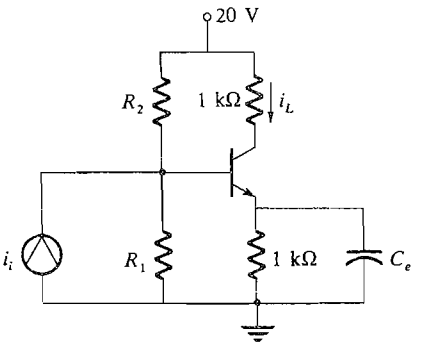


Figura P9.1-2.

9.1-3. Representar la magnitud asintótica y la fase para la función de transferencia

$$A = 10^4 \frac{(s\varphi + 10)(s + 300)(s + 4000)}{(s + 2)(s + 12)(s + 2000)}$$

Usar papel semilogarítmico y representar las asíntotas de la ganancia en decibelios y la fase θ en grados en función de ω en radianes por segundo. Representar en la misma hoja las características reales.

9.1-4. En la Figura 9.1-8 se dan $r_i = 50$ kΩ, $R_b = 500$ kΩ, $R_e = 100$ Ω y $R_c = 1$ kΩ, $h_{fe} = 100$, $h_{ie} = 1$ kΩ.

(*a*) Hallar C_{c1} de manera que la frecuencia de corte inferior sea $f = 10$ Hz.

(*b*) Representar i_c/i_i (gráfico asintótico).

(*c*) Representar la fase de i_c/i_i.

9.1-5. En la Figura P9.1-5 hallar la función de transferencia v_L/i_i. Representar la magnitud asintótica y la fase, $h_{fe} = 50$, $h_{ie} = 500$ Ω.

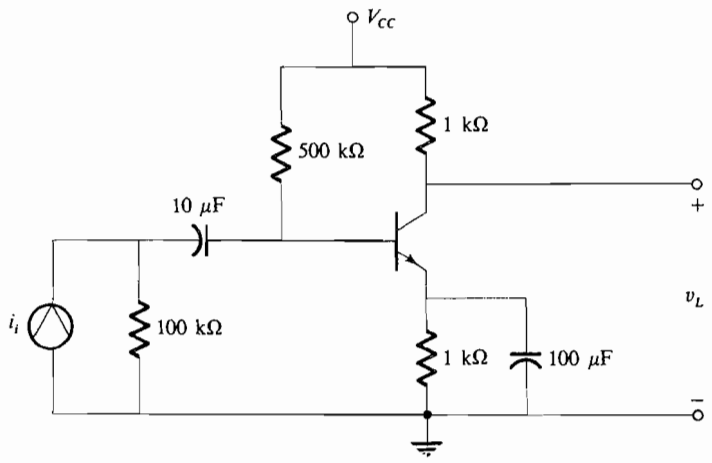


Figura P9.1-5.

9.1-6. En la Figura P9.1-6 hallar C_{c1} de manera que la frecuencia de corte inferior esté en $\omega = 5$ rad/s.

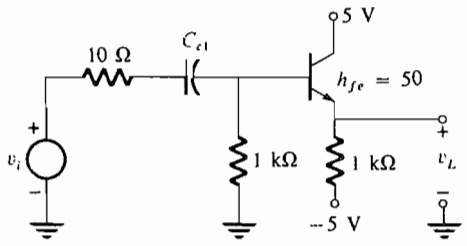


Figura P9.1-6.

9.1-7. En la Figura P9.1-7 hallar C_e y C_{c2} (*a*) de manera que A_i tenga un doble polo en 10 rad/s, y (*b*) de manera que la frecuencia de corte inferior esté en 10 rad/s.
(*c*) Representar la magnitud asintótica de A_i para (*a*) y (*b*).

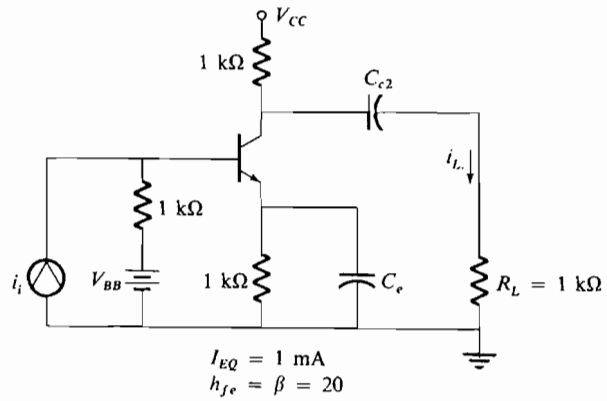


Figura P9.1-7.

9.1-8. Representar $|i_L/i_i|$ y hallar la frecuencia de corte inferior para el circuito de la Figura P9.1-8.

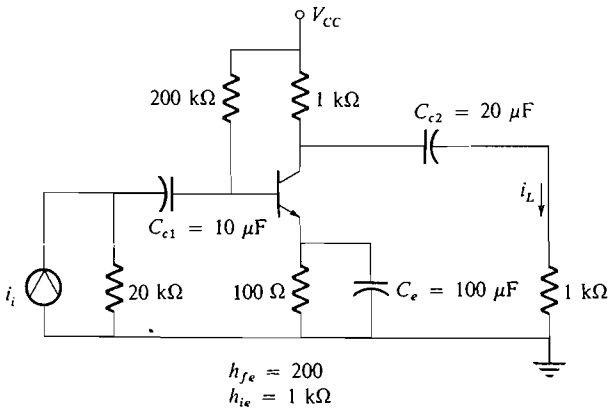


Figura P9.1-8.

9.1-9. Repetir el Problema 9.1-8 para el circuito de la Figura P9.1-9.

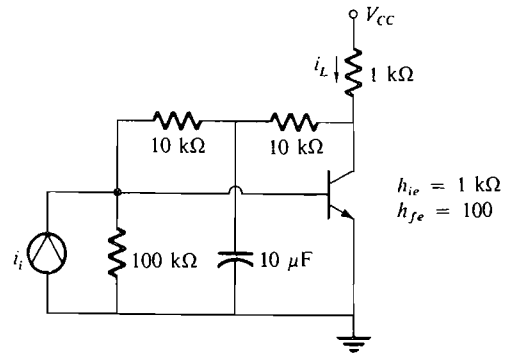


Figura P9.1-9.

9.1-10. Hallar $|i_L/i_i|$ y comentar el efecto de dividir la resistencia de emisor en la Figura P9.1-10.

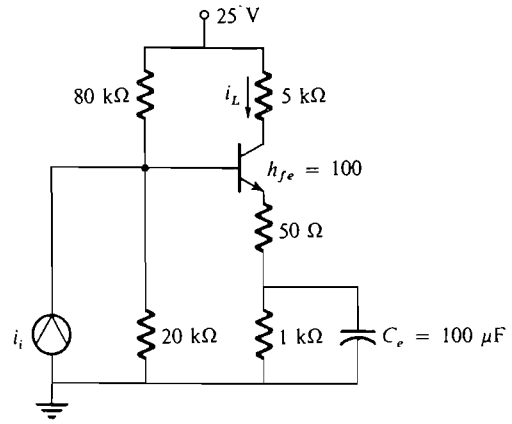


Figura P9.1-10.

9.1-11. Para el circuito de la Figura P9.1-8 utilizar la técnica de la Sección 9.1-5 para hallar nuevos valores de C_{c1}, C_{c2} y C_e para que $f_L \leqslant 10$ Hz.

9.2-1. Dibujar el circuito equivalente en pequeña señal para la Figura 9.2-1*a* y comprobar (9.2-1) y (9.2-2).

9.2-2. En Figura 9.2-1*a* suponer que $C_s \to \infty$ y $C_{c1} \to \infty$.
(*a*) Demostrar que la frecuencia angular de 3 dB viene dada por

$$\omega_L = \frac{1}{C_{c2}(R_L + r_{ds} \| R_d)}$$

(*b*) Utilizar los valores del Ejemplo 9.2-1 y calcular C_{c2} de manera que $f_L \leqslant 10$ Hz. ¿Qué se puede concluir acerca del tamaño del condensador de acoplo comparado con el tamaño del condensador de desacoplo?

9.2-3. En la Figura 9.2-1*a* suponer que C_s está abierto y $C_{c1} \to \infty$.
(*a*) Demostrar que la frecuencia angular de 3 dB viene dada por

$$\omega_L = \frac{1}{C_{c2}[R_L + (R_d \| r_{ds} + (\mu + 1)R_s)]}$$

(*b*) Utilizar los valores del Ejemplo 9.2-1 y calcular C_{c2} para que $f_L \leqslant 10$ Hz. Comparar con C_s en el Ejemplo 9.2-1.

9.2-4. En la Figura 9.2-1*a* suponer que $C_s \to 0$ y calcular v_L/v_i. Representar la magnitud asintótica suponiendo que primero ocurre la frecuencia de corte debida a C_{c1}.

9.2-5. Seleccionar los condensadores de acoplo y desacoplo para el amplificador diseñado en el Problema 6.8-3 de manera que la frecuencia de corte inferior sea más baja que 5 Hz. Utilizar la técnica de la Sección 9.1-5; es decir, elegir primero C_s y luego calcular C_{c1} y C_{c2} suponiendo que C_s esté abierto para obtener frecuencias de corte mucho más bajas.

9.2-6. (*a*) Hallar $A_v = v_L/v_i$ en la Figura P9.2-6.
(*b*) Hallar A_v si el condensador de desacoplo de fuente está conectado en paralelo con ambas resistencias de 250 Ω. Comparar con la parte (*a*).

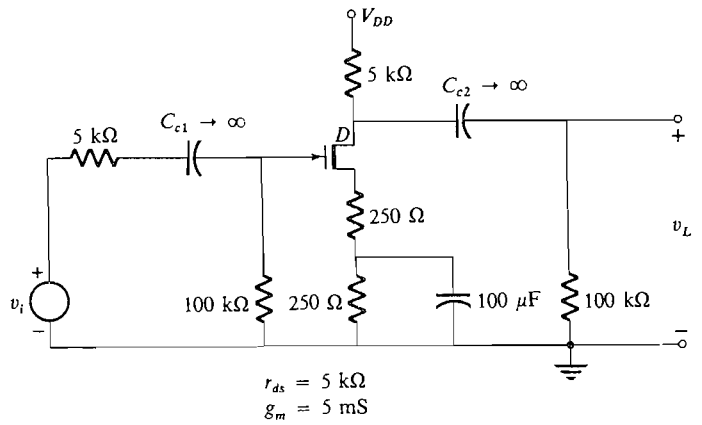


Figura P9.2-6.

9.3-1. Las mediciones indican que el amplificador de la Figura P9.3-1 tiene una ganancia en el centro de la banda i_L/i_i de 32 dB, una frecuencia de corte superior de 800 kHz y una corriente de emisor en reposo de 2 mA. Suponiendo también $r_{bb'} = C_{b'c} = 0$, hallar h_{fe}, $r_{b'e}$ y $C_{b'e}$.

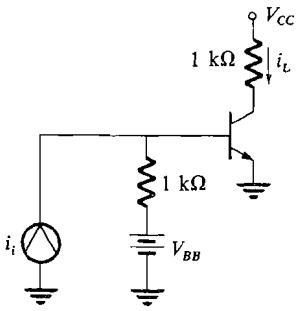


Figura P9.3-1.

9.3-2. En la Figura 9.3-6 sean $r_i = R_2 = 10$ kΩ, $R_1 = R_c = R_L = 1$ kΩ, $R_e = 100$ Ω y $C_{c1} = C_e = C_{c2} = 20$ μF. El transistor está caracterizado por $\omega_T = 10^9$ rad/s. $h_{fe} = 100$, $C_{b'c} = 5$ pF, $r_{bb'} = 0$ e $I_{EQ} = 10$ mA. Hallar y representar $|i_L/i_i|$. ¿Cuál es la frecuencia de corte superior?

9.3-3. Repetir el Problema 9.3-2 si $C_{b'c} = 2$ pF, $h_{fe} = 20$ e $I_{EQ} = 1$ mA.

9.3-4. Diseñar un amplificador de una sola etapa utilizando un transistor que tenga $f_T = 700$ MHz, $h_{fe} = 10$ y $C_{b'e} = 2{,}5$ pF. La ganancia en el centro de la banda ha de ser 14 dB y la frecuencia de corte superior debe ser todo lo alta posible. La fuente de señal tiene una resistencia interna de 1 kΩ y la resistencia de carga es 50 Ω. La máxima excursión de la corriente de carga necesaria es ±1 mA. Especificar todas las resistencias y hallar la frecuencia de corte superior.

9.3-5. Comprobar (9.3-21*a*) y (9.3-21*b*).

9.3-6. Comprobar (9.3-22*a*).

9.3-7. (*a*) Comprobar (9.3-23).
(*b*) Utilizar los valores del Ejemplo 9.3-3 en (9.3-23) para hallar la frecuencia de corte superior y compararla.
(*c*) Comprobar el resultado cuando $C_{b'c} = 2$ pF.

9.3-8. Para el transistor representado en la Figura P9.3-8, $\omega_T = 10^9$ rad/s, $C_{b'c} = 6$ pF, $r_{bb'} = 0$, $I_{EQ} = 1$ mA y $h_{fe} = 20$. Hallar y representar la magnitud de v_L/v_i. ¿Cuál es la frecuencia de corte superior?

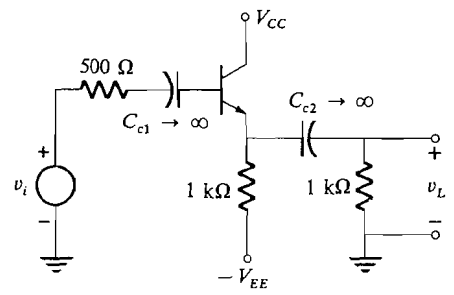


Figura P9.3-8.

9.3-9. Para el transistor representado en la Figura P9.3-9, $r_{bb'} = 20\ \Omega$, $r_{b'e} = 1\ \text{k}\Omega$, $C_{b'e} = 1000\ \text{pF}$, $C_{b'c} = 10\ \text{pF}$ y $g_m = 0{,}05\ \text{S}$. Hallar y representar la característica asintótica tensión-ganancia para todas las frecuencias.

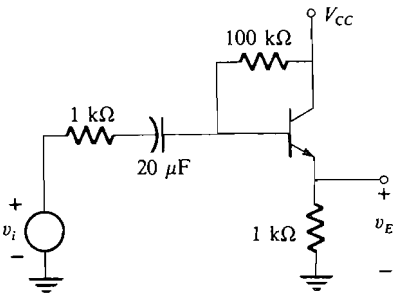


Figura P9.3-9.

9.3-10. El amplificador en configuración en base común de la Figura 6.3-1*b* debe ser analizado.
(*a*) Dibujar el circuito en pequeña señal utilizando el modelo híbrido en pi de la Figura 9.3-5.
(*b*) Siendo $r_{bb'} = 0$ demostrar que el circuito se puede dibujar como en la Figura P9.3-10.

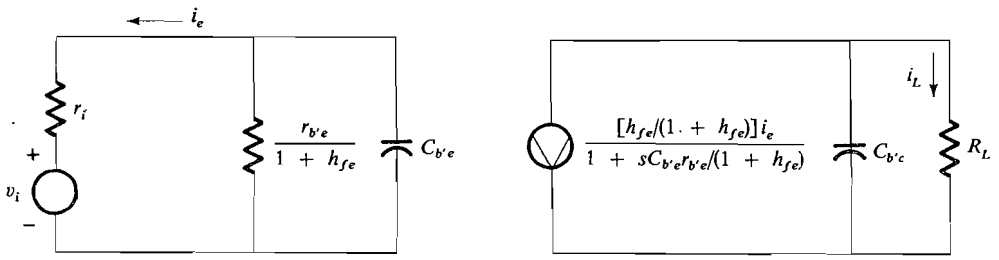


Figura P9.3-10.

9.3-11. Utilizar los resultados del Problema 9.3-10 y los valores del transistor del Problema 9.3-9. Si $r_i = R_L = 1\ \text{k}\Omega$, representar la magnitud asintótica de i_L/v_i e indicar la frecuencia de corte.

9.3-12. Este problema determina la respuesta en alta frecuencia del amplificador diferencial de la Figura 7.3-1. Como en esta configuración la RRMC es alta, podemos despreciar el circuito de modo común y utilizar el circuito de modo diferencial. El análisis es entonces exactamente el mismo que el de la Sección 9.3-2. Utilizar el modelo híbrido en pi de la Figura 9.3-5 con $r_{bb'} = 0$.
(*a*) Calcular $v_{o1}/(v_1 - v_2)$ y representar la magnitud asintótica indicando la frecuencia de corte.
(*b*) Repetir la parte (*a*) para $v_{o2}/(v_1 - v_2)$.

9.4-1. El JFET 2N4223 (véase apéndice para las especificaciones) se utiliza en el circuito de la Figura 9.4-1 con $R_d = 10\ \text{k}\Omega$.
(*a*) Dibujar el circuito equivalente de alta frecuencia, incluyendo el efecto Miller.
(*b*) Hallar la frecuencia de corte superior si $r_i = 50\ \Omega$.
(*c*) Repetir la parte (*b*) siendo $r_i = 10\ \text{k}\Omega$.

9.4-2. En el circuito de la Figura 9.4-1 se debe utilizar el JFET 2N4223. La fuente de señal tiene una impedancia de 600 Ω y la carga consiste en una resistencia de 50 kΩ en paralelo con 20 pF. Diseñar la etapa de manera que $A_{vm} \geqslant 20$ dB y $f_h \geqslant 50$ kHz.

9.4-3. (*a*) Demostrar que para la Figura 9.4-9 si $g_m R_s \gg 1$

$$\frac{v_o}{v_i} = \frac{1 + sC_{gs}/g_m}{1 + s[C_{gs}(R_i + R_s)/g_m R_s + C_{gd}R_i] + s^2 C_{gs}R_i C_{gd}/g_m}$$

(*b*) Si $R_s \gg R_i$, simplificar el resultado de la parte (*a*) y comprobar (9.4-9).
(*c*) Si $C_{gd} \to 0$, comprobar (9.4-7).

9.4-4. Comprobar el resultado del Ejemplo 9.4-2.

9.4-5. Para el seguidor de fuente de la Figura P9.4-5 representar la ganancia de tensión asintótica para todas las frecuencias.

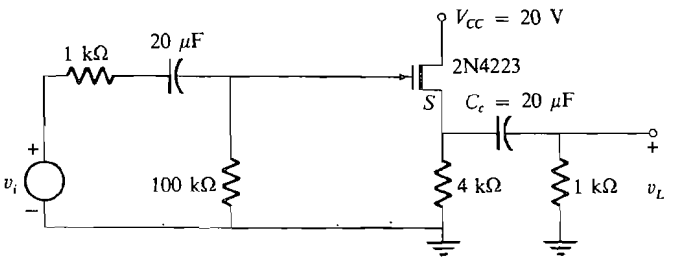


Figura P9.4-5.

9.5-1. Demostrar que la frecuencia central del circuito sintonizado de la Figura P9.5-1 es $1/\sqrt{LC}$ y que el ancho de banda de 3 dB es $1/2\pi RC$, comprobando, por tanto, (9.5-10).

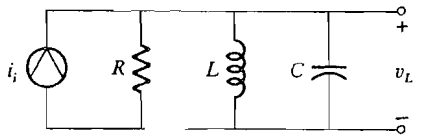


Figura P9.5-1.

9.5-2. Hallar la frecuencia resonante ω_0 y el ancho de banda del circuito sintonizado de la Figura P9.5-2. Comprobar los resultados obtenidos con los del Problema 9.5-1, donde

$$R = r_c\left(\frac{\omega_0 L}{r_c}\right)^2$$

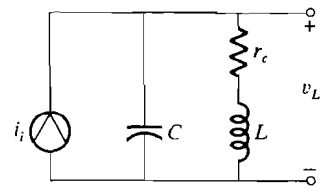


Figura P9.5-2.

9.5-3. En la Figura P9.5-3 está representado un amplificador sintonizado.
(*a*) Hallar L de manera que el circuito resuene en 30 MHz.
(*b*) ¿Cuál es el ancho de banda del amplificador?
(*c*) Calcular la ganancia de corriente.

$r_{b'e} = 1\ \text{k}\Omega$
$r_{bb'} = 0$
$h_{fe} = 100$
$f_T = 500\ \text{MHz}$
$C_{b'c} = 2\ \text{pF}$

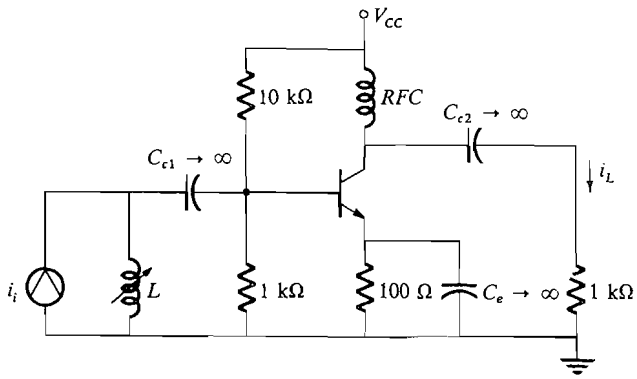


Figura P9.5-3.

9.5-4. Diseñar el amplificador de sintonía única de manera que tenga una ganancia de corriente de 10 dB en 40 MHz. El ancho de banda debe ser 1 MHz. La impedancia de fuente es 1 kΩ y la impedancia de carga es 1 kΩ. Se dispone de una fuente de alimentación de 10 V. Suponer que el Q de la bobina utilizada es 50.
(*a*) Utilizar un solo transistor. Seleccionarlo por un catálogo de transistores. Observar que f_T debe exceder del producto GBW del amplificador. ¿Por qué?
(*b*) Determinar los parámetros pertinentes del transistor.
(*c*) Calcular L.
(*d*) Comprobar el diseño hallando la ganancia de corriente.

9.5-5. Diseñar un filtro de paso de banda como el de la Figura P8.4-12*b* de manera que la frecuencia central sea 160 Hz y el ancho de banda de 3 dB sea 16 Hz. Los condensadores elegidos deben tener una capacidad menor de 0,1 μF.

9.5-6. El transformador de la Figura P9.5-6*a* se caracteriza por

$$E_1 = sL_1I_1 - sMI_2$$

y

$$E_2 = sMI_1 - sL_2I_2$$

donde $M = k\sqrt{L_1L_2}$ es la inductancia mutua entre el primario L_1 y el secundario L_2 y k es el coeficiente de acoplamiento.
(*a*) Demostrar, mediante las ecuaciones anteriores, el resultado del circuito equivalente de la Figura P9.5-6*b*.
(*b*) Si el acoplamiento es fuerte, por lo que $k = 1$, hallar el circuito equivalente.

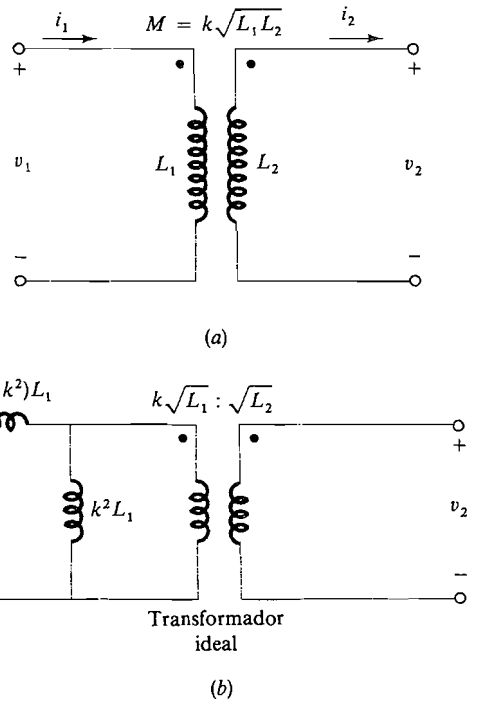


Figura P9.5-6.

5-7. El autotransformador representado en la Figura P9.5-7 tiene ecuaciones análogas a las del Problema 9.5-6.

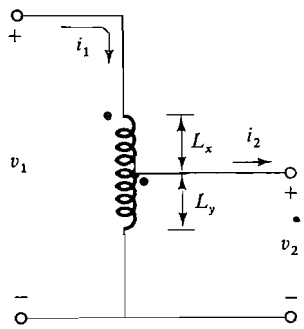


Figura P9.5-7.

(*a*) Demostrar que las ecuaciones del autotransformador son

$$E_1 = s(L_x + L_y + 2M)I_1 - s(M + L_y)I_2$$

$$E_2 = s(M + L_y)I_1 - sL_yI_2$$

donde M está definida como inductancia mutua entre la mitad superior del transformador L_x y el secundario L_y y $M = k\sqrt{L_xL_y}$.

(*b*) Obtener un circuito equivalente para el autotransformador análogo al de la Figura P9.5-6*b* mediante la definición de una inductancia mutua artificial M_a de manera que $M_a = M + L_y = k_a\sqrt{(L_x + L_y + 2M)L_2}$.

(*c*) Si el acoplamiento es fuerte, de manera que $k = 1$, demostrar que $k_a = 1$ y probar que el autotransformador puede ser representado por el modelo de una bobina L' en paralelo con un transformador ideal, como muestra la Figura 9.5-6*b*, donde

$$L' = (\sqrt{L_x} + \sqrt{L_y})^2 \quad \text{y} \quad \frac{n_2}{n_1} = \sqrt{\frac{L'}{L_y}} = \frac{\sqrt{L_x} + \sqrt{L_y}}{\sqrt{L_y}}$$

9.5-8. Comprobar (9.5-12).

9.5-9. En la Figura 9.5-4 $r_i = 47$ kΩ, $R_b = 10$ kΩ, $R_c = R_L = 2$ kΩ y el autotransformador está definido por $L' = 10$ μH con $n_2/n_1 = 10$. El transistor está polarizado en $I_E = 5$ mA y tiene $r_{bb'} = 0$, $h_{fe} = 100$, $C_{b'e} = 100$ pF y $C_{b'c} = 2$ pF.
(*a*) Calcular la función de transferencia i_L/i_i.
(*b*) Elegir C' para que el circuito resuene en 10 MHz.
(*c*) Determinar el ancho de banda de 3 dB utilizando el resultado de la parte (*b*).

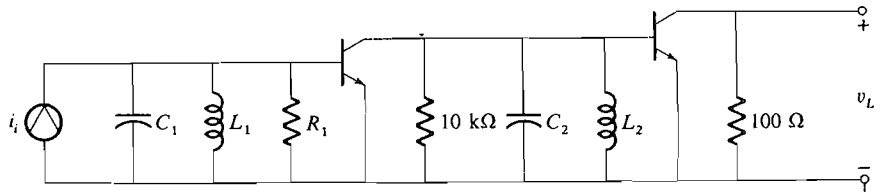
9.5-10. En la Figura 9.5-6 sean $r_i = R_L = 50$ Ω, $C' = 4$ pF, $L_c = 2$ μH, $n_1/n_2 = a = 0{,}1$ y $Q_{\text{bobina}} = \omega_0 L/r_c = 200$. El transistor tiene los parámetros $r_{b'e} = 50$ Ω, $g_m = 0{,}1$ S, $C_{b'e} = 6$ pF, $C_{b'c} = 2$ pF y $r_{bb'} = 0$.
(*a*) Determinar L', L_b, L_c y C_c de manera que el circuito resuene en 80 MHz.
(*b*) ¿Cuál es el ancho de banda del circuito?

9.5-11. Verificar (9.5-18) y (9.5-19).

9.5-12. Verificar (9.5-21).

9.5-13. Verificar (9.5-23*b*).

9.5-14. El amplificador sintonizado síncronamente de la Figura P9.5-14 está diseñado de manera que resuene a 100 kHz y tenga un ancho de banda de 2 kHz.
(*a*) Hallar C_1, L_1, C_2, L_2 y R_1.
(*b*) Calcular la ganancia v_L/i_i.



$f_T = 10^3$ MHz $\qquad h_{fe} = 100$

$r_{b'e} = 1$ kΩ, $r_{bb'} = 0 \qquad C_{b'c} = 2$ pF

Figura P9.5-14.

9.6-1. Para los transistores representados en la Figura P9.6-1, $r_{b'e} = 1$ kΩ, $C_{b'e} = 1000$ pF, $C_{b'c} = 10$ pF y $g_m = 0{,}05$ S. Determinar el producto GBW de cada configuración.

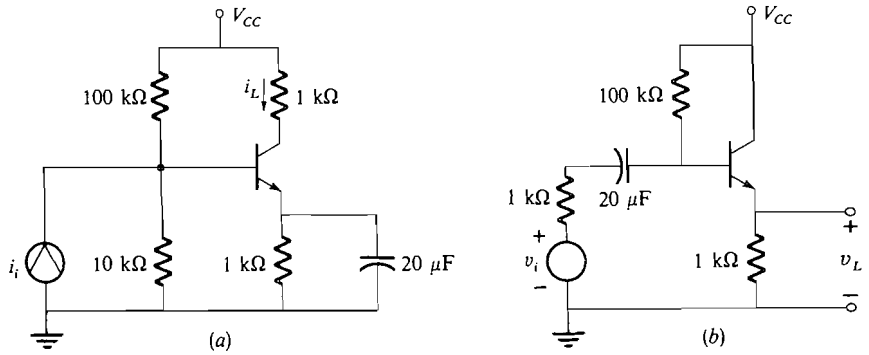


Figura P9.6-1.

9.6-2. Un amplificador FET de una sola etapa utiliza un JFET de baja frecuencia que tiene los parámetros $g_m = 3$ mS, $r_{ds} = 50$ kΩ, $R_d = 10$ kΩ, $R_g = 500$ kΩ, $C_{gs} = 30$ pF y $C_{gd} = 5$ pF. Hallar el producto GBW. Suponer $R_L = r_i = 10$ kΩ.

9.6-3. Repetir el Problema 9.6-2 utilizando un MOSFET con $g_m = 2{,}5$ mS, $C_{gs} = 30$ pF, $r_{ds} = 60$ kΩ y $C_{gd} = 1{,}6$ pF. Se supone que todas las demás resistencias tienen los mismos valores.

9.6-4. Considerar un montaje de n etapas en cascada en configuración en emisor común ideales e idénticas en que $r_{b'b} = C_{b'c} = 0$. Cada etapa está caracterizada por una función de transferencia idéntica a (9.3-16) con $C_M = 0$ y frecuencia de corte f_h dada por (9.3-17*b*). Hallar el ancho de banda de 3 dB total del montaje en cascada f_n en función de n y tabular para $n = 1, 2, 3; 4$ y 5. (Esta es una estimación extremadamente optimista, ya que tomamos $C_M = 0$.)

9.6-5. Hay que diseñar un amplificador para una ganancia de corriente en frecuencias medias de 80 dB y una frecuencia de corte de 350 kHz. Se utilizarán transistores que tengan $h_{fe} = 120$ y $f_T = 90$ MHz. Despreciando el efecto Miller y suponiendo etapas idénticas, hallar el número de etapas necesarias y la ganancia por etapa en frecuencias medias.

9.6-6. En el Problema 9.6-4 se puede obtener una mejor estimación del ancho de banda para el montaje en cascada de n etapas idénticas si se incluye el efecto Miller en (9.3-16) y (9.3-17*b*). Repetir el Problema 9.6-5 incluyendo los efectos de C_M. (En este análisis aún se desprecia la capacidad Miller de carga de la etapa precedente. Este caso se trata con más detalle en el Capítulo 13 de la Referencia 3.)

CAPITULO

10

Realimentación, compensación en frecuencia de los amplificadores operacionales y osciladores

INTRODUCCION

De lo expuesto en los Capítulos 7 y 8 se deduce que la idea de realimentación es de importancia capital en la teoría de los amplificadores operacionales lineales y no lineales. En aquellos capítulos fueron de máxima importancia las características de salida-entrada de los circuitos, pero se omitieron los efectos de la realimentación. En este capítulo la realimentación es el tema principal y estudiaremos sus efectos sobre la estabilidad de los circuitos operacionales y el diseño de osciladores.

10.1. CONCEPTOS BASICOS DE LA REALIMENTACION

Hay muchos tipos diferentes de circuitos realimentados. La mayoría de los que actualmente se utilizan se clasifican en dos categorías. Consideramos primero la configuración inversora estándar o normalizada de la Figura 8.1-2, repetida en la Figura 10.1-1*a*. En este circuito se obtiene realimentación negativa conectando la resistencia R_f entre la salida y la entrada. La comparación real de la salida y la entrada tiene lugar combinando las corrientes i_1 e i_2 en el nudo de entrada del amplificador, por lo que se llama *diferenciación de corriente*. Para facilitar el análisis de este tipo de circuito se puede sustituir la resistencia de realimentación por el circuito equivalente representado en la Figura 10.1-1*b*. Si la red de realimentación es más complicada que la de la Figura 10.1-1*a*, se utiliza el circuito equivalente de la Figura 10.1-1*c* porque cualquier circuito lineal se puede poner en esta forma. Finalmente, se observa que el efecto de la fuente $K_2 v_d$ es despreciable en la mayoría de las aplicaciones (en la Figura 10.1-1*a*, $K_2 v_d = v_d \approx 0$, ya que la entrada del operacional es un cortocircuito virtual) por lo que se omite en el circuito final de la Figura 10.1-2. Este

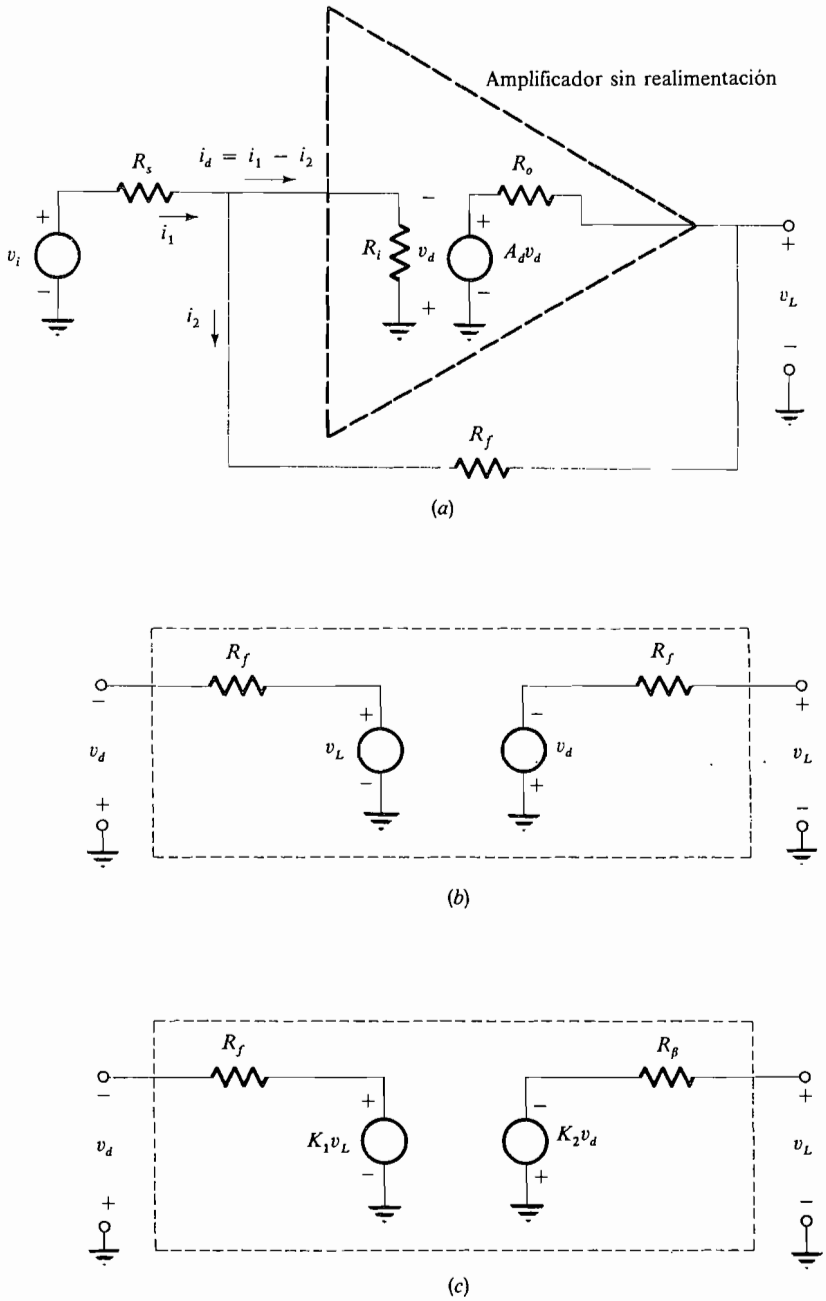


Figura 10.1-1. Circuitos de realimentación: (*a*) configuración inversora; (*b*) circuito equivalente de la red de realimentación; (*c*) circuito equivalente general.

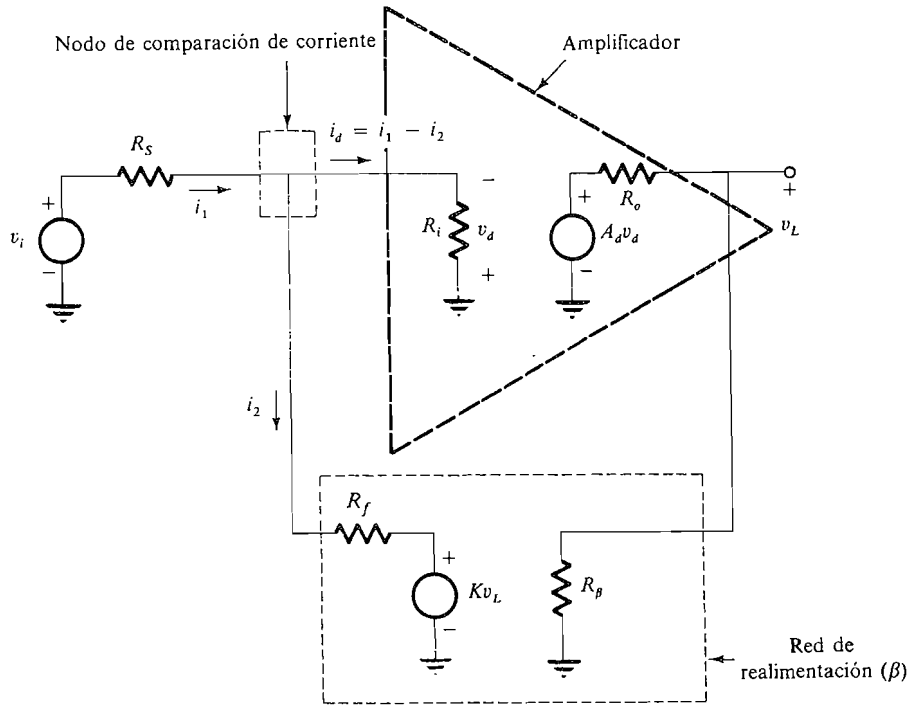


Figura 10.1-2. Circuito diferenciador de corriente con realimentación negativa.

circuito es un ejemplo de *amplificador diferenciador de corriente con realimentación negativa*, que comprende conceptualmente tres secciones:

1. Un amplificador al que se aplica la realimentación (un operacional en circuito integrado).
2. Una red de realimentación que puede contener desde una sola resistencia hasta un circuito con elementos no lineales.
3. Un circuito diferenciador (o sumador) en que la salida se compara con la entrada (esta comparación es la esencia de la realimentación).

Diferenciador de tensión

El circuito de la Figura 10.1-3 difiere del de la Figura 10.1-2 en que la salida de la red de realimentación está en serie con la resistencia de entrada del amplificador R_i en la Figura 10.1-3 mientras está en paralelo con R_i en la Figura 10.1-2. La realimentación ilustrada en la Figura 10.1-3 es representativa de *realimentación negativa con diferenciación de tensión*; este circuito se utiliza en el amplificador no inversor de la Figura 8.2-1. Aquí la comparación de la salida y la entrada se realiza por medio de la *adición de las tensiones* Kv_L y v_i en serie.

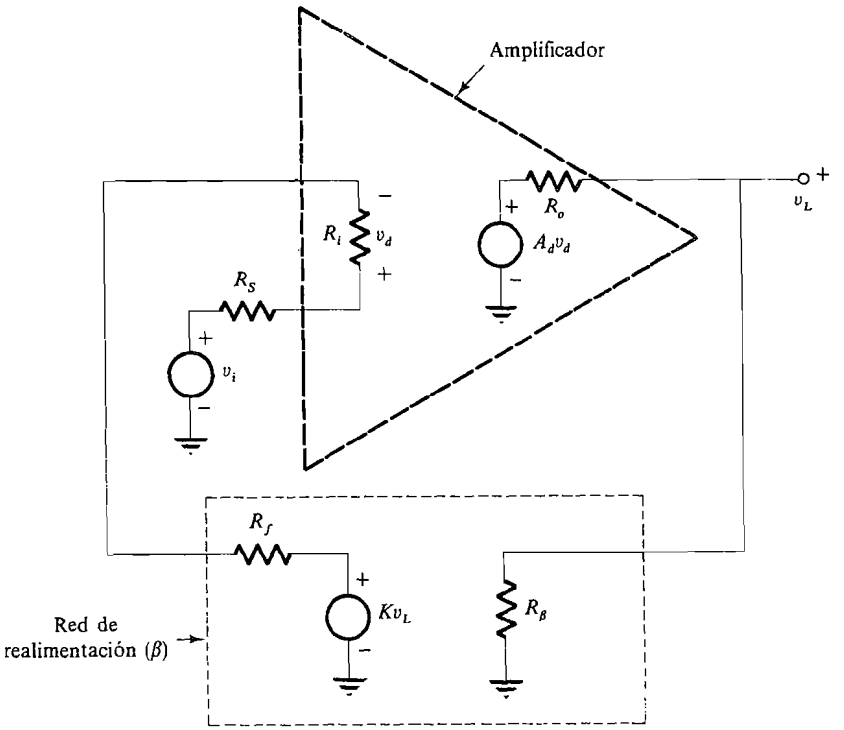


Figura 10.1-3. Circuito diferenciador de tensión con realimentación negativa.

10.1-1. Ganancia de un amplificador realimentado

Diferenciación de corriente

Para calcular la ganancia de tensión del amplificador de la Figura 10.1-2 empezamos expresando las corrientes existentes en el nudo de entrada del amplificador en la forma

$$i_1 = \frac{v_i + v_d}{R_s} \qquad i_2 = -\frac{v_d + Kv_L}{R_f} \tag{10.1-1}$$

y, por tanto,

$$i_d = i_1 - i_2 = \frac{v_i + v_d}{R_s} + \frac{v_d + Kv_L}{R_f} = -\frac{v_d}{R_i} \tag{10.1-2}$$

Despejando v_d de (10.1-2), para lo que se supone $R_i \gg R_s$ o R_f y $R_\beta \gg R_o$ de modo que $v_L \approx A_d v_d$, hallamos, después de algunas transformaciones, que,

$$v_L \approx -\frac{(A_d v_i/R_s)(R_s \| R_f)}{1 + (A_d K/R_f)(R_s \| R_f)} \tag{10.1-3a}$$

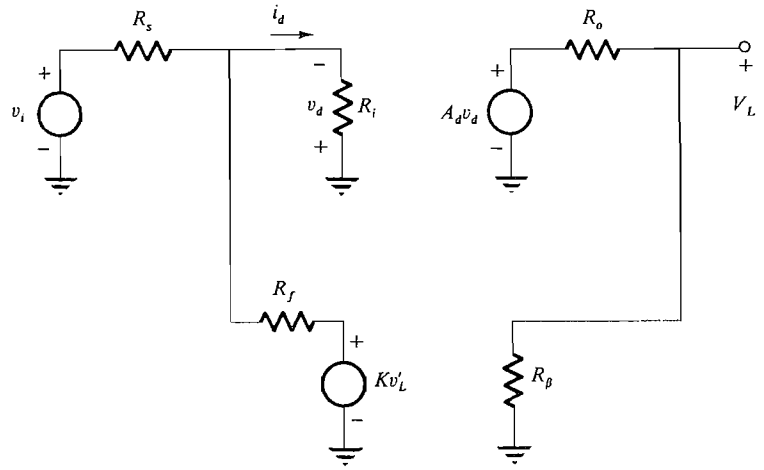


Figura 10.1-4. Circuito utilizado para calcular la ganancia de lazo T y la ganancia sin realimentación A_o.

Cuando el denominador es mucho mayor que la unidad

$$\frac{A_d K}{R_f}(R_s \| R_f) \gg 1 \tag{10.1-3b}$$

(10.1-3*a*) se reduce a

$$v_L \approx -\frac{R_f}{KR_s} v_i \tag{10.1-3c}$$

que es independiente de la ganancia del amplificador A_d. Para la configuración inversora estándar de la Figura 10.1-1*a* tenemos $K = 1$, por lo que $v_L = -(R_f/R_s)v_i$ como era previsible [véase (8.1-2*b*)].

El término $(-A_d K/R_f)(R_s \| R_f)$ hallado en el denominador de (10.1-3) es lo que se llama *ganancia de lazo* T del amplificador. Esta ganancia se puede calcular directamente utilizando el circuito de la Figura 10.1-4, que difiere del de la Figura 10.1-2 en que la fuente de tensión incluida en la red de realimentación se designa por Kv'_L en vez de Kv_L. La ganancia de lazo se define como ganancia en el lazo del circuito con la tensión de entrada igual a cero:

$$T = \left.\frac{v_L}{v'_L}\right|_{v_i=0} = \frac{v_L}{v_d}\frac{v_d}{i_d}\frac{i_d}{v'_L} \tag{10.1-4a}$$

Suponiendo nuevamente que $R_i \gg R_s$ o R_f y $R_\beta \gg R_o$, tenemos

$$T \approx A_d(-R_i)\left(\frac{K}{R_s + R_f}\right)\left(\frac{R_s}{R_s + R_i}\right)$$

$$\approx -A_d K \frac{R_s}{R_s + R_f} = -\frac{A_d K}{R_f}(R_s \| R_f) \tag{10.1-4b}$$

El numerador de (10.1-3*a*) se denomina *ganancia de lazo abierto* o *ganancia sin realimentación* A_o. Esta ganancia se puede calcular utilizando el circuito de la Figura 10.1-4 poniendo $v'_L = 0$. Entonces

$$A_o = \left.\frac{v_L}{v_i}\right|_{v'_L = 0} = \frac{v_L}{v_d}\frac{v_d}{v_i} \approx A_d \frac{-R_f}{R_s + R_f} = -\frac{A_d}{R_s}(R_s \| R_f) \tag{10.1-5}$$

Utilizando los resultados de (10.1-4*b*) y (10.1-5) podemos reescribir (10.1-3) en la forma

$$A_v = \frac{v_L}{v_i} = \frac{A_o}{1 - T} \tag{10.1-6}$$

Esta expresión da la ganancia total A_v en función de la ganancia sin realimentación A_o y la ganancia de lazo T para el circuito de diferencia de corriente de la Figura 10.1-2.

Diferenciación de tensión

La ganancia del amplificador realimentado de la Figura 10.1-3 también se puede hallar utilizando (10.1-6). Para calcular A_o y T de este amplificador, primero cambiamos la fuente de tensión de realimentación Kv_L por Kv'_L. Si suponemos que $R_i \gg R_s$ y R_f y $R_\beta \gg R_o$, la ganancia de lazo es

$$T = \left.\frac{v_L}{v'_L}\right|_{v_i = 0} = \frac{v_L}{v_d}\frac{v_d}{v'_L} \approx A_d \frac{-KR_i}{R_i + R_f + R_s} \approx -A_d K \tag{10.1-7}$$

La ganancia de lazo abierto A_o es

$$A_o \equiv \left.\frac{v_L}{v_i}\right|_{v'_L = 0} = \frac{v_L}{v_d}\frac{v_d}{v_i} \approx A_d \frac{R_i}{R_i + R_s + R_f} \approx A_d \tag{10.1-8}$$

De aquí que la tensión de salida sea, por (10.1-6)

$$v_L \approx \frac{A_d}{1 + A_d K} v_i \tag{10.1-9}$$

El lector puede comprobar el resultado mediante el cálculo directo utilizando la Figura 10.1-3 (Prob. 10.1-1).

10.1-2. La ganancia de lazo *T*

Por (10.1-6) se ve que la ganancia de lazo regula la «cantidad» de realimentación presente en un circuito. Cuando $T = 0$ ($K = 0$), no hay realimentación. Cuando $-T$ se hace muy grande comparado con la unidad, la ganancia del amplificador realimentado se aproxima a $A_v = v_L/v_i = -(R_f/KR_s)$ para el circuito de la Figura 10.1-2 y $A_v = 1/K$ para el circuito de la Figura 10.1-3. En ambos casos la ganancia con realimentación es aproximadamente

independiente de la ganancia del amplificador A_d. En consecuencia, la ganancia con realimentación es más insensible a la temperatura del amplificador y a las variaciones de los parámetros cuando la ganancia de lazo aumenta. Esta es una ventaja importante de la realimentación. Además observamos que la realimentación disminuye la ganancia desde el valor sin realimentación A_o hasta $A_o/(1 - T)$. De aquí que, cuando $-T$ aumenta la ganancia con realimentación se reduce en el factor $1 - T$. Estas ideas se consideran cualitativamente en las secciones siguientes.

10.1-3. Amplificadores realimentados y la función de sensibilidad

Prácticamente los amplificadores realimentados se diseñan de manera que la ganancia en lazo abierto A_o sea extremadamente grande (40 a 120 dB o más). La ganancia de lazo cerrado resultante es, entonces, principalmente una función de la red de realimentación. La ganancia es casi totalmente independiente de las variaciones de h_{fe}, la tensión de alimentación, de la temperatura, etc.

Sensibilidad a las variaciones de ganancia. Una medida cuantitativa de la efectividad de la realimentación haciendo que A_v sea independiente de la ganancia del amplificador en lazo abierto A_o es la función de sensibilidad $S_{A_o}^{A_v}$ definida por

$$S_{A_o}^{A_v} = \frac{dA_v/A_v}{dA_o/A_o} = \frac{A_o}{A_v}\frac{dA_v}{dA_o} \tag{10.1-10}$$

La sensibilidad de A_v con respecto a las variaciones de A_o es la razón de la variación fraccionaria (o porcentaje) de A_v a la variación fraccionaria (o porcentaje) de A_o. Evidentemente será deseable obtener la sensibilidad cero, a causa de que esto significa que las variaciones de la ganancia en lazo abierto A_o no serán causa de la variación de la ganancia con realimentación A_v.

Podemos calcular $S_{A_o}^{A_v}$ del amplificador básico realimentado de la Figura 10.1-1 por diferenciación de (10.1-6). Esto da,

$$\frac{dA_v}{dA_o} = \frac{1}{1 - T} - \frac{A_o}{(1 - T)^2}\frac{d(1 - T)}{dA_o} \tag{10.1-11a}$$

En la mayoría de los casos T es directamente proporcional a A_o por lo que,

$$A_o\frac{d(1 - T)}{dA_o} = -T \tag{10.1-11b}$$

De donde,

$$\frac{dA_v}{dA_o} = \frac{1}{(1 - T)^2} \tag{10.1-11c}$$

Sustituyendo (10.1-6) y (10.1-11c) en (10.1-10) se tiene

$$S_{A_o}^{A_v} = \frac{1}{1 - T} \tag{10.1-12}$$

La Ecuación (10.1-12) significa que si $-T \gg 1$, una variación del 10 por 100 en la ganancia de tensión directa A_o debida a la sustitución o cambio de transistor, cambios de temperatura, etc., aparecerá como una variación de la ganancia total A_v de aproximadamente igual a $10/T$ por 100. Se pueden utilizar las Ecuaciones (10.1-12) y (10.1-6) para establecer las cifras preliminares de diseño, como muestra el ejemplo siguiente.

EJEMPLO 10.1-1

Hay que diseñar un amplificador realimentado para que tenga una ganancia total A_v de 40 dB y una sensibilidad del 5 por 100 a las variaciones de la ganancia interna del amplificador. Hallar la ganancia de lazo y la ganancia de lazo abierto necesarias.

Solución

Por (10.1-6)

$$A_v = \frac{A_o}{1 - T} \approx \frac{A_o}{-T} = 100 = 40 \text{ dB}$$

Por (10.1-12)

$$S_{A_o}^{A_v} \approx \frac{1}{-T} = 0{,}05$$

por lo que $|T| \approx 20 = 26$ dB
y $A_o \approx (20)(100) = 2000 = 66$ dB

Así, con el fin de obtener una ganancia total de 100 (40 dB) debemos comenzar con un amplificador que tenga una ganancia de 2000 (66 dB). Este sacrificio de la ganancia ha redundado en un grado considerable de estabilidad.

10.2. RESPUESTA EN FRECUENCIA DE UN AMPLIFICADOR REALIMENTADO

En la sección anterior hemos supuesto que A_o y T eran independientes de la frecuencia. También hemos supuesto que se empleaba realimentación negativa, por lo que T era un número negativo y $1 - T$ era siempre un número positivo. La respuesta de un amplificador real depende, naturalmente, de la frecuencia, por lo que aunque T pueda ser un número negativo a frecuencias bajas, su fase generalmente aumenta a frecuencias altas. Supongamos que en alguna frecuencia ω_0 la magnitud de T es la unidad y la variación de fase puede ser 2π radianes. Entonces en ω_0, $T(\omega_0) = +1$ y

$$A_v = \frac{A_o}{1 - T} \to \infty$$

¿Qué significa este resultado en términos del sistema físico? Veamos lo que ocurre cualitativamente cuando T se aproxima a $+1$. Evidentemente, A_v aumenta. Así, si v_i disminuye continuamente para que v_L se mantenga en un nivel fijo, cuando T se aproxima a $+1$, en el límite hallamos que no se requiere señal alguna para obtener una salida cuando $T = +1$. Cuando esto ocurre se dice que el amplificador es *inestable* y puede producir oscilaciones sin excitación externa alguna.

Como veremos, no es necesario que T sea exactamente $1\underline{/0°}$ ó $1\underline{/360°}$ para que ocurra la inestabilidad. Cuando es activado un amplificador, la ganancia de lazo aumentará desde cero hasta su valor nominal en el tiempo que transcurre hasta que el amplificador alcanza las condiciones de permanente. Si durante el transitorio, la fase de T es 0° ó 360° y la magnitud de la ganancia del bucle sube por encima de la unidad, el amplificador realimentado entrará en oscilación.

Otra manera de definir la estabilidad es hacerlo en función de la respuesta transitoria del amplificador. Así, un amplificador es estable si su respuesta a los impulsos no contiene modos de oscilación libre que persistan o aumenten indefinidamente con el tiempo[1]. En términos de la transformada de Laplace, una definición equivalente es que la función de transferencia $A_v(s)$ no debe tener polos en la mitad de la derecha del plano $s = \sigma + j\omega$, o en el eje imaginario, a causa de que tales polos tienen $\sigma \geqslant 0$ y por eso tienden a que los términos persistan o aumenten indefinidamente en la respuesta transitoria.

Uno de los tributos que habrá que pagar por las ventajas de la realimentación es la necesidad de afrontar el problema de la estabilidad que acabamos de describir. En este capítulo estudiaremos los métodos de predecir y evitar la inestabilidad en alta frecuencia. En la Sección 10.7 estudiaremos los osciladores en que se provoca intencionadamente la inestabilidad en el circuito.

10.2-1. Ancho de banda y producto ganancia-ancho de banda

A fin de determinar la respuesta en frecuencia de un amplificador realimentado típico consideremos ahora el circuito de la Figura 10.1-2.

En la Sección 10.1 hemos visto que la ganancia total de tensión de este circuito podría ser descrita en la forma

$$A_v = \frac{A_o}{1 - T} \tag{10.2-1}$$

donde A_o y T se suponía que eran constantes. Ahora eliminamos este supuesto, por lo que A_o y T serán, en general, funciones de la frecuencia compleja s.

Amplificador de un solo polo. Supongamos que la ganancia del amplificador A_d tiene un solo polo real negativo en $s = -\omega_1$, por lo que

$$A_d(s) = \frac{A_{dm}}{1 + s/\omega_1} \tag{10.2-2}$$

donde A_{dm} es la ganancia en frecuencias bajas. Si la red de realimentación es independiente de la frecuencia, la ganancia de lazo T, (10.1-4*b*) se puede escribir

$$T = -\left(\frac{A_{dm}K(R_s \| R_f}{R_f}\right)\frac{1}{1 + s/\omega_1} \tag{10.2-3}$$

Si definimos T_m como magnitud de la ganancia de lazo en frecuencias inferiores a ω_1, entonces,

$$T_m = \frac{A_{dm}K(R_s \| R_f)}{R_f} \tag{10.2-4a}$$

y

$$T = -\frac{T_m}{1 + s/\omega_1} \tag{10.2-4b}$$

Análogamente, hallamos que la ganancia de lazo abierto A_o debe ser (10.1-5)

$$A_o = -\frac{A_{om}}{1 + s/\omega_1} \tag{10.2-5a}$$

donde A_{om}, magnitud de la ganancia de lazo abierto en frecuencias bajas, es

$$A_{om} = \frac{A_{dm}(R_s \| R_f)}{R_s} \tag{10.2-5b}$$

Sustituyendo (10.2-4*b*) y (10.2-5*a*) en (10.1-6) se tiene

$$\begin{aligned} A_v = \frac{v_L}{v_i} &= \frac{-A_{om}/(1 + s/\omega_1)}{1 + T_m/(1 + s/\omega_1)} \\ &= \frac{-A_{om}}{1 + T_m}\left(\frac{1}{1 + s/\omega_1(1 + T_m)}\right) \end{aligned} \tag{10.2-6}$$

La Ecuación (10.2-6) muestra que el amplificador realimentado tiene un polo en

$$s = -\omega_1(1 + T_m) \tag{10.2-7a}$$

y, por tanto, que la frecuencia de corte superior del amplificador con realimentación es

$$f_h = f_1(1 + T_m) \tag{10.2-7b}$$

Así, la frecuencia de corte es aumentada por la ganancia de lazo, mientras la ganancia en frecuencias medias (10.2-6) se ve disminuida en la misma cantidad.

El producto GBW es, pues,

$$\text{GBW} = |A_v(f = 0)|f_h = A_{om}f_1 \tag{10.2-8}$$

es decir, una constante, independiente de la realimentación.

Sin realimentación, el polo (10.2-7*a*) está en $-\omega_1$. Cuando la cantidad de realimentación es aumentada desde cero, el polo se desplaza alejándose en el semiplano de la izquierda a lo largo del eje real negativo, como muestra la Figura 10.2-1*a**. Esta curva, llamada lugar de las raíces, muestra cómo varían los polos de la función de transferencia global en función de la variación de un parámetro (en este caso, la ganancia de lazo). La Figura 10.2-1*b* es un gráfico de la ganancia en función de la frecuencia.

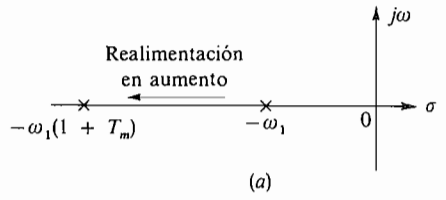
Por (10.2-6) y por la Figura (10.2-1) se ve claramente que aquí no existe problema de estabilidad a causa de que el único polo de $A_v(s)$ está en el eje real negativo mientras que $-T$ es positivo.

Amplificador de doble polo. Supongamos ahora un caso más complicado, una función de ganancia de un amplificador con un par de polos reales coincidentes

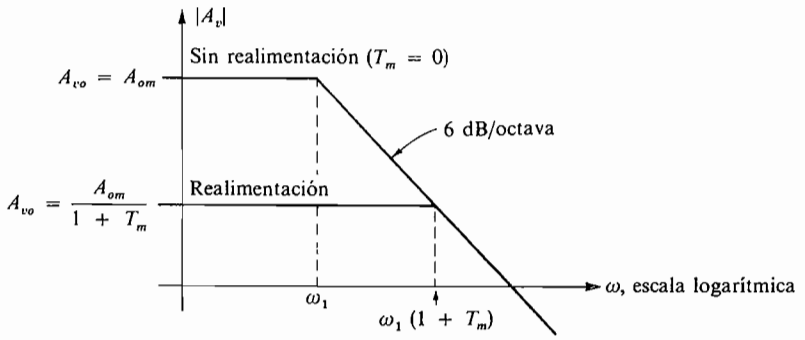
$$A_d(s) = \frac{A_{dm}}{(1 + s/\omega_1)^2} \tag{10.2-9}$$

Ahora (10.2-3) puede ser escrita en la forma

$$T = -\frac{A_{dm}K(R_s \| R_f)}{R_f}\left(\frac{1}{1 + s/\omega_1}\right)^2 = -\frac{T_m}{(1 + s/\omega_1)^2} \tag{10.2-10a}$$



(*a*)



(*b*)

Figura 10.2-1. Característica de un amplificador realimentado de un solo polo: (*a*) lugar geométrico del movimiento del polo; (*b*) ganancia en función de la frecuencia.

* Obsérvese que esto sólo es cierto si T es un número negativo. Si T fuese positivo, el polo se movería en el semiplano de la derecha y el amplificador llegaría a ser inestable.

y (10.2-5*a*) se convierte en

$$A_o = -\frac{A_{om}}{(1 + s/\omega_1)^2} \tag{10.2-10b}$$

por lo que (10.2-1) será

$$A_v(s) = \frac{-A_{om}/(1 + s/\omega_1)^2}{1 + T_m/(1 + s/\omega_1)^2} = \frac{-A_{om}}{1 + T_m + 2s/\omega_1 + s^2/\omega_1^2} \tag{10.2-11}$$

Después de algún cálculo esto se puede poner en la forma normalizada

$$A_v(s) = \frac{-A_{om}}{1 + T_m}\left(\frac{1}{1 + 2\zeta s/\omega_n + s^2/\omega_n^2}\right) \tag{10.2-12}$$

donde

$$\omega_n = \omega_1\sqrt{1 + T_m} \tag{10.2-13a}$$

y

$$\zeta = \frac{1}{\sqrt{1 + T_m}} \tag{10.2-13b}$$

La ganancia de tensión expresada en (10.2-12) demuestra que el sistema es de segundo orden, con polos en

$$s = -\omega_n(\zeta \pm \sqrt{\zeta^2 - 1}) \tag{10.2-14}$$

Los polos de la función de transferencia global son negativos, reales y coincidentes cuando no hay realimentación ($T_m = 0$ y $\zeta = 1$), pero llegan a ser complejos conjugados tanpronto como $T_m > 0$. El lugar geométrico de estos polos cuando T_m aumenta son simplemente dos líneas rectas verticales, como muestra la Figura 10.2-2*a*.

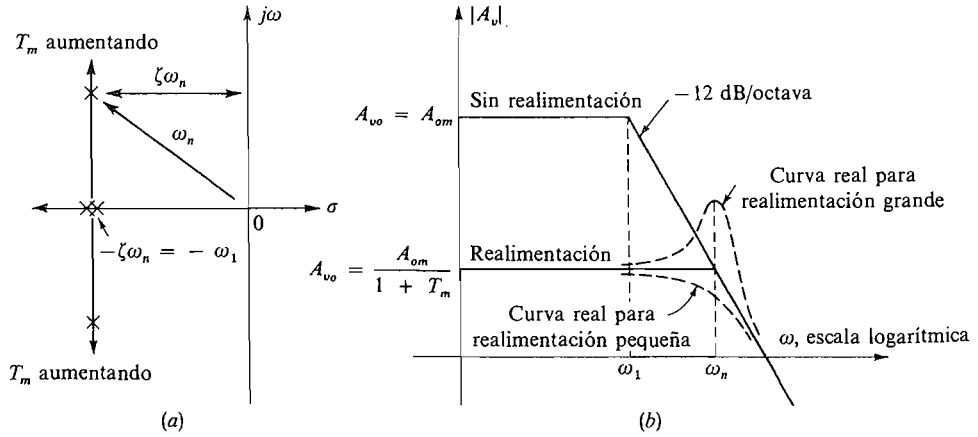


Figura 10.2-2. Características del amplificador realimentado de dos polos: (*a*) lugar geométrico de las raíces; (*b*) ganancia en función de la frecuencia.

Las respuestas asintótica y real en frecuencia con y sin realimentación están representadas en la Figura 10.2-2*b*. Puesto que los polos de $A_v(s)$ están en el semiplano de la izquierda para todos los valores de realimentación, estrictamente no hay problema de estabilidad. Sin embargo, cuando la realimentación es grande, la respuesta en frecuencia presenta una cresta aguda. Esto conduce a oscilaciones amortiguadas en la respuesta del circuito, que suelen ser indeseables. La magnitud de la cresta depende de la relación de amortiguación ζ y aumenta con la realimentación. La Figura 10.2-3 presenta gráficos normalizados de la respuesta en frecuencia de la magnitud y la fase para varios valores de ζ. Los gráficos se pueden interpretar en términos del Q del circuito observando que $Q = \frac{1}{2\zeta}$ (Prob. 10.2-3).

Las suposiciones de que el amplificador convencional tenía un solo polo o un doble polo y que la red de realimentación no dependía de la frecuencia condujeron al resultado de que la ganancia global era estable con realimentación. En la sección siguiente consideraremos un ejemplo en que los polos se pueden desplazar en el semiplano de la derecha.

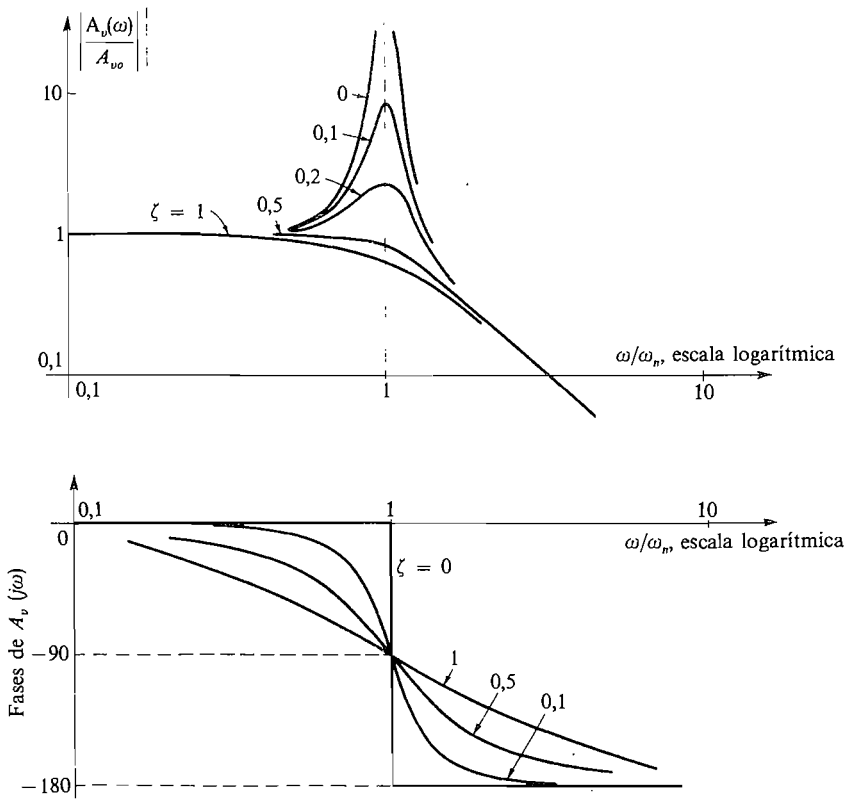


Figura 10.2-3. Respuesta de un sistema de segundo orden.

10.3. EL PROBLEMA DE LA ESTABILIDAD: UN AMPLIFICADOR CON TRES POLOS

Para explicar el problema de la estabilidad en un amplificador operacional consideremos que la función transferencia del amplificador tiene tres polos coincidentes:

$$A_d(s) = \frac{A_{dm}}{(1 + s/\omega_1)^3} \tag{10.3-1}$$

por lo que

$$T = -\frac{T_m}{(1 + s/\omega_1)^3} \tag{10.3-2}$$

y

$$A_o = -\frac{A_{om}}{(1 + s/\omega_1)^3} \tag{10.3-3}$$

luego

$$A_v(s) = \frac{-A_{om}}{(1 + s/\omega_1)^3 + T_m} \tag{10.3-4}$$

En este caso, el lugar geométrico de los polos de la función transferida global parte del triple polo en $s = -\omega_1$ cuando no hay realimentación, es decir, $T_m = 0$. Cuando se aumenta la realimentación, un polo se mueve a la izquierda a lo largo del eje real negativo mientras los otros dos polos se mueven a lo largo de las líneas trazadas en las Figuras 10.3-1*a*. Cuando $T_m = 8$, los polos complejos están en el eje $j\omega$ en $\omega = \sqrt{3}\omega_1$. Así, para $-T_m \geq 8$, el amplificador es inestable. En la Figura 10.3-1*b* vemos que cuando T_m aumenta, la ganancia con realimentación A_v disminuye en tanto $\omega < \omega_1$. Cuando T_m se aproxima a 8 la respuesta en frecuencia de A_v presenta crestas agudas a causa de la proximidad de los polos complejos del eje $j\omega$.

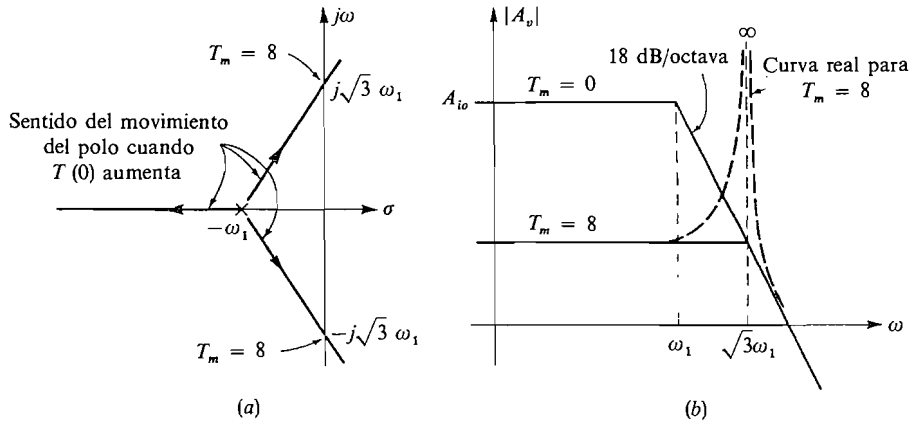


Figura 10.3-1. Características de un amplificador con tres polos: (*a*) lugar geométrico de las raíces; (*a*) ganancia en función de la frecuencia.

Como el factor $1 + T_m$ determina la mejora de la sensibilidad y las otras ventajas de la realimentación, no podemos hacer buen uso de la realimentación en este circuito a no ser que podamos modificarlo para obtener un valor mayor que 8 para la magnitud de la ganancia de lazo T_m. Afortunadamente, es relativamente fácil modificar el amplificador básico de modo que se pueden obtener valores mayores de T_m sin incurrir en oscilaciones.

En las secciones que siguen presentamos métodos para analizar los amplificadores realimentados con la finalidad de determinar la estabilidad. También presentamos métodos de diseño para asegurar la estabilidad dentro de márgenes definidos de seguridad.

10.4. CRITERIO NYQUIST DE ESTABILIDAD; DIAGRAMAS DE BODE

En la sección precedente hemos visto cómo se origina el problema de la estabilidad en los amplificadores realimentados cuando la ganancia de lazo tiene más de dos polos reales. Los lugares geométricos de las raíces ofrecen una visión gráfica del efecto de realimentación sobre los polos de la función de transferencia global. Un estudio completo de la técnica del lugar de las raíces rebasa el propósito de este texto.

El criterio de Nyquist que estudiamos en esta sección forma la base de un método para determinar si el amplificador es o no estable. Explicamos este método considerando la ecuación básica de realimentación

$$A_v(s) = \frac{A_o(s)}{1 - T(s)} \tag{10.4-1}$$

La ganancia del amplificador $A_v(s)$ se define como estable si no tiene polos con partes reales positivas o nulas. Así, para determinar si un amplificador dado es estable o no solamente necesitamos determinar la ganancia de lazo $T(s)$ y luego formar la función $1 - T(s)$, sacar factores comunes en el polinomio numerador* e inspeccionar las partes reales positivas o cero de las raíces. Esta suele ser una tarea laboriosa que proporciona poca o ninguna información. Si examinamos más detenidamente (10.4-1), deduciremos un método considerablemente más sencillo y que también suministra información de diseño.

En lo que sigue suponemos que $A_v(s)$ y $T(s)$ son funciones de transferencia estables. Con este supuesto la única manera de que $A_v(s)$ tenga polos en la mitad de la derecha del plano s (RHP) es que el denominador $1 - T(s)$ tenga ceros en la RHP. Así, nuestro problema consistirá en investigar los ceros de $1 - T(s)$. Esto equivale a hallar si hay valores de s con partes reales positivas o cero en que $T(s) = 1$. Para ello dibujamos el diagrama de Nyquist para la ganancia de lazo. Este diagrama es sencillamente un gráfico polar de $T(j\omega)$ para $-\infty < \omega < \infty$. La Figura 10.4-1*b* es un diagrama típico de $T(j\omega)$ con tres polos idénticos como en (10.3-2).

En la referencia se demuestra que el diagrama de Nyquist representa la mitad de la derecha del plano s que aparece en la Figura 10.4-1*a* en el interior del contorno del plano T (Fig. 10.4-1*b*). Si hay ceros o polos de $1 - T(s)$ en el RHP, el contorno del plano T incluirá el punto $1\underline{/0°}$, que se denomina *punto crítico*. El número de veces que el contorno del plano T circunda este punto crítico en el sentido de las agujas del reloj es igual al número de ceros de $1 - T(s)$ con partes reales positivas.

---

* El criterio Routh-Hurwitz[1] determina la estabilidad mediante los coeficientes de los polinomios sin necesidad de sacar factores comunes.

El contorno de la Figura 10.4-1*b* se aplica al amplificador descrito en la Figura 10.3-1. Como se muestra, no se circunda el punto crítico; por eso el amplificador es estable. Sin embargo, el diagrama está dibujado para $T_m < 8$. Si $T_m = 8$, el contorno pasará por el punto crítico. Para $T_m > 8$, el punto crítico será rodeado dos veces (una para el margen $0 < \omega < \infty$ y una para $-\infty < \omega < 0$) indicando la presencia de un par de ceros en la RHP de $1 - T(s)$ como extralimitado por el lugar geométrico de raíces en la Figura 10.3-1*a*.

Ahora que hemos establecido la idea del punto crítico en el plano T, observamos que no es necesario dibujar el diagrama de Nyquist para averiguar si el punto crítico está encerrado. Esto puede ser determinado por los diagramas de Bode de amplitud y fase de $T(s)$ que contienen toda la información del diagrama de Nyquist. Los diagramas de Bode correspondientes al diagrama de Nyquist de la Figura 10.4-1 están en la Figura 10.4-2.

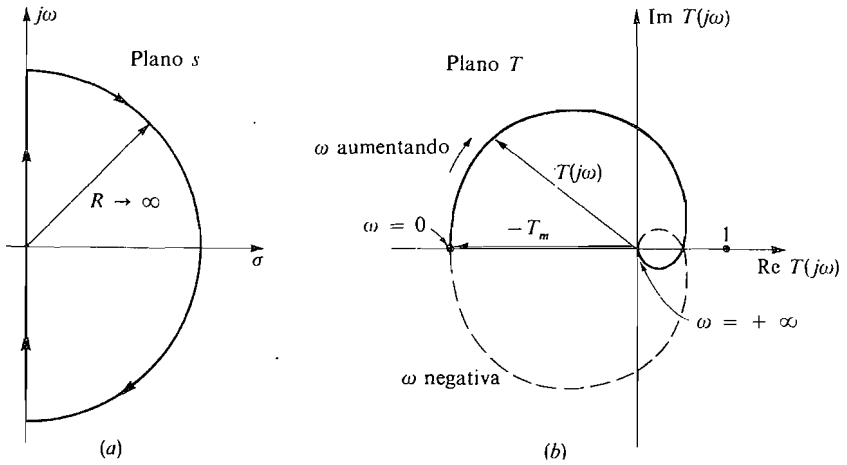


Figura 10.4-1. Diagrama de Nyquist: (*a*) contorno del plano *s*; (*b*) contorno del plano T cuando $T(s)$ tiene tres polos coincidentes y $T_m < \infty$.

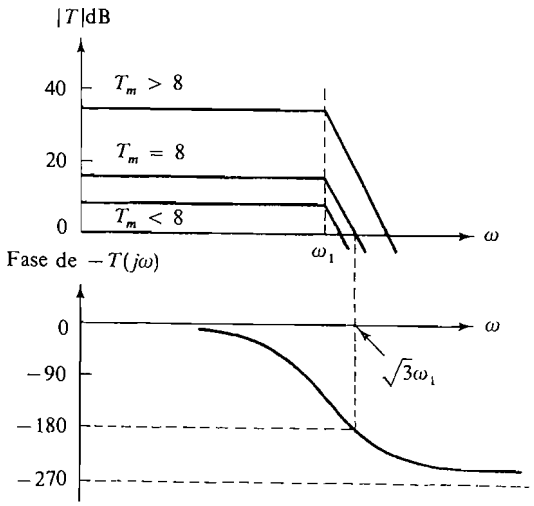


Figura 10.4-2. Diagrama de Bode para un amplificador con tres polos.

Por comparación de los diagramas de Bode* y el diagrama de Nyquist vemos que el criterio para la estabilidad es que $T(\omega)$ corte al eje 0 dB (ganancia unidad) en una frecuencia inferior a la necesaria para que el desplazamiento de fase alcance 180°. Si se satisface este criterio, el amplificador será estable. Pero no tenemos un conocimiento real del grado de estabilidad, puesto que, en general, no conocemos la posición de los polos de A_v como en el análisis del lugar de las raíces. Sabemos que cuando dichas frecuencias están muy próximas, los polos de la función de transferencia global están muy cerca del eje $j\omega$ y el amplificador está en el umbral de la inestabilidad.

10.5. REDES ESTABILIZADORAS

En la sección precedente hemos visto que un amplificador realimentado puede ser inestable si su ganancia de lazo T es demasiado grande y el número de polos de la función de transferencia de ganancia directa es mayor que dos. Todos los operacionales tienen un número de polos mucho mayor que dos en la ganancia directa. Cuando se utilizan con realimentación, estos operacionales oscilan a no ser que estén compensados correctamente. Se pueden emplear varios esquemas de compensación con la misma finalidad, que es conformar la característica de respuesta ganancia de lazo-frecuencia para que la variación de fase sea menor que 180° cuando la magnitud de la ganancia de lazo ha disminuido hasta la unidad. Es necesario un cálculo meticuloso para garantizar que el amplificador sea estable, con un adecuado margen de estabilidad en el margen previsible de variación de la h_{fe} del transistor, temperatura, etc.

En esta sección estudiaremos la máxima realimentación posible que se puede utilizar con las diversas técnicas existentes de compensación.

10.5-1. Ausencia de compensación en frecuencia

Revisemos brevemente varios principios básicos. Para ello consideremos un ejemplo específico, el de un operacional como el de la Figura 10.1-2 con ganancia de lazo abierto.

$$A_o = \frac{-10^4}{\left(1 + \frac{s}{2\pi \times 10^6}\right)\left(1 + \frac{s}{2\pi 10 \times 10^6}\right)\left(1 + \frac{s}{2\pi 30 \times 10^6}\right)} \qquad (10.5\text{-}1)$$

En la Figura 10.5-1 están los diagramas de Bode para (10.5-1). El amplificador será inestable si se le utiliza en un circuito de realimentación sin compensación en que la magnitud de la ganancia de lazo es mayor que la unidad (0 dB), cuando la variación de fase es 180°. Para asegurar la estabilidad, la realimentación que se emplee debe reducir la magnitud de la ganancia de lazo T hasta un valor menor que la unidad cuando la fase sea 180°.

---

* En el diagrama de Bode no está incluido el signo negativo en $T(s)$, por lo que, para obtener el diagrama de Nyquist, deben ser añadidos 180° a la variación de fase indicada por la curva.

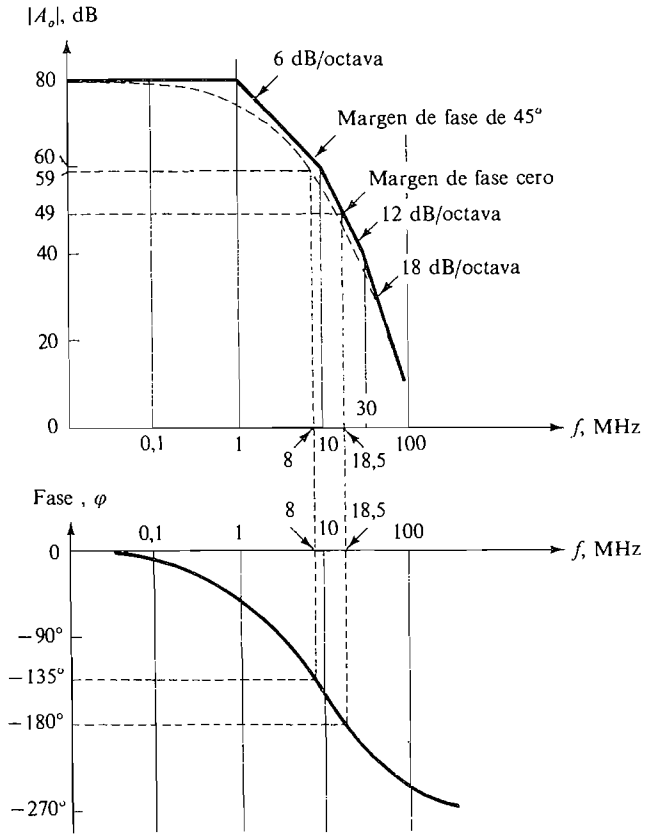


Figura 10.5-1. Diagrama de Bode para el amplificador descrito en la Ecuación (10.5-1).

Si se aplica suficiente realimentación para hacer $|T| = 1$ en 18.5 MHz (la fase de T en 18,5 MHz es 180°; véase Fig. 10.1-5), se dice que el amplificador es *marginalmente estable*, ya que no hay *margen de seguridad*. Pero si se aplica suficiente realimentación para que $|T| = 1$ en una frecuencia menor que 18,5 MHz, la fase en $|T| = 1$ es menor que 180°. La diferencia entre 180° y la fase real en $|T| = 1$ se denomina *margen de fase*. Los diseñadores suelen emplear un valor de margen de fase de 45° como compromiso entre una respuesta transitoria aceptable y la estabilidad adecuada. Así, utilizando este criterio en el ejemplo anterior, calcularemos la red de realimentación para que $|T| = 1$ en $\phi = 135°$. En la curva de fase representada en la Figura 10.5-1 vemos que esto ocurre en aproximadamente 8 MHz. La frecuencia en que $|T| = 1$ se suele denominar *frecuencia de cruce de ganancia*.

Si comparamos (10.1-4*b*) y (10.1-5), hallamos que

$$T(s) = \frac{A_o(s)K}{R_f/R_s} \tag{10.5-2}$$

Resulta cómodo definir un nuevo término

$$\beta = \frac{K}{R_f/R_s} \tag{10.5-3}$$

que representa la cantidad de realimentación del amplificador. Entonces

$$T(s) = \beta A_o(s) \tag{10.5-4a}$$

y por (10.4-1)

$$A_v(s) = \frac{A_o(s)}{1 - \beta A_o(s)} \tag{10.5-4b}$$

Si $|T(s)| \gg 1$, la Ecuación (10.5-4*b*) se reduce a

$$A_v(s) \approx -\frac{1}{\beta} \tag{10.5-4c}$$

Para tener $|A_v(s)| > 1$, se debe tener $|\beta| \leqslant 1$. Así, como siempre diseñamos para que $|A_v(s)| > 1$, siempre ocurrirá que $|T| < |A_o|$.

Si el margen de fase ha de ser de 45°, debemos tener

$$|T(8 \text{ MHz})| = 1 = \beta|A_o(8 \text{ MHz})| \approx \beta(936) \tag{10.5-5}$$

Luego

$$\beta \approx \tfrac{1}{936} = -59 \text{ dB} \tag{10.5-6}$$

Consideramos ahora T. En bajas frecuencias

$$T_m = \beta A_{om} = \frac{10^4}{936} = 10{,}7 = 21 \text{ dB} \tag{10.5-7}$$

Si $|T|$ en bajas frecuencias excediese de 21 dB, el margen de fase disminuiría por debajo de 45° y el amplificador llegaría a ser inestable. El gráfico magnitud-frecuencia de T es idéntico al de $|A_o|$, excepto que los valores de amplitud se han reducido 59 dB (para un margen de fase de 45°).

Resumiendo

Hemos averiguado que la magnitud de la realimentación necesaria para obtener un margen de fase de 45° es

$$\beta = \frac{1}{|A_o \ (\omega \text{ correspondiente a } 135°)|} \tag{10.5-8}$$

y que la máxima ganancia de lazo del amplificador de (10.5-1) es por (10.5-7)

$$|T_{\text{máx}}| = \beta|A_{om}| = \frac{A_{om}}{|A_o \ (\omega \text{ correspondiente a } 135°)|} \tag{10.5-9}$$

En el ejemplo anterior observamos que en frecuencias bajas la ganancia de lazo cerrado A_v es

$$A_v = \frac{A_{om}}{1 - T_m} = \frac{A_{om}}{1 - \beta A_{om}} \approx \frac{-1}{\beta} = -936 (= 59 \text{ dB}) \qquad (10.5\text{-}10)$$

Así, la pérdida de ganancia debida a la realimentación es 21 dB (80-59 dB) y la máxima ganancia de lazo permisible $|T_{máx}|$ es 21 dB para un margen de fase de 45°. Una mayor ganancia de lazo reduce el margen de fase por debajo del nivel aceptable de 45°.

En muchas aplicaciones no es adecuada una ganancia de lazo de 21 dB. Así, este ejemplo resalta la necesidad de los esquemas de compensación que permitan el uso de mayores ganancias al tiempo que el suficiente margen de fase. En las secciones que siguen estudiaremos varias técnicas de compensación comúnmente utilizadas.

10.5-2. Compensación por retardo simple (LAG)

En esta sección estudiaremos la red simple de retardo que ha sido ideada para introducir un polo real negativo adicional en la función de transferencia de la ganancia del amplificador en lazo abierto A_o. Cuando se añade esta red, la ganancia de lazo abierto se hace

$$A_{o1}(s) = \frac{A_o(s)}{1 + s/\alpha} \qquad (10.5\text{-}11)$$

El polo α se ajusta para que $|T|$ disminuya hasta 0 dB en una frecuencia en la cual los polos de A_o son causa de una variación de fase despreciable. Utilizando el ejemplo de la Sección 10.5-1 representado en la Figura 10.5-1, se observa que con $|T_{máx}| = 21$ dB se consigue un margen de fase de 45° sin compensación. Si dibujamos el diagrama de Bode para $|T_{máx}| = 26$ dB, como muestra la Figura 10.5-2*a*, vemos que el margen de fase *sin compensación* se reduce a cero y la frecuencia de cruce es 18,5 MHz.

Ahora la pregunta es: ¿se puede conseguir un margen de fase de 45° mediante la adición de una red de retardo para modificar la ganancia directa como en (10.5-11)? Si ajustamos $\alpha/2\pi = 70$ kHz*, el diagrama de Bode de $|T|$ adopta la forma representada en líneas llenas en la Figura 10.5-2*a*. Ahora el margen de fase es de 45°, pero la frecuencia de cruce se ha reducido hasta aproximadamente 0,9 MHz. Así, la adición de la red de retardo nos ha permitido aumentar 5 dB la ganancia de lazo, pero la frecuencia de cruce se ha dividido por 10 aproximadamente.

En la Figura 10.5-2*b* están representadas las ganancias con realimentación de los amplificadores realimentados no compensados y compensados antes estudiados [Ecuaciones (10.5-1) y (10.5-11)] cuando ambos amplificadores se han ajustado para que tengan un margen de fase de aproximadamente 45°. Obsérvese que el amplificador realimentado no compensado tiene una cresta de 3,6 dB en la respuesta. Esto puede ser indeseable en algunas aplicaciones. El amplificador realimentado con compensación tiene 5 dB menos de ganancia en baja frecuencia y apreciablemente menos ancho de banda que el am-

* Esta frecuencia ha sido determinada por el procedimiento de tanteo en un computador.

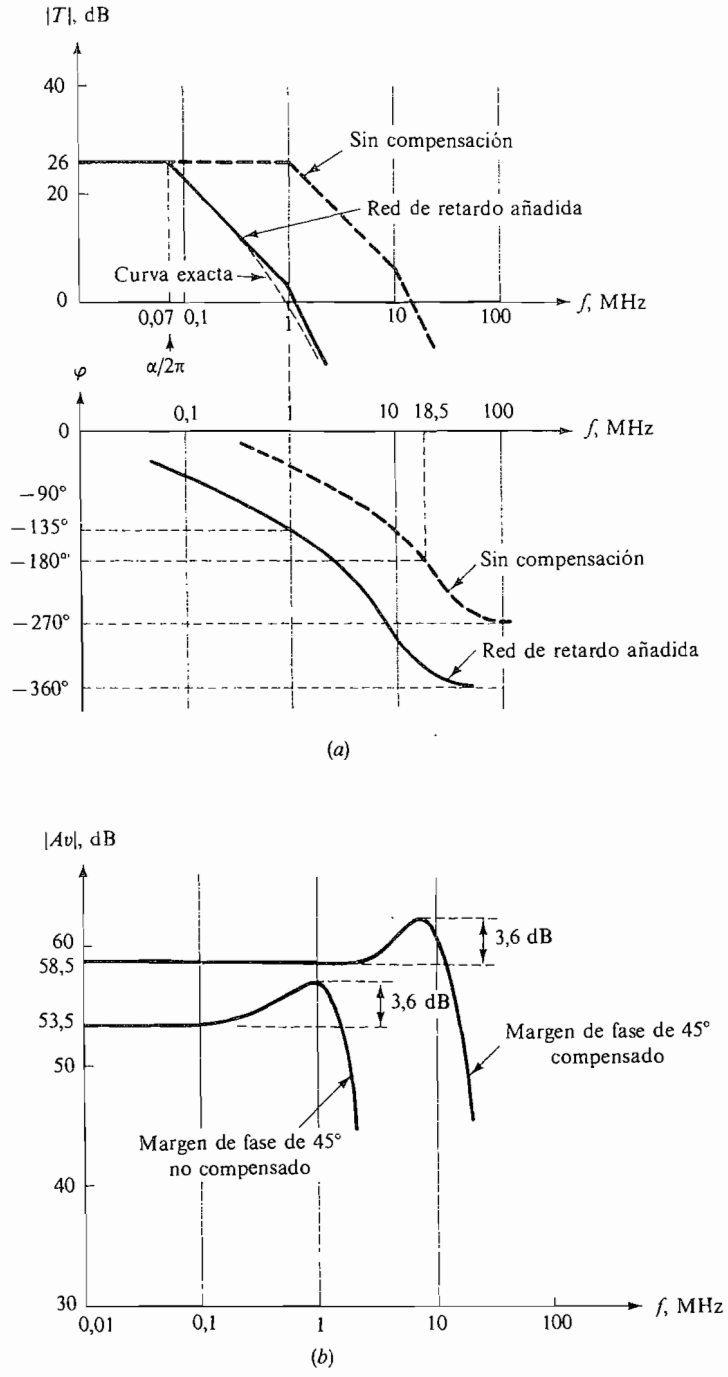


Figura 10.5-2. Efecto de la compensación por retardo: (*a*) ganancia de lazo con compensación simple; (*b*) curvas de respuesta en frecuencia del amplificador.

plificador no compensado. Sin embargo, la ganancia de lazo del amplificador compensado es 5 dB mayor, aumentando, por tanto, la estabilidad.

En las Figuras 10.5-1 y 10.5-2*a* se ve que la adición de la red de retardo puede hacer que aumente la ganancia de lazo aún más en frecuencias bajas, a condición de que rebajemos la frecuencia de codo α de la red de retardo para que la frecuencia de cruce ocurra por debajo de 1 MHz. Esto asegura un mínimo margen de fase de 45°. La Figura 10.5-3 muestra la ganancia de lazo para varios valores de α. En esta figura vemos que la ganancia de lazo puede ser aumentada hasta igualar a la plena ganancia del amplificador de 80 dB y el margen de fase se mantendrá en 45°. El ancho de banda total de 3 dB del amplificador realimentado será aproximadamente el mismo para todas las curvas de ganancia de lazo de la Figura 10.5-3. En un problema de diseño dado podemos no tener esta opción de flexibilidad a causa de las especificaciones simultáneas acerca de la ganancia global y del ancho de banda y habrá que adoptar una solución de compromiso.

Estabilidad para cualquier T. Aquí existe otra interesante posibilidad. Si se ajusta la frecuencia de codo de la red de retardo en 100 Hz, el margen de fase es de 45° cuando $T = 80$ dB. Si ahora se *disminuye* T, el margen de fase aumenta, Así con $\alpha/2\pi = 100$ Hz, el amplificador será estable para todos los valores posibles de realimentación. Evidentemente esto dará lugar a una considerable pérdida de ancho de banda cuando T sea mucho menor de 80 dB, pero en algunos casos puede ser aceptable.

Diseño de la red de retardo. El diseño de la red de retardo real se efectúa después de haber determinado un valor satisfactorio de la frecuencia de codo α. Usualmente será suficiente un simple filtro RC conectado en la salida del operacional. Esto está ilustrado en la Figura 10.5-4 para el amplificador inversor lineal. Como R está en serie con la impedancia de salida del operacional R_o, se suele omitir R y utilizar solamente el condensador C. La frecuencia de codo de este filtro de retardo con R incluido es, suponiendo $R + R_o \ll R_2$,

$$\frac{\alpha}{2\pi} \approx \frac{1}{2\pi(R + R_o)C} \tag{10.5-12}$$

En los amplificadores integrados se suelen disponer varios terminales para la conexión de las redes de compensación. Estos terminales están conectados a puntos de alta impedancia adecuados dentro del amplificador. La explicación es que en niveles más altos de

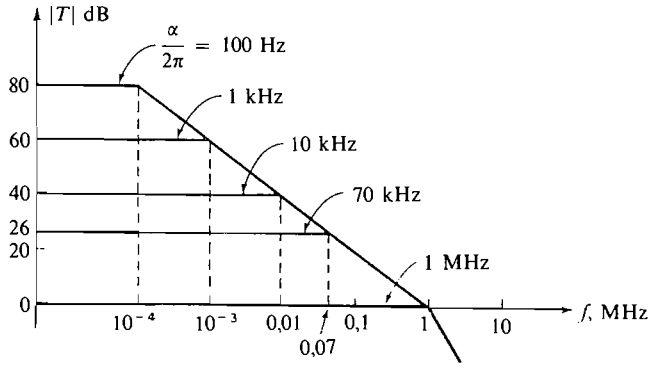


Figura 10.5-3. Ganancia de lazo para un margen de fase de 45° con red de retardo ($\beta \leq 1$).

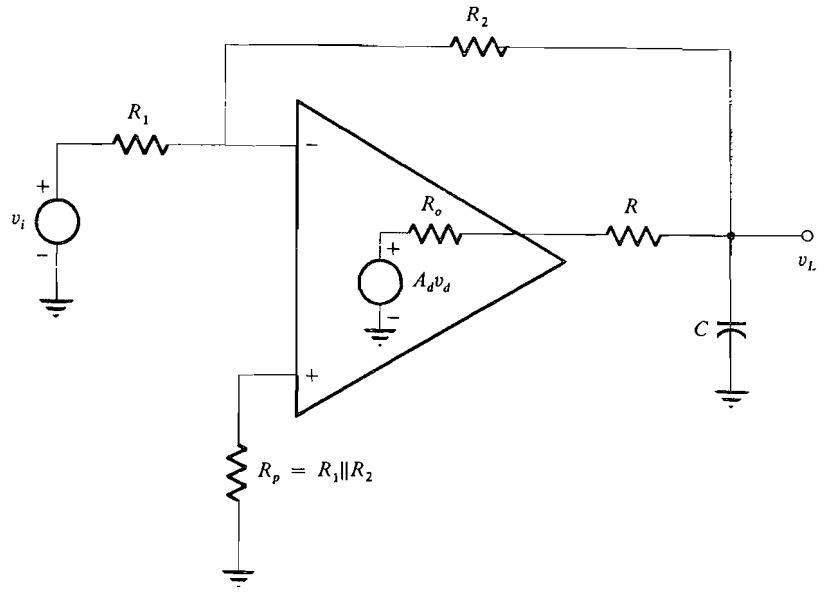


Figura 10.5-4. Amplificador inversor lineal con compensación por retardo.

impedancia se requerirán menores valores de capacidad y no será necesaria resistencia externa R alguna. Para aclarar esto se presentan varios ejemplos en la Sección 10.6.

10.5-3. Compensación por retardo más completa

En la sección precedente hemos visto un método para modificar la transmisión en el lazo a fin de obtener un margen de fase de 45° en la frecuencia de cruce. Esta solución estaba destinada a rebajar la ganancia de lazo hasta 0 dB antes de que la variación de fase debida al amplificador básico fuese excesiva. En consecuencia, se desperdiciaba una porción considerable del ancho de banda disponible. En muchos casos las especificaciones requieren el máximo ancho de banda y una ganancia fija de lazo cerrado. Una red de retardo con un polo y un cero dará un ancho de banda mucho mayor que el obtenido con una red de un solo polo. La función de transferencia de esta nueva red de retardo es

$$H(s) = \frac{1 + s/\alpha_2}{1 + s/\alpha_1} \qquad \alpha_1 < \alpha_2 \tag{10.5-13}$$

La ganancia de lazo abierto es, pues,

$$A_{o2} = H(s)A_o \tag{10.5-14}$$

Supongamos que A_o está caracterizado por tres polos simples, como en (10.5-1). Entonces,

$$A_o = \frac{-A_{om}}{(1 + s/\gamma_1)(1 + s/\gamma_2)(1 + s/\gamma_3)} \tag{10.5-15}$$

Ahora

$$A_{o2} = \frac{-A_{om}(1 + s/\alpha_2)}{(1 + s/\alpha_1)(1 + s/\gamma_1)(1 + s/\gamma_2)(1 + s/\gamma_3)} \tag{10.5-16}$$

De esta expresión deducimos que podemos cancelar eficazmente el menor polo de A_o ajustando a cero la red de retardo en el mismo punto; es decir,

$$\alpha_2 = \gamma_1 \tag{10.5-17}$$

La ganancia de tensión en lazo abierto se convierte en

$$A_{o2} = \frac{-A_{om}}{(1 + s/\alpha_1)(1 + s/\gamma_2)(1 + s/\gamma_3)} \tag{10.5-18}$$

En nuestro ejemplo [Ec. (10.5-1)]

$$A_{om} = 10^4 = 80 \text{ dB} \quad \frac{\alpha_2}{2\pi} = \frac{\gamma_1}{2\pi} = 1 \text{ MHz}$$

$$\frac{\gamma_2}{2\pi} = 10 \text{ MHz} \quad \frac{\gamma_3}{2\pi} = 30 \text{ MHz}$$

$$\frac{\alpha_1}{2\pi} < \frac{\alpha_2}{2\pi} \quad T = \beta A_{o2} \tag{10.5-19}$$

El polo de $H(s)$ que ocurre en α_1 se elige de manera que el amplificador sea estable, con un margen de fase de 45° independientemente del valor de T_m. En este ejemplo,

$$T(\omega) = \frac{-\beta A_{om}}{(1 + j\omega/\alpha_1)(1 + j\omega/\gamma_2)(1 + j\omega/\gamma_3)} \tag{10.5-20}$$

Por tanto, en frecuencias bajas ($\omega \to 0$) $T_m = \beta A_{om}$ y en $\omega = \gamma_2$

$$-T(\gamma_2) = 1 \underline{/-135°} = \frac{T_m}{(1 + j\gamma_2/\alpha_1)(1 - j)(1 + j\gamma_2/\gamma_3)} \tag{10.5-21a}$$

Ahora tenemos las desigualdades

$$\alpha_1 < \alpha_2 = \gamma_1 \quad \text{y} \quad \gamma_1 < \gamma_2 < \gamma_3$$

y

$$1 + j\frac{\gamma_2}{\alpha_1} \approx j\frac{\gamma_2}{\alpha_1} \quad \text{y} \quad 1 + j\frac{\gamma_2}{\gamma_3} \approx 1$$

Con estas aproximaciones (10.5-21*a*) se transforma en

$$-T(\gamma_2) = 1 \underline{/-135°} \approx \frac{T_m}{(j\gamma_2/\alpha_1)(1 + j)} = \frac{T_m}{\sqrt{2}(\gamma_2/\alpha_1)\underline{/135°}} \tag{10.5-21b}$$

De donde

$$T_m = \sqrt{2}\frac{\gamma_2}{\alpha_1} \tag{10.5-22a}$$

y

$$\alpha_1 = \frac{\sqrt{2}\gamma_2}{T_m} \tag{10.5-22b}$$

Así pues, para obtener una ganancia de lazo de 40 dB en el ejemplo anterior se requiere [véase (10.5-10)] que,

$$\beta = \frac{T_m}{A_{om}} = \frac{10^2}{10^4} = 10^{-2} = -40 \text{ dB} \tag{10.5-23a}$$

y por (10.5-22*b*)

$$\frac{\alpha_1}{2\pi} = \frac{\sqrt{2} \times 10^7}{10^2} \approx 140 \text{ kHz} \tag{10.5-23b}$$

Estos resultados están representados gráficamente en la Figura 10.5-5. Se observará que las simplificaciones hechas en (10.5-21*a*) son válidas únicamente cuando $\gamma_3 \gg \gamma_2$. Para los valores del ejemplo, el cálculo exacto utilizado (10.5-21*a*) con $\alpha_1/2\pi = 140$ kHz da por resultado $-T(\gamma_2) \approx 0{,}94 \angle -153°$. Así, la frecuencia de cruce real es ligeramente inferior a γ_2 y el margen de fase real es $180° - 153° = 27°$. Para obtener un margen de fase real

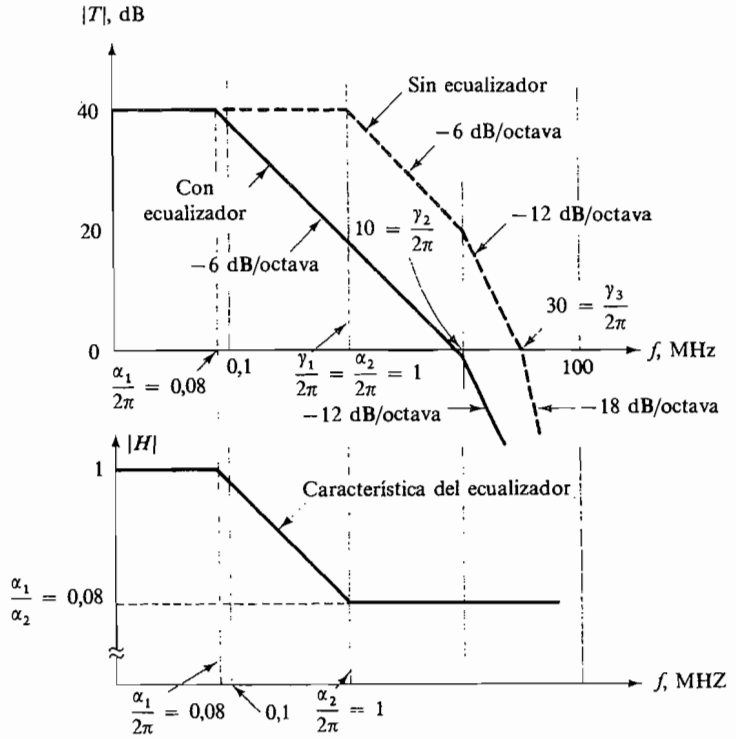


Figura 10.5-5. Ganancia de lazo y característica de frecuencia del ecualizador con red de retardo de polo-cero.

de 45° debemos elegir $\alpha_1/2\pi \approx 80$ kHz. (Este resultado ha sido obtenido utilizando un cálculo de tanteo por computador.)

Comparando la Figura 10.5-5 con la 10.5-3 vemos que la introducción del cero en la red de retardo da por resultado un aumento de la frecuencia de cruce de ganancia que resulta multiplicada por 10. Se puede demostrar que el ancho de banda de este amplificador realimentado es aproximadamente 12 MHz.

La Figura 10.5-6 representa una red que tiene la función de transferencia (10.5-13) y las ecuaciones de diseño se dan en la figura. La Figura 10.5-6*c* muestra un amplificador

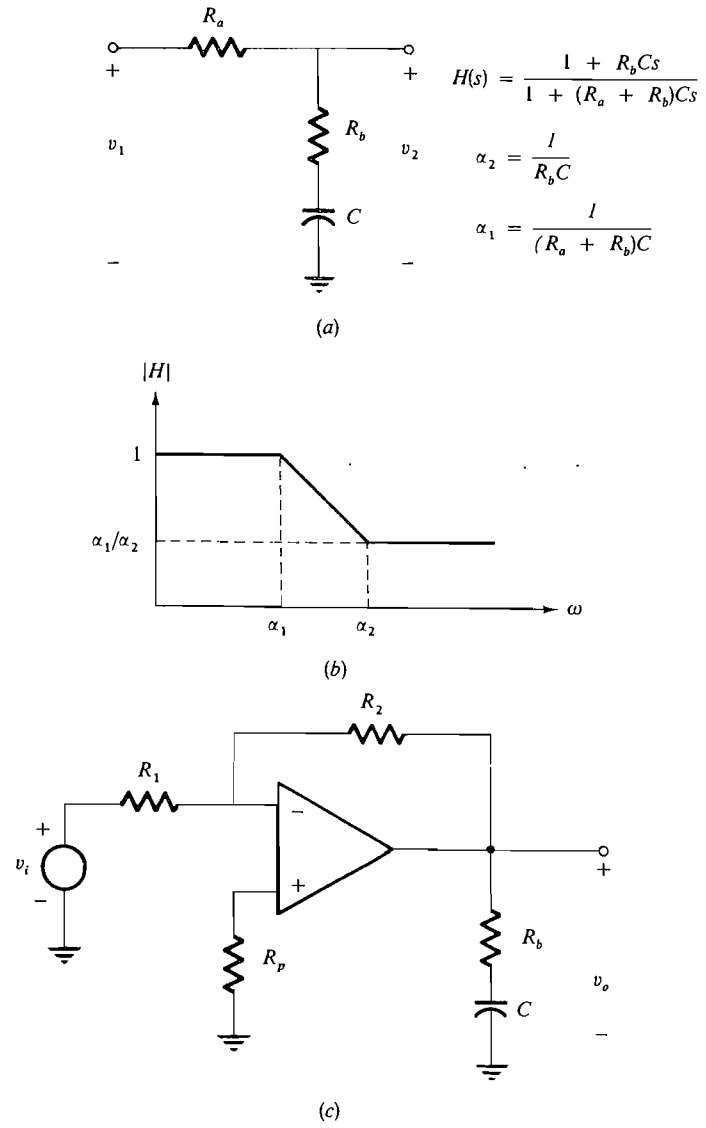


Figura 10.5-6. Ecualizador de retardo de polo-cero: (*a*) circuito; (*b*) característica en frecuencia; (*c*) compensación por retardo de polo-cero aplicada al amplificador inversor.

inversor lineal con una compensación por retardo de polo-cero. Aquí hemos utilizado la impedancia de salida del operacional R_o en lugar de la resistencia R_a y hemos supuesto que $R_2 \gg R_o$.

10.5-4. Compensación por adelanto (LEAD)

Hemos visto que para estabilizar un amplificador realimentado, la característica ganancia de lazo-frecuencia debía estar conformada de manera que el desfase en la frecuencia de cruce de ganancia estuviese desplazado del valor crítico de 180° en el margen de fase necesario. Hemos estudiado el uso de la red de retardo para conseguir esto y hallado la que podría reducir la frecuencia de cruce (y el ancho de banda) sin reducción alguna de la ganancia de lazo en frecuencias bajas.

La ganancia en frecuencias bajas suele estar fijada por las especificaciones de A_v y el ancho de banda. Si se emplea una red de retardo que produzca un ancho de banda demasiado estrecho, debemos buscar otra solución. Se sugiere inmediatamente una posibilidad: puesto que la estabilidad sólo depende de la fase en el cruce, podríamos intentar probar un ecualizador que introdujese adelanto de fase en este punto. La más sencilla de tales redes tiene la función de transferencia.

$$H(s) = \frac{s + \delta_1}{s + \delta_2} \quad \delta_2 > \delta_1 \tag{10.5-24a}$$

Obsérvese que esta función de transferencia es análoga a (10.5-13) excepto en que aquí el polo ocurre en una frecuencia más alta que el cero.

El diagrama de Bode para $H(s)$ está representado en la Figura 10.5-7, al mismo tiempo que una red práctica que realiza esta función de transferencia. Esta se deberá comparar con la Figura 10.5-6. Aquí llegamos a una situación que no se producía con la red de retardo. La red de adelanto de la Figura 10.5-7*b* introduce una atenuación en baja frecuencia $H(0)$ donde.

$$H(0) = \frac{R_2}{R_1 + R_2} = \frac{\delta_2}{\delta_2} \tag{10.5-24b}$$

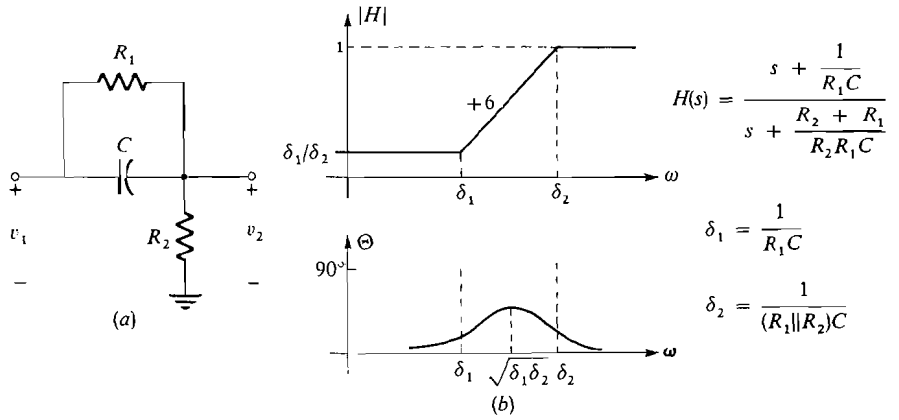


Figura 10.5-7. Red de adelanto: (*a*) circuito; (*b*) amplitud y fase.

Habrá que tener esto en cuenta a causa de que afecta directamente a la ganancia en baja frecuencia.

Consideremos cómo se puede utilizar esta red para estabilizar el amplificador de los ejemplos precedentes. La ganancia de lazo con el ecualizador de adelanto es

$$-T(s) = \beta H(0)A_{om}\frac{1 + s/\delta_1}{\left(1 + \frac{s}{\delta_2}\right)\left(1 + \frac{s}{\gamma_1}\right)\left(1 + \frac{s}{\gamma_2}\right)\left(1 + \frac{s}{\gamma_3}\right)} \quad (10.5\text{-}25a)$$

donde $A_{om} = 10^4$, $\gamma_1/2\pi = 1$ MHz, $\gamma_2/2\pi = 10$ MHz, $\gamma_3/2\pi = 30$ MHz y $\delta_1 < \delta_2$. Ahora modificamos el procedimiento empleado cuando utilizamos la red de retardo y ponemos

$$\delta_1 = \gamma_2 \quad (10.5\text{-}25b)$$

de manera que el cero de la red de adelanto cancela al segundo polo más bajo del amplificador. Diseñamos la red de adelanto para hacer que δ_2 sea lo suficientemente grande para no ejercer efecto apreciable en la frecuencia de cruce de ganancia. Entonces,

$$-T(s) = \beta H(0)A_{om}\frac{1}{\left(1 + \frac{s}{\gamma_1}\right)\left(1 + \frac{s}{\gamma_3}\right)\left(1 + \frac{s}{\delta_2}\right)} \quad (10.5\text{-}26)$$

La ecuación (10.5-26) indica que si

$$\gamma_1 < \gamma_3 \ll \delta_2 \quad (10.5\text{-}27a)$$

la variación de fase es $-135°$ en $\omega \approx \gamma_3$ en vez de $\omega \approx \gamma_2$. Así, la frecuencia de cruce de ganancia se ha extendido por el uso de una red de adelanto. La ganancia de lazo en la frecuencia de cruce deseada γ_3 es [Ec. (10.5-26)]

$$-T\left(\frac{\gamma_3}{2\pi}\right) = 1\ \underline{/-135°} \approx \frac{\beta H(0)A_{om}}{(j\gamma_3/\gamma_1)(1 + j)} = \frac{\beta H(0)A_{om}}{\sqrt{2}\gamma_3/\gamma_1}\ \underline{/-135°} \quad (10.5\text{-}27b)$$

Como la ganancia de lazo en frecuencias bajas es

$$T_m = \beta H(0)A_{om} \quad (10.5\text{-}27c)$$

tenemos

$$\sqrt{2}\,\frac{\gamma_3}{\gamma_1} = T_m \quad (10.5\text{-}28)$$

En este ejemplo, $\gamma_1/2\pi = 1$ MHz y $\gamma_3/2\pi = 30$ MHz; de donde

$$T_m = 30\sqrt{2} \approx 42{,}5 \approx 32 \text{ dB}$$

Por (10.5-24*b*) y (10.5-27*c*)

$$\beta H(0) = \beta \frac{\delta_2}{\delta_2} = \frac{T_m}{A_{om}} = \frac{42{,}5}{10^4} = 42{,}5 \times 10^{-4} \approx -48 \text{ dB}$$

Para asegurar que $\delta_2 \gg \gamma_3$, debemos elegir

$$\frac{\delta_2}{2\pi} = 300 \text{ MHz}$$

Por [Ec. (10.5-25*b*)]

$$\frac{\delta_1}{2\pi} = \frac{\gamma_2}{2\pi} = 10 \text{ MHz}$$

tenemos

$$\beta = \frac{T_m}{A_{om}} \frac{\delta_2}{\delta_1} = (42{,}5)(30 \times 10^{-4}) \approx 0{,}13 \approx -18 \text{ dB}$$

En la Figura 10.5-8 está trazada la ganancia del lazo en función de la frecuencia. Se observa que resulta una ganancia máxima en frecuencias bajas de 32 dB. Compárese esto con la Figura 10.5-5. En ésta, T_m es mayor, pero es 3 dB inferior en 140 kHz en vez de 1 MHz.

La ganancia en bajas frecuencias con realimentación del amplificador con compensación por adelanto es, en este ejemplo,

$$|A_{vm}| = \frac{H(0)A_{om}}{1 + T_m} = \frac{H(0)A_{om}}{1 + \beta H(0)A_{om}} \approx \frac{1}{\beta} \approx 18 \text{ dB}$$

La ganancia en baja frecuencia con realimentación del amplificador con compensación por retardo era 40 dB. El ancho de banda del amplificador con compensación por adelanto es aproximadamente 50 MHz, comparado con el ancho de banda de 12 MHz obtenido utilizando compensación por retardo cuando ambos tienen un margen de fase de 45°. La Figura 10.5-9 presenta las curvas de ganancia global en función de la frecuencia de estos amplificadores. Estos ejemplos ilustran la solución de compromiso que el diseñador puede tomar entre la ganancia de lazo T y el ancho de banda del amplificador realimentado.

Un importante inconveniente de la compensación por adelanto es que si la fase aumenta rápidamente con la frecuencia cerca de la frecuencia de cruce de ganancia, puede no ser posible obtener suficiente adelanto de fase para producir una estabilización eficaz. En esta situación se utiliza a menudo una combinación por adelanto y retardo. Un segundo inconveniente de la compensación por adelanto es la pérdida de baja frecuencia introducida en la red de adelanto, que da lugar a una disminución de la ganancia de lazo.

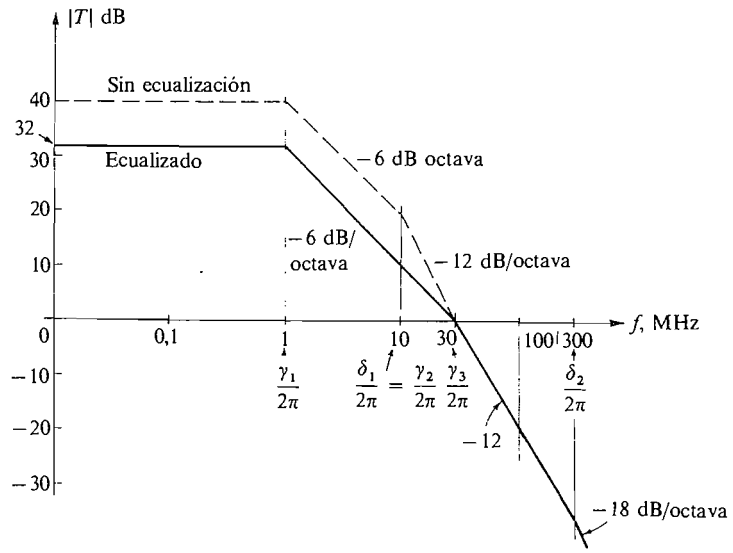


Figura 10.5-8. Ganancia de lazo con ecualización por adelanto.

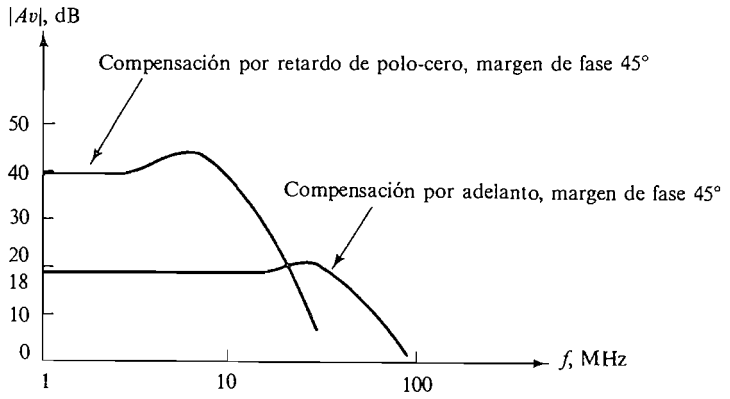


Figura 10.5-9. Ganancia total de amplificadores compensados por retardo y adelanto.

10.6. COMPENSACION EN FRECUENCIA DE AMPLIFICADORES OPERACIONALES

Como antes hemos visto, los operacionales reales tienen siempre más de dos polos y, por consiguiente, casi siempre oscilarán en una configuración realimentada a no ser que se emplee compensación en frecuencia. El operacional 741 está compensado interiormente por la adición de una red de retardo simple. Sin embargo, este tipo de compensación cuando es aplicado por el fabricante, da lugar a una respuesta de banda muy estrecha de la frecuencia en lazo abierto.

En la Figura 10.6-1, está trazada la ganancia en lazo abierto del 741 en función de la frecuencia. En esta figura existe un solo polo en 10 Hz. Los polos adicionales ocurren en

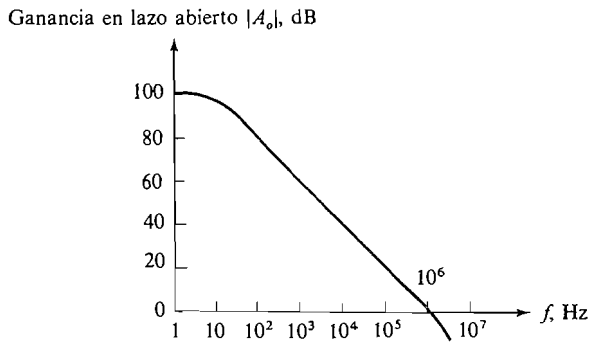
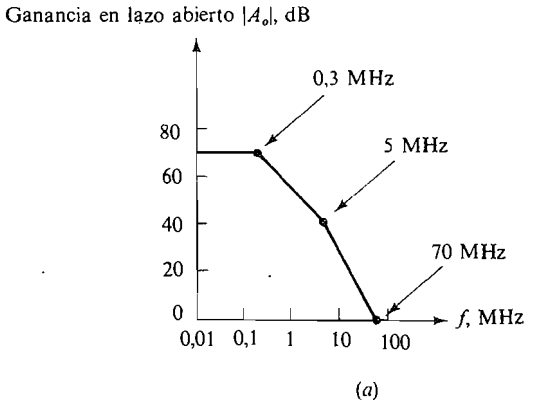
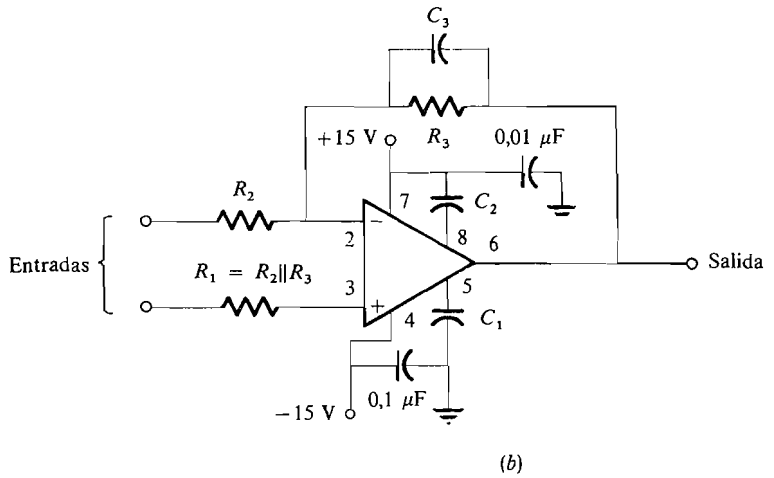


Figura 10.6-1.
Curva de respuesta de ganancia en lazo abierto para el operacional 741.





Ganancia de lazo abierto $\|Av\|$, dB	C_1 pF	C_2 pF	C_3 pF
40	0	0	0
26	0	0	0
20	0	20	1
0	30	30	3

(c)

Figura 10.6-2. Operacional de gran *slew-rate* LH0024: (*a*) respuesta en frecuencia en lazo abierto; (*b*) circuito mostrando las conexiones de las patillas; (*c*) valores de los elementos de compensación.

frecuencias que exceden de 1 MHz, punto en el cual la ganancia del amplificador A_o es igual a la unidad. Como $\beta \leqslant 1$, la ganancia de lazo $|T| \leqslant 1$ en 1 MHz. De aquí que el margen de fase sea mínimo, aproximadamente 45° y que el amplificador sea estable para todos los valores de la ganancia de lazo.

10.6-1. Compensación aplicada exteriormente

Si ha de utilizarse un operacional para amplificar altas frecuencias, se deberá emplear compensación externa. En tales casos el diseñador deberá consultar las especificaciones del fabricante, tales como las dadas en la Figura 10.6-2 para el operacional LH0024 de gran *slew-rate*.

La Figura 10.6-2*a* muestra la variación de la ganancia en lazo abierto con la frecuencia. Aquí vemos que la ganancia en lazo abierto es de 0 dB en 70 MHz. La Figura 10.6-2*b* muestra el operacional con las conexiones de las patillas y los condensadores de compensación C_1, C_2 y C_3. Los valores dados en la Figura 10.6-2*c* son necesarios para estabilizar nel amplificador cuando sus ganancias en lazo cerrado son las indicadas. Cuando el amplificador está diseñado para que tenga una ganancia de 0 dB, el ancho de banda es de 50 MHz. Ganancias más altas producen un ancho de banda proporcionalmente menor.

10.7. OSCILADORES SENOIDALES

En las secciones precedentes hemos visto que cuando la ganancia de lazo $T = 1 \angle 0°$, el amplificador realimentado llega a ser inestable*. Para evitar que esto ocurra hemos empleado redes de compensación por adelanto y retardo. Ahora vamos a considerar la posibilidad de producir un amplificador inestable tal que $T = 1 \angle 0°$ en una sola frecuencia ω_0, siendo la magnitud de T menor que la unidad en todas las demás frecuencias. Entonces el amplificador realimentado será inestable únicamente en una frecuencia ω_0. Esto significa que es posible una salida sin que haya entrada presente en la única frecuencia ω_0. Así, la salida debe ser senoidal y tal dispositivo es un oscilador senoidal.

10.7-1. El oscilador por desplazamiento de fase

Uno de los osciladores más sencillos de diseñar y de construir para bajas frecuencias es el oscilador por desplazamiento de fase representado en la Figura 10.7-1. Para determinar las condiciones de la oscilación debemos calcular $T(\omega)$ y ajustarla para que sea igual a $1 \angle 0°$.

Antes de analizar este circuito intentemos predecir los resultados que se obtendrán. El transistor producirá una variación de fase de 180°. Así pues, si T ha de ser igual a $1 \angle 0°$ deberá darse un ángulo adicional de fase de 180° por medio de los tres circuitos RC [el tercero $R = R' + (h_{ie} \| R_b)$]. Si cada circuito RC pudiese actuar independientemente, se le podría ajustar para que produjese un desfase de 60° en ω_0. En estas condiciones, la función de transferencia de cada sección sería

$$\frac{s}{s + \alpha} = \frac{\omega}{\sqrt{\alpha^2 + \omega^2}} \exp j\left(\frac{\pi}{2} - \text{tg}^{-1}\frac{\omega}{\alpha}\right) \qquad \alpha = \frac{1}{RC} \tag{10.7-1}$$

* Si $T > 0$, se dice que la realimentación es *positiva*.

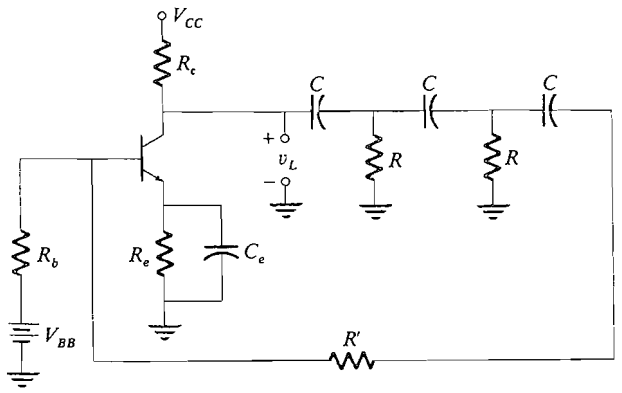


Figura 10.7-1. Oscilador por desplazamiento de fase.

Para obtener un desfase de 60° en ω_0

$$\frac{\pi}{2} - \left(\text{tg}^{-1}\,\frac{\omega_0}{\alpha}\right) = \frac{\pi}{3} \tag{10.7-2}$$

o

$$\frac{\pi}{6} = \text{tg}^{-1}\,\frac{\omega_0}{\alpha} \tag{10.7-3}$$

y

$$\omega_0 = \frac{\alpha}{\sqrt{3}} = \frac{1}{\sqrt{3}RC} \tag{10.7-4}$$

Esta es la condición para que haya oscilación, suponiendo que las secciones RC sean independientes. La ganancia de lazo T se iguala a la unidad en ω_0 mediante el ajuste de la atenuación en el circuito. Este oscilador funciona bien en tanto que $\omega_0 \ll \omega_\beta$, ya que cerca de ω_β la entrada del transistor se comporta como capacitiva.

En el circuito de la Figura 10.7-1 los circuitos RC no son independientes y debemos proceder al análisis del circuito equivalente representado en la Figura 10.7-2.

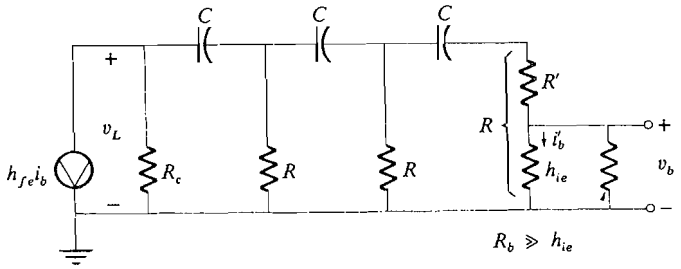


Figura 10.7-2. Circuito equivalente del oscilador por desplazamiento de fase.

La ganancia de este circuito se define de modo más conveniente en términos de corrientes como

$$T = \frac{i_b}{i_b'} \tag{10.7-5}$$

Resolviendo el circuito de la Figura 10.7-2 se tiene

$$-h_{fe}i_b \approx i_b'\left(3 + \frac{4}{sRC} + \frac{1}{s^2R^2C^2} + \frac{R}{R_c} + \frac{6}{sR_cC} + \frac{5}{s^2C^2RR_c} + \frac{1}{s^3R^2R_cC^3}\right) \tag{10.7-6}$$

Puesto que $i_b = i_b'$ para $T = 1\ \underline{/0°}$ en ω_0 podemos igualar las partes reales e imaginarias en ambos miembros de esta ecuación para determinar las condiciones de oscilación. Por los términos imaginarios

$$\frac{1}{\omega_0^2RR_cC^2} = 4 + 6\frac{R}{R_c}$$

Así

$$\omega_0 = \frac{1}{RC}\frac{1}{\sqrt{6 + 4R_c/R}} \tag{10.7-7}$$

Igualando las partes reales de ambos miembros y utilizando (10.7-7), tenemos

$$-h_{fe} = 3 + \frac{R}{R_c} - \frac{4 + 6R/R_c}{R/R_c} - 5\left(4 + 6\frac{R}{R_c}\right) \tag{10.7-8}$$

Despejando R/R_c en función de h_{fe} tenemos

$$\frac{R}{R_c} = \frac{h_{fe} - 23}{58} + \sqrt{\left(\frac{h_{fe} - 23}{58}\right)^2 - \frac{4}{29}} \tag{10.7-9}$$

Luego dados h_{fe} y ω_0 podemos determinar R/R_c por (10.7-9) y después RC por (10.7-7).

Para que el término de raíz cuadrada sea positivo debemos tener

$$h_{fe} > 23 + 21{,}6 = 44{,}6 \tag{10.7-10}$$

Si h_{fe} es menor que este valor, el circuito no oscilará porque $T < 1\ \underline{/0°}$. Con este valor de h_{fe} por (10.7-9)

$$\frac{R}{R_c} = 0{,}375$$

Si se aumenta esta relación, la forma de onda del oscilador se distorsionará. Así, cuando se construye este tipo de oscilador, h_{fe} no se conoce exactamente y R_c suele ser una resistencia variable que se ajusta para suprimir la distorsión.

10.7-2. El oscilador en puente de Wien

La Figura 10.7-3*a* ilustra un oscilador en puente de Wien en circuito integrado. La operación del oscilador se puede explicar haciendo referencia a la Figura 10.7-3*b*. La ganancia de lazo es (Prob. 10.7-3)

$$T = \frac{v_L}{v'_L} = \left[\frac{R/(1 + sRC)}{R/(1 + sRC) + R + 1/sC} - \frac{R_i}{R_i + R_f} \right] A_d$$

$$= \left[\frac{s/\omega_0}{s/\omega_0 + (1 + s/\omega_0)^2} - \frac{R_i}{R_i + R_f} \right] A_d \qquad (10.7\text{-}11a)$$

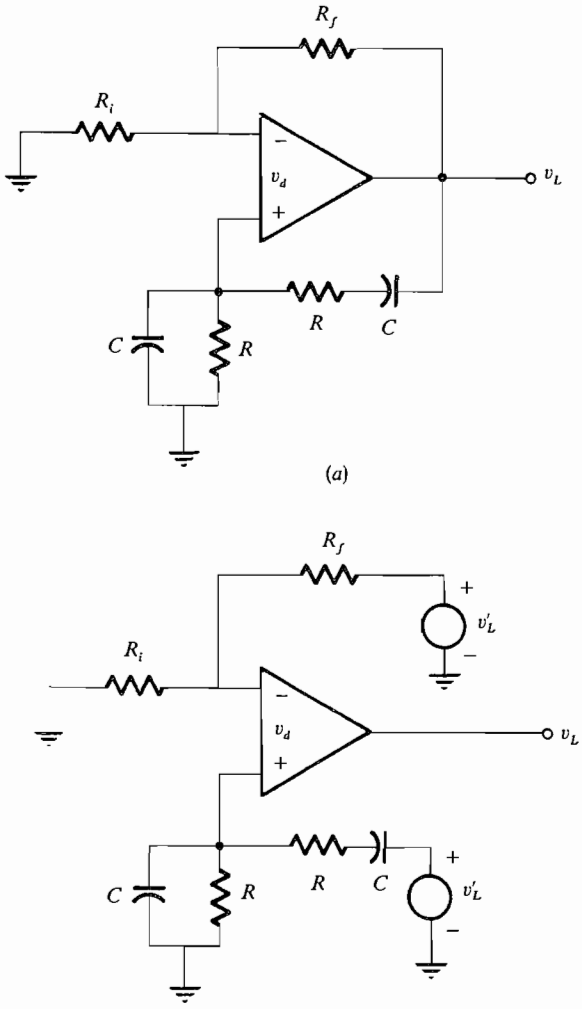


Figura 10.7-3. Oscilador en puente de Wien: (*a*) circuito; (*b*) circuito dibujado de nuevo para explicar la ganancia de lazo.

donde

$$\omega_0 = \frac{1}{RC} \tag{10.7-11b}$$

La condición para la oscilación es $T = 1 \angle 0°$. Resolviendo (10.7-11*b*) con $T = 1 \angle 0°$ y $s = j\omega$, se tiene

$$1 - \left(\frac{\omega}{\omega_0}\right)^2 + j\frac{\omega}{\omega_0}\left[3 - \frac{A_d R(R_i + R_f)}{R_i(1 + A_d) + R_f}\right] = 0 \tag{10.7-12a}$$

Igualando a cero las partes reales e imaginarias hallamos que

$$\omega = \omega_0 = \frac{1}{RC} \tag{10.7-12b}$$

y

$$\frac{R_f}{R_i} = \frac{2A_d + 3}{A_d - 3} \approx 2 \tag{10.7-13}$$

10.7-3. El oscilador de circuito sintonizado

La Figura 10.7-4 muestra un oscilador simple sintonizado. El funcionamiento del circuito se puede explicar suponiendo que circula una corriente de colector pequeña con frecuencia $\omega_0 \approx 1/\sqrt{LC}$. Entonces aparecerá en la frecuencia ω_0 una tensión en el colector, parte de la cual es realimentada a la base a través del transformador. La polaridad del transformador se ajusta de manera que la realimentación sea positiva y, por tanto, la corriente de base (también en ω_0) tiende a aumentar. Las alinealidades del transistor limitan la excursión de la corriente.

Ahora, para explicar esto cuantitativamente, vamos a estudiar el circuito equivalente representado en la Figura 10.7-5. La Figura 10.7-5*a* es el circuito equivalente básico donde $T = v_b/v'_b$. Obsérvese que la tensión nv_b, está invertida a causa de la inversión de fase en el

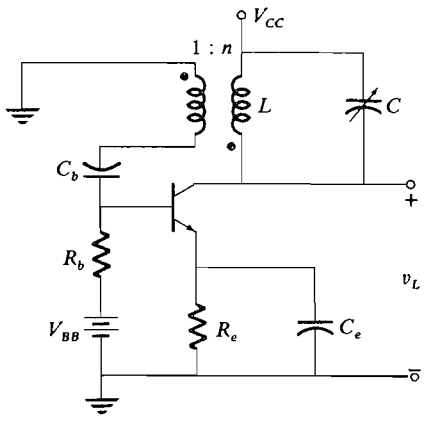


Figura 10.7-4.
Oscilador de circuito sintonizado.

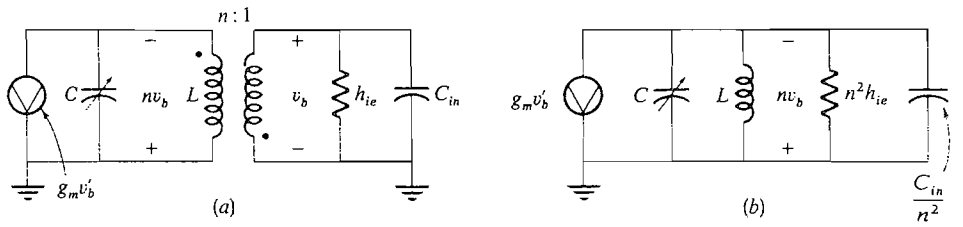


Figura 10.7-5. Circuito equivalente para pequeña señal del oscilador de circuito sintonizador ($R_b \gg r_{b'e}$) (*a*) transformador incluido; (*b*) transformador suprimido.

transformador. Esta inversión es lo que produce el desfase adicional de 180° necesario para que la realimentación sea positiva.

La Figura 10.7-5*b* es el circuito equivalente final con la impedancia del circuito de base reflejada en el colector a través del transformador. La ganancia de lazo T es ahora

$$T = \frac{v_b}{v_b'} = \frac{g_m/n}{1/n^2/h_{ie} + 1/j\omega L + j\omega[C + (C_{in}/n^2)]} \tag{10.7-14}$$

donde $C_{in} = C_{b'e} + C_M$.

El criterio para la oscilación es que T sea $1 \angle 0°$. Esto produce a las relaciones

$$\omega_0^2 = \frac{1}{L[C + (C_{in}/n^2)]} \tag{10.7-15}$$

y

$$nh_{fe} = 1 \tag{10.7-16}$$

La frecuencia ω_0 depende de C_{in}. Dado que

$$C_{in} = C_{b'e} + C_M$$

la frecuencia ω_0 depende del punto de trabajo. Nótese también que

$$n = \frac{1}{h_{fe}}$$

Como h_{fe} es muy grande, n puede ser pequeña. Si nh_{fe} excede de la unidad, la amplitud de la oscilación estará limitada por las alinealidades del transistor. Sin embargo, el circuito sintonizado de colector tiende a suprimir los armónicos resultantes presentes en la corriente de colector. La tensión de colector es, pues, casi senoidal.

10.7-4. El oscilador Colpitts

La Figura 10.7-6*a* muestra el esquema de un oscilador Colpitts utilizado en radiofrecuencia. El circuito equivalente está en la Figura 10.7-6*b*, donde

$$C_2 = C'_2 + C_{b'e} + C_M \tag{10.7-17a}$$

y

$$R = R_b \| r_{b'e} \tag{10.7-17b}$$

La ganancia de lazo T es

$$T = \frac{v_b}{v'_b} = 1 \angle 0° = \frac{-g_m R}{sRC_1 + (1 + sRC_2)(1 + s^2 LC_1)} \tag{10.7-18}$$

Resolviendo (10.7-18), tenemos

$$\omega^2 = \omega_0^2 = \frac{1}{L[C_1 C_2/(C_1 + C_2)]} \tag{10.7-19a}$$

y

$$\omega_0^2 LC_1 = (1 + g_m R) \tag{10.7-19b}$$

Dividiendo (10.7-19*a*) por (10.7-19*b*) se tiene

$$1 + g_m R = 1 + \frac{C_1}{C_2} \tag{10.7-20a}$$

Si $R \approx r_{b'e}$, esto da

$$h_{fe} \approx \frac{C_1}{C_2} \tag{10.7-20b}$$

Así pues, las condiciones para la oscilación dependen mucho de la h_{fe} del transistor.

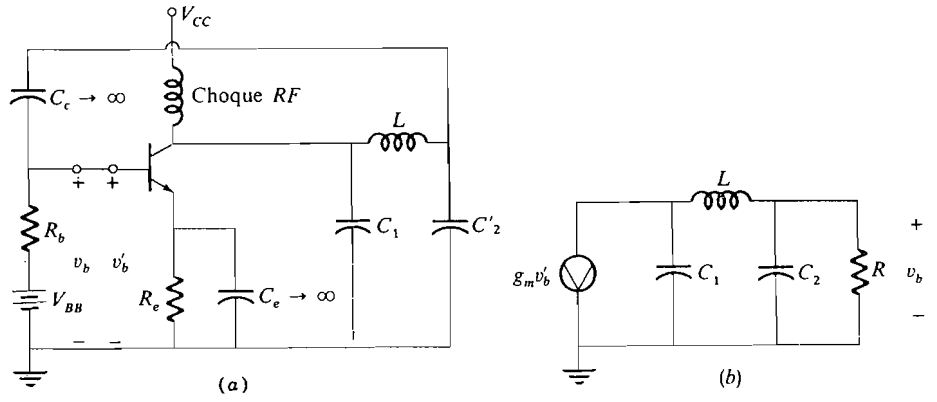


Figura 10.7-6. (*a*) Circuito oscilador Colpitts; (*b*) circuito equivalente para pequeña señal.

La bobina L incluida en la red de realimentación del oscilador Colpitts puede ser sustituida por un cristal piezoeléctrico, como muestra la Figura 10.7-7*a*. El circuito equivalente del cristal está representado en la Figura 10.7-7*b*. Un cristal típico tendrá un Q extremadamente alto (varios millares) y, por tanto, tiende a estabilizar el oscilador y evitar la variación de frecuencia cuando se sustituye el transistor. El análisis del circuito de la Figura 10.7-7*a* se deja como ejercicio para el lector.

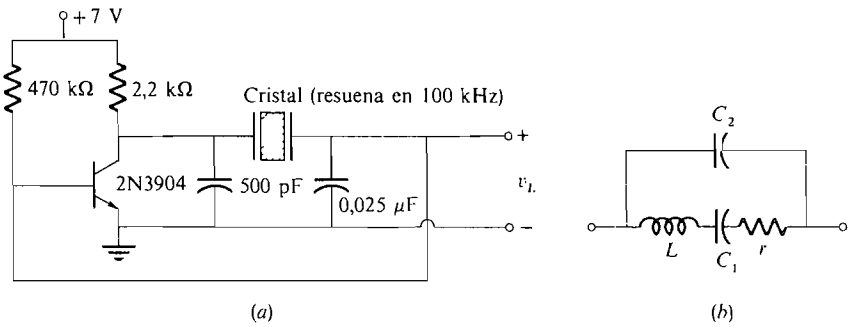


Figura 10.7-7. (*a*) Un oscilador Colpitts con cristal; (*b*) circuito equivalente del cristal.

10.7-5. El oscilador Hartley

El último circuito oscilador que estudiaremos es el oscilador Hartley, representado en la Figura 10.7-8*a*. Este oscilador emplea la configuración en base común y generalmente se utiliza en frecuencias muy altas. La realimentación positiva se obtiene retornando una porción de la salida a la entrada a través de un transformador, aunque en la práctica éste suele ser un autotransformador, en vez del transformador representado. La ganancia de lazo igual a la unidad se obtiene ajustando la relación de espiras. R_e se utiliza como resistencia de polarización y es mucho mayor que h_{ib}.

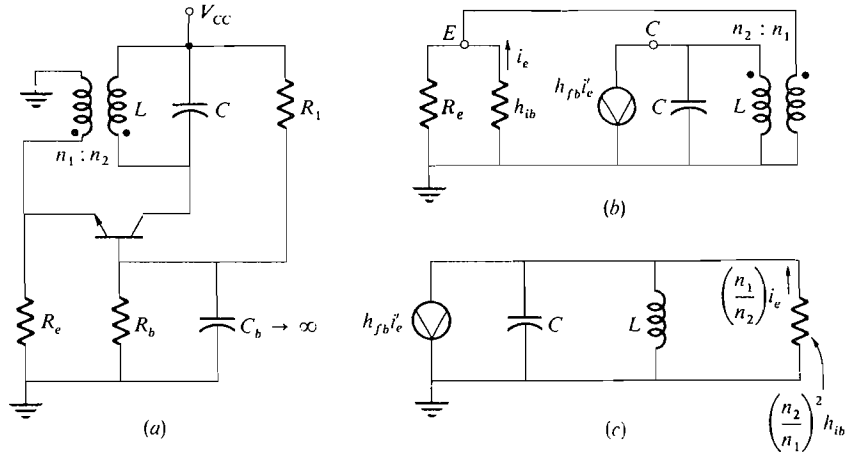


Figura 10.7-8. Oscilador Hartley: (*a*) circuito; (*b*) circuito equivalente; (*c*) transformador suprimido ($R_e \gg h_{ib}$).

La ganancia de lazo T se puede hallar por el circuito equivalente representado en la Figura 10.7-8*b* o *c*:

$$T = 1 \angle 0^\circ = \frac{(n_2/n_1)h_{fb}(L/C)}{L/C + (n_2/n_1)^2 h_{ib}(j\omega L + 1/j\omega C)} \tag{10.7-21}$$

Las condiciones para la oscilación, que se obtienen resolviendo (10.7-21), son

$$\omega_0^2 = \frac{1}{LC} \tag{10.7-22a}$$

y

$$\frac{n_1}{n_2} = h_{fb} \tag{10.7-22b}$$

Así, la relación de espiras se ajusta, pues, para evitar la pérdida de ganancia de corriente de la configuración en base común. El circuito de la Figura 10.7-9 es un oscilador Hartley que funciona en el modo de colector común en lugar del modo de base común. La tensión de emisor es elevada por el autotransformador y retornada a la base. El análisis de este circuito se deja como ejercicio (Prob. 10.7-9).

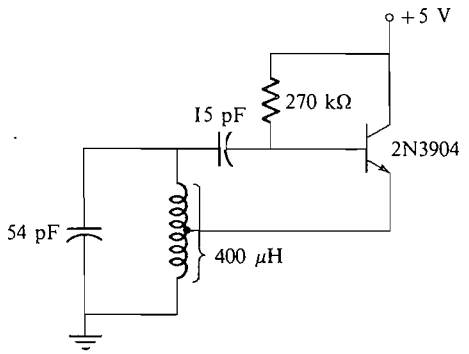


Figura 10.7-9. Oscilador Hartley en colector común.

REFERENCIAS

1. J. D'Azzo y C. Houpis, «Linear Control System Analysis and Design», McGraw-Hill, Nueva York, 1975.

PROBLEMAS

10.1-1. Utilizar la Figura 10.1-3 para comprobar por cálculo directo (10.1-9).

10.1-2. (*a*) Calcular la impedancia de entrada en la Figura 10.1-2, donde

$$Z_i = \frac{v_i}{i_1}$$

(*b*) Calcular la impedancia de salida en la Figura 10.1-2 aplicando un generador externo v_0 como en la Figura 8.1-3 y determinando

$$Z_o = \left.\frac{v_o}{i_o}\right|_{v_i = 0}$$

Sugerencia: Consultar la Sección 8.1 y observar que allí $K = 1$.

10.1-3. Repetir el Problema 10.1-2 para la Figura 10.1-3.

10.1-4. Escribiendo las ecuaciones nodales demostrar que la Figura 10.1-1*b* es equivalente a la resistencia R_f que está conectada entre v_L y $-v_d$ en la Figura 10.1-1*a*.

10.1-5. En este problema vemos que la teoría del amplificador operacional ideal es equivalente a la de un amplificador realimentado que tiene una ganancia de lazo cuya magnitud es mucho mayor que 1. En la Figura P10.1-5*a* hemos combinado los operacionales prácticos inversor y no inversor de la Figura 8.11-1*b* y *c* ($R_p = R_1 \parallel R_2$ para la simetría) al mismo tiempo que el circuito equivalente del operacional.

(*a*) Utilizar los resultados del Problema 10.1-4 y demostrar que el amplificador es equivalente a la Figura P10.1-5*b*. Observe que, puesto que $|A_d v_d R_2 \parallel \gg |v_x R_o|$, el circuito de salida se convierte en una fuente de tensión $A_d v_d$ en serie con una resistencia $R_o \parallel R_2$.

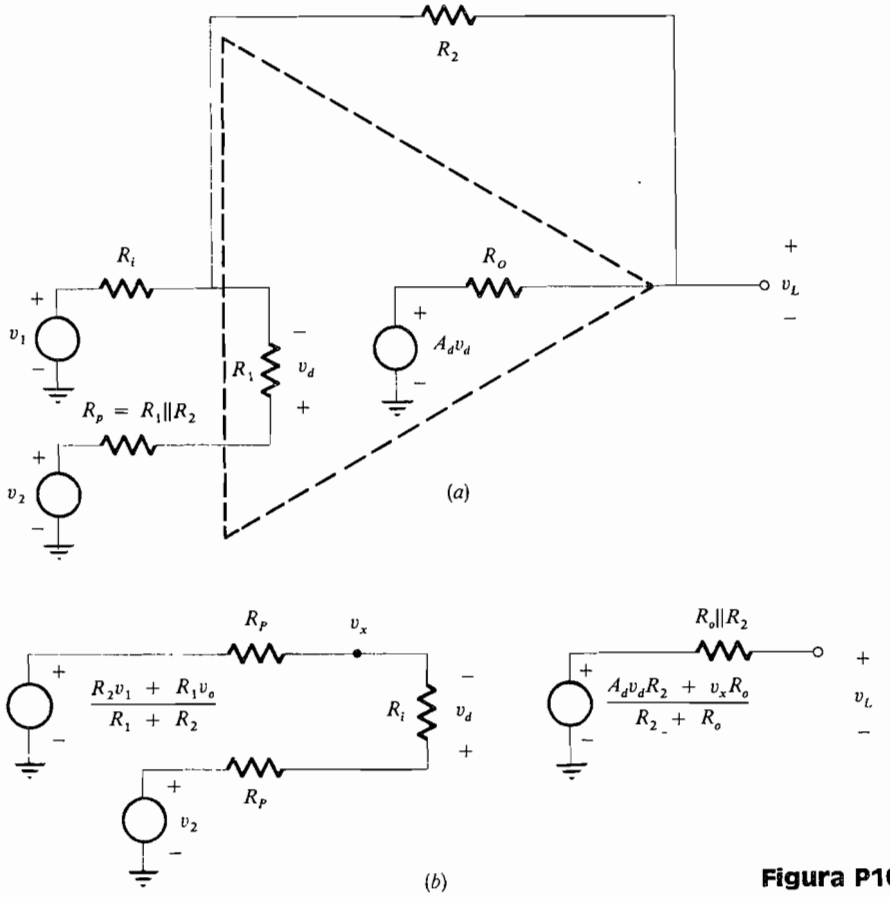


Figura P10.1-5.

(*b*) Hallar v_L en función de v_1 y v_2. Definir la ganancia de lazo.
(*c*) Demostrar que cuando la ganancia de lazo tiene una magnitud $\gg 1$, el resultado se puede obtener más fácilmente utilizando la teoría del operacional ideal.
(*d*) Suponer que está conectada una carga R_L a masa a través de v_L. Hallar v_L y definir la ganancia de lazo. ¿En qué condiciones causará la carga un resultado diferente del de la teoría del operacional ideal, suponiendo, naturalmente, que el amplificador sigue siendo lineal?

10.1-6. Repetir el Ejemplo 10.1-1 si la ganancia global debe ser 36 dB con una sensibilidad del 10 por 100 a las variaciones de la ganancia interna del amplificador.

10.1-7. Este problema explica el efecto de la realimentación sobre las perturbaciones internas tales como derivas por ruido o debidas a la fuente de alimentación. En la Figura 10.1-2 sustituir la fuente de tensión $A_d v_d$ por las dos fuentes de tensión de la Figura P10.1-7. La fuente $A_1 v_n$ es una fuente de ruido equivalente debida al ruido generado interiormente en el amplificador, y A_1 suele ser una fracción de A_d (para la deriva de la fuente de alimentación $A_1 = 1$). Hallar v_L suponiendo una elevada ganancia de lazo y explicar cómo la realimentación reduce la perturbación.

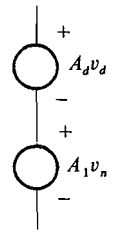


Figura P10.1-7.

10.2-1. En la Figura 10.1-2 supóngase $R_o \ll R_\beta$, $R_i \gg R_s$ y $K = 1$ y sustitúyase A_d por $A_d(s)$ de (10.2-2).
(*a*) Hallar v_L comprobando (10.2-3) y (10.2-5*a*).
(*b*) Comprobar (10.2-7*a*).

10.2-2. Repetir el Problema 10.2-1 para la $A_d(s)$ dada en (10.2-9).

10.2-3. Se puede sintetizar la función de transferencia de (10.2-11) utilizando un circuito *RLC* y el amplificador ideal de corriente.
(*a*) Hallar el circuito.
(*b*) Demostrar que el Q del circuito es $(\frac{1}{2})\zeta$.

10.2-4. En un amplificador realimentado acoplado en alterna de varias etapas puede producirse inestabilidad en baja frecuencia. Considerar un amplificador de dos etapas con dos condensadores de acoplo ajustados para que en la Figura 10.1-2 se pueda reemplazar A_d por

$$A_d(s) = \frac{A_{dm}s^2}{(s + \omega_L)^2}$$

Hallar v_L y comentar la estabilidad. Suponer $R_o \ll R_\beta$ y $R_i \gg R_s$.

10.2-5. En la Figura 10.1-2 supóngase $R_o \ll R_\beta$, $R_i \gg R_s$ y conéctese una capacidad parásita C_L a masa a través de v_L. Hallar $A_d(s)$ y determinar v_L/v_i. ¿Cuál es la ganancia de lazo¿? ¿Cuál es la ganancia de lazo abierto?

10.2-6. En la Figura 10.1-2 tómese $R_o \ll R_\beta$, $R_i \gg R_s$, $R_s = R_f$ y $K = 1$ y sustitúyase A_d por

$$A_d(s) = \frac{164C}{[1 + s/(50 \times 10^3)][1 + s/(120 \times 10^3)]}$$

(*a*) Hallar v_L/v_i indicando las ganancias de lazo abierto y de lazo.
(*b*) Si $C = 1$ y 100, respectivamente, hallar ζ y ω_m.
(*c*) Representar la ganancia asintótica T para cada valor de C.
(*d*) Representar la ganancia asintótica de $|v_L/v_i|$ para cada valor de C. Calcular el ancho de banda de 3 dB en cada caso.

10.4-1. En la Figura 10.1-2, $R_o \ll R_p$, $R_i \gg R_s$, $K = 1$, $R_s = 10$ kΩ y $R_f = 50$ kΩ. La ganancia del amplificador es

$$A_d(s) = \frac{24 \times 10^3}{(1 + s/10^5)[1 + s/(2 \times 10^5)]^2}$$

Hallar y representar la magnitud y fase de T. ¿Es estable el amplificador?

10.4-2. La ganancia del amplificador del Problema 10.4-1 es

$$A_d(s) = (19.2 \times 10^3)\left(\frac{s/50}{1 + s/50}\right)^2 \frac{s/100}{1 + s/100}$$

Hallar y representar la magnitud de fase de T. ¿Es estable el amplificador?

10.4-3. Dibujar los diagramas de Nyquist correspondientes a los Problemas 10.4-1 y 10.4-2 y compararlos.

10.4-4. En el amplificador realimentado del Problema 10.4-1, hallar el valor de R_f para el cual el margen de fase está comprendido entre 45 y 60°. Utilizar $R_s = 10$ kΩ.

10.4-5. Repetir el problema 10.4-1 si

$$A_d(s) = (19.2 \times 10^3)\left(\frac{s/0{,}1}{1 + s/0{,}1}\right)\left(\frac{s/0{,}5}{1 + s/0{,}5}\right)\left(\frac{s/5000}{1 + s/5000}\right)$$

10.5-1. El amplificador inversor lineal de la Figura 10.1-1 se debe estabilizar utilizando compensación por retardo de polo cero, como en la Figura 10.5-6. Los dos circuitos son equivalentes (véase Problema 10.1-5), puesto que $R_i \gg R_p$, $R_a = R_o \ll R_2$ y $|A_d v_d R_2| \gg v_x R_o$. Diseñar para un margen de fase de aproximadamente 45° utilizando los valores de R_s, R_f y $R_d(s)$ dados en el Problema 10.4-1. Si $R_o = 100$ Ω, determinar C y R_b.

10.5-2. Hallar y representar A_v para el Problema 10-5.1 y calcular el ancho de banda total.

10.5-3. Verificar la Figura 10.5-2*b*.

10.5-4. Representar $|A_v|$ en función de la frecuencia para el amplificador realimentado compensado de la Sección 10.5-3. Demostrar que el ancho de banda de 3 dB es aproximadamente 12 MHz.

10.5-5. Dibujar $|A_v|$ en función de la frecuencia para el amplificador de adelanto compensado de la Sección 10.5-4. Demostrar que el ancho de banda a 3 dB es aproximadamente 50 MHz.

10.5-6. Para realizar el amplificador con compensación por adelanto de la Sección 10.5-4 se utiliza el operacional de la Figura P10.5-6.
(*a*) Demostrar que si $R_2 \ll R_f$ y $R_i \gg R_p$, la ganancia del operacional viene dada por (10.3-1*a*), donde A_d es

$$A_d(s) = \frac{A_d(0)\left(\dfrac{R_2}{R_1 + R_2 + R_o}\right)\left\{\dfrac{1 + sR_1C_1}{1 + s[R_1 \| (R_2 + R_o)]C_1}\right\}}{\left(1 + \dfrac{s}{2\pi \times 10^6}\right)\left[1 + \dfrac{s}{2\pi(10 \times 10^6)}\right]\left[1 + \dfrac{s}{2\pi(30 \times 10^6)}\right]}$$

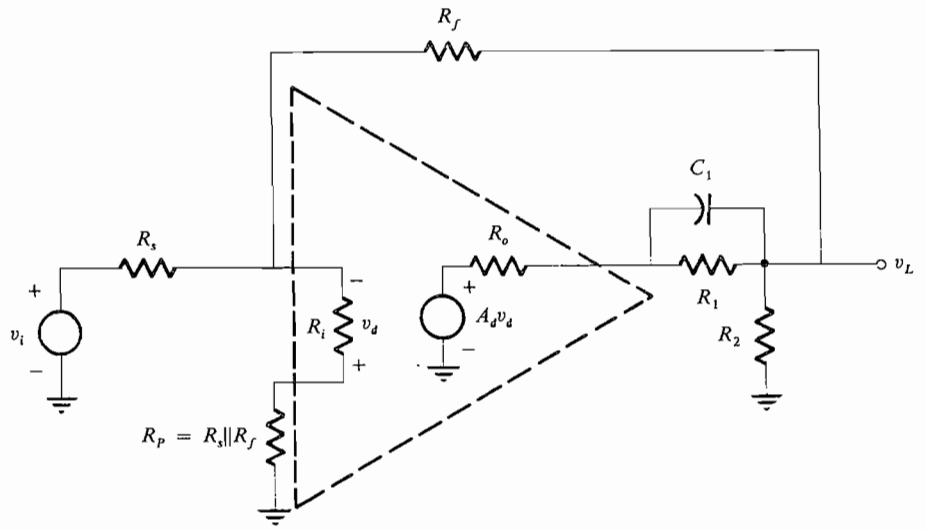


Figura P10.5-6.

(*b*) Si $R_1 = 1$ kΩ y $R_f = 100$ kΩ, hallar el valor de $A_d(0)$ necesario para obtener la ganancia en lazo abierto de $A_o(0) = -10^4$ sin compensación.
(*c*) Si $R_o = 100$ Ω, determinar R_1, R_2 y C_1 de la red de adelanto.

10.5-7. En el circuito integrador de la Figura 8.4-4, los parámetros son $R = 1$ kΩ y $C = 1$ μF. El operacional no es ideal y tiene $R_i = 10$ MΩ, $R_o = 100$ Ω y $A_d = 10^4$. Hallar y representar v_L cuando v_i es una función escalón unidad. Comparar con la salida de un integrador ideal. ¿Hasta qué, punto se aparta la salida de la ideal en menos del 1 por 100? ¿Y en menos del 10 por 100?

10.5-8. El amplificador compensado por retardo de la Figura 10.5-6*c* tiene $R_1 = 2$ kΩ, $R_2 = 10$ kΩ, $R_i = 100$ kΩ, $R_o = 100$ Ω y

$$A_d(s) = \frac{10^4}{[1 + s/(2\pi \times 10^6)]\{1 + s/[2\pi(4 \times 10^6)]\}}$$

(*a*) Diseñar para un margen de fase de 45° aproximadamente. Efectuar aproximaciones razonables.
(*b*) Hallar R_b y C.

10.5-9. El operacional de la Figura 10.1-2 tiene $R_o \ll R_\beta$, $R_i \gg R_s$, $K = 1$, $R_s = 10$ kΩ y $R_f = 50$ kΩ. La ganancia del amplificador tiene dos polos y viene dada por

$$A_d(s) = \frac{24 \times 10^3}{[1 + s/(2 \times 10^5)]^2}$$

Estabilizar el amplificador mediante la conexión de un condensador C_x en paralelo con la entrada del operacional ($-v_d$ a masa). Diseñar para un margen de fase de aproximadamente 45°. Calcular C_x.

10.5-10. Hallar y representar A_v para el Problema 10.5-9 y calcular el ancho de banda global.

10.7-1. Verificar (10.7-6) y (10.7-9).

10.7-2. En la Figura 10.7-1 sean $V_{CC} = 9$ V, $V_{BB} = 5$ V, $R_e = R = 1$ kΩ, $C = 0{,}0068$ μF, $R_c = 420$ Ω y $R_b = 900$ Ω. Hallar (*a*) R' si $h_{fe} = 150$ y (*b*) f_o.

10.7-3. (*a*) Verificar (10.7-11*a*).
(*b*) En la Figura 10.7-3 sean $A_d = 10^4$, $R_i = 10$ kΩ, $R = 10$ kΩ y $C = 0{,}001$ μF. Hallar f_o y R_f.

10.7-4. (*a*) Verificar (10.7-14).
(*b*) En la Figura 10.7-5 sean $L = 400$ μH, $C = 50$ pF, $C_M = 100$ pF, $I_E = 1$ mA, $h_{fe} = 200$ y $R_b = 50$ kΩ. Hallar f_o y n.

10.7-5. (*a*) En la Figura 10.7-4 incluir el efecto de R_b y hallar T.
(*b*) Hallar f_o y n.

10.7-6. (*a*) Verificar (10.7-18).
(*b*) En la Figura 10.7-6 sean $I_E = 1$ mA, $h_{fe} = 200$, $R_b = 5$ kΩ, $L = 4$ μH, $C_2 = 100$ pF. Hallar f_o y C_1.

10.7-7. Hallar la condición en que oscilará el circuito representado en la Figura 10.7-7*a*.

10.7-8. (*a*) Verificar (10.7-21).
(*b*) En la Figura 10.7-8 sean $L = 400$ μH, $C = 54$ pF, $R_e = 1$ kΩ, $I_E = 1$ mA y $h_{fe} = 100$. Hallar f_o y n_1/n_2.

10.7-9. En la Figura 10.7-9 sean $L = 400$ μH, $C_1 = 54$ pF, $C_2 = 15$ pF, $R_b = 270$ kΩ, $I_E = 1$ mA y $h_{fe} = 150$.
(*a*) Suponer que el acoplamiento es fuerte (véase Prob. 9.5-7) y, por tanto, el autotransformador puede ser representado como en la Figura 9.5-6 y R_b puede ser tratada como un circuito abierto. Demostrar que

$$\omega_0 = \frac{1}{\sqrt{LC_1}} \quad \text{y} \quad n = \frac{n_2}{n_1} \geqslant h_{fe} + 1$$

(*b*) Hallar f_o y n.

CAPITULO

11

Funciones lógicas y álgebra de Boole

INTRODUCCION

En los capítulos anteriores hemos estudiado diodos, BJT y FET principalmente desde el punto de vista analógico o de señal continua. En este capítulo comenzamos a examinar el uso de estos mismos dispositivos en sistemas digitales discretos. El computador digital es quizá el más conocido de tales sistemas, todos los cuales existen actualmente en virtud de la fiabilidad de los tipos de operaciones conexión-desconexión (ON-OFF) comparadas con las operaciones analógicas. En el computador se utilizan algunos tipos de transistores para realizar estas operaciones, funcionando como interruptores en conexión o en desconexión. Así pues, las complicadas funciones realizadas por el computador se pueden considerar como realizadas por interconexión de gran número de interruptores o conmutadores llamados puertas lógicas. Estas interconexiones están ideadas para realizar las leyes de la lógica y son manipuladas de manera que realicen los cálculos deseados. La técnica matemática utilizada para el análisis lógico de los sistemas que contienen gran número de elementos conexión-desconexión se denomina álgebra de Boole o álgebra booleana con reglas similares a las del álgebra ordinaria, pero basadas únicamente en dos estados posibles, conexión-desconexión (o verdad-falso), llamados estados lógicos. En este capítulo introduciremos el álgebra de Boole y mostraremos cómo se realizan dichas operaciones en este álgebra mediante varios tipos de puertas lógicas.

11.1. FUNCIONES LOGICAS

11.1-1. La función NO (NOT)

Hay tres funciones lógicas básicas que son realizadas por los componentes de un computador digital, las funciones NO (NOT), Y (AND) y O (OR). La función NO, que consideramos en primer lugar, es quizá la más sencilla de las tres. Para explicarla consideremos una lámpara. Si la lámpara está encendida, designaremos su estado por la

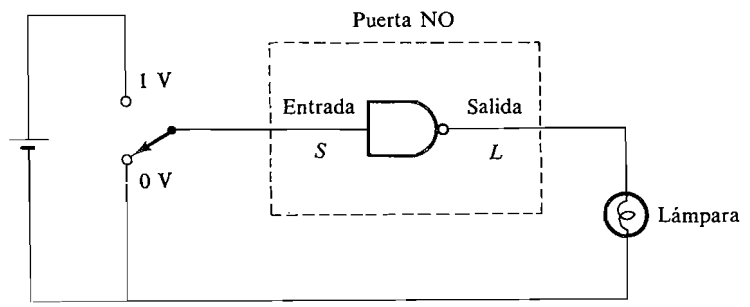
letra L. Si NO está encendida, a su estado NO L lo designaremos simbólicamente por $\bar{L}$. La variable lógica L es una variable *binaria* (de dos valores).

La lámpara puede estar únicamente en uno de los dos estados, encendida o NO encendida (apagada). Así pues, se dice que L y $\bar{L}$ son *complementarias*. Como sólo hay dos estados posibles de la variable lógica L, a menudo la representamos con los símbolos **1** y **0***, correspondientes a encendido y apagado (ON y OFF, o bien VERDAD y FALSO); es decir

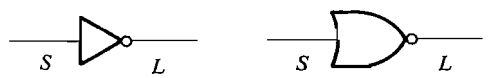
$$L = \begin{cases} \mathbf{1} & \text{si luz encendida (ON, VERDAD)} \\ \mathbf{0} & \text{si luz apagada (OFF, FALSO)} \end{cases} \tag{11.1-1}$$

A este respecto, estos símbolos no tienen significación numérica alguna. La significación de la función NO en el sistema en que sólo hay dos símbolos, **1** y **0**, es que un estado que NO está representado por el símbolo **1**, está representado por el símbolo **0**.

Un dispositivo que realiza la función lógica NO se denomina puerta NO (o *inversor*). En los diagramas lógicos se utilizan diferentes símbolos para distinguir entre sí los diversos tipos de puertas. Los símbolos generalmente utilizados para la puerta NO están representados en la Figura 11.1-1. Si el interruptor está conectado a la batería, la entrada a la puerta es $S = \mathbf{1}$ y la salida de la puerta será pues $L = \mathbf{0}$. Puesto que $L = \mathbf{0}$, la lámpara NO está encendida. Si el interruptor se pone en la posición 0-V, tenemos $S = \mathbf{0}$, $L = \mathbf{1}$, y la lámpara estará encendida.



(*a*)



(*b*)

Figura 11.1-1. La puerta NO: (*a*) circuito que invierte la salida del interruptor; (*b*) otros símbolos de puerta NO.

* Para mayor claridad utilizaremos **0** ó **1** en negritas para distinguir los símbolos lógicos de los escalares.

La ecuación lógica que describe esta operación es

$$L = \bar{S} \tag{11.1-2}$$

En el siguiente capítulo veremos que esta función se realiza fácilmente por un amplificador de una sola etapa con BJT o FET, análogo al estudiado en los Capítulos 2 y 3.

11.1-2. La tabla de verdad

Cada problema lógico puede enunciarse en términos de tres funciones lógicas NO, Y y O. Cuanto más complicado es el problema, mayor número de variables y puertas lógicas intervienen, hasta que se hace difícil enunciar con palabras el problema de modo preciso, es decir, teniendo en cuenta todas las posibilidades. Afortunadamente se han ideado procedimientos organizados por medio de los cuales podemos tabular todas las posibilidades que puedan originarse. Utilizando estos procedimientos podemos obtener el enunciado simbólico correcto del problema (ecuación lógica) de manera sistemática.

El procedimiento básico más empleado, y también uno de los mejores, es la *tabla de verdad*. En una tabla de verdad se hace uso del hecho de que si tenemos N variables de dos estados, hay 2^N maneras diferentes de combinarlas. Estas 2^N combinaciones posibles quedan explícitamente expuestas en la tabla de verdad. Para la función NO de (11.1-2) que describe el circuito de la Figura 11.1-1*a* tenemos las siguientes dos posibilidades:

$$S = \begin{cases} \mathbf{1} & \text{contacto del interruptor en terminal superior, luz apagada} \\ \mathbf{0} & \text{contacto del interruptor en terminal inferior, luz encendida} \end{cases}$$

Esto se puede escribir en forma tabular de la manera siguiente:

Interruptor	Luz
Arriba	Apagada
Abajo	Encendida

Si representamos el interruptor cuando está en la posición superior o de conexión por un **1** y cuando está en la posición inferior o de desconexión por un **0** y la luz encendida por un **1** y la luz apagada por un **0**, tenemos la tabla de verdad (11.1-1) correspondiente a la función NO*.

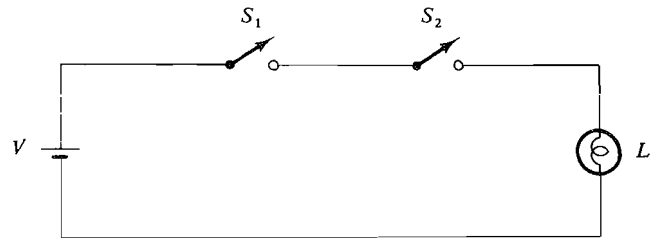
Cuando aumenta el número de variables, también aumenta la complejidad de la tabla de verdad. Su utilidad se hará más evidente cuando consideremos funciones lógicas más complicadas.

---

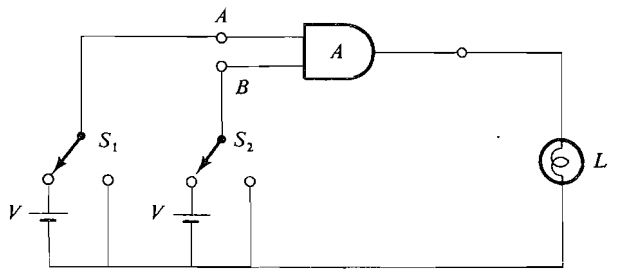
* Los tipos de imprenta llamados negritas no se utilizan para los dígitos binarios en las tablas de verdad, ni en las tablas de Karnaugh (Sec. 11.5), donde la naturaleza binaria de los dígitos es obvia.

Tabla 11.1-1. Tabla de verdad de la función NO

S	$L = \bar{S}$
1	0
0	1



(*a*)



(*b*)

Figura 11.1-2. La función Y: (*a*) realización del circuito de conmutación; (*b*) circuito de puerta Y.

11.1-3. La función Y (AND)

En un problema típico podemos encontrar muchas variables lógicas binarias. La función lógica Y relaciona dos o más de tales variables de la manera siguiente. Por ejemplo, podemos necesitar que cuando estén cerrados dos interruptores separados S_1 Y S_2, se encienda la lámpara L. Esto se escribe simbólicamente así

$$L = S_1 \cdot S_2 \tag{11.1-3}$$

donde el punto se lee Y. A menudo se omite el punto y la operación Y se escribe simplemente $L = S_1 S_2$. El lector observará que las dos formas que hemos utilizado para escribir la operación Y son idénticas a la notación algebraica ordinaria que se utiliza para

la multiplicación. Esto no significa que ambas operaciones sean las mismas. Sin embargo, hay algunas similitudes que iremos señalando a medida que avancemos.

La Figura 11.1-2*a* muestra un circuito que realiza la función Y con interruptores. En el circuito se ve que la luz no se puede encender a no ser que ambos interruptores S_1 Y S_2 estén cerrados.

El símbolo normalizado del circuito para una puerta Y es el representado en la Figura 11.1-2*b*. Cuando el interruptor S_1 esta conectado a su batería correspondiente, se considera que la variable lógica de entrada A es **1** y de lo contrario es **0**. Un enunciado análogo es válido para S_2 y la entrada B. La puerta se diseña de manera que cuando A Y B son **1**, la salida L será **1** y la luz se encenderá.

Para confeccionar la tabla de verdad correspondiente a la función Y observemos que, puesto que hay dos variables A y B, hay cuatro posibles combinaciones:

A	*B*
0	0
0	1
1	0
1	1

Por la descripción anterior de la función Y vemos que las combinaciones de las tres primeras filas de la tabla conducen todas a una salida $L = \mathbf{0}$, mientras la cuarta fila conduce a una salida $L = \mathbf{1}$. Así pues, la tabla de verdad es como muestra la Tabla 11.1-2. En la forma de ecuación lógica las cuatro líneas de la tabla de verdad se escriben:

$$\begin{aligned} \mathbf{0} \cdot \mathbf{0} &= \mathbf{0} \\ \mathbf{0} \cdot \mathbf{1} &= \mathbf{0} \\ \mathbf{1} \cdot \mathbf{0} &= \mathbf{0} \\ \mathbf{1} \cdot \mathbf{1} &= \mathbf{1} \end{aligned}$$

La función Y puede relacionar más de dos entradas. Por ejemplo, podríamos requerir que si A Y B Y C, fuesen todas iguales a **1**, X fuese igual a **1**. Esto se escribe simbólicamente así

$$X = A \cdot B \cdot C \tag{11.1-4}$$

Las puertas Y comerciales se suelen construir para varias entradas.

Tabla 11.1-2. Tabla de verdad de la función Y

A	*B*	*L*
0	0	0
0	1	0
1	0	0
1	1	1

11.1-4. La función O (OR)

La función lógica O relaciona dos o más variables lógicas, lo mismo que la función Y. Sin embargo, en el caso de la función O podríamos requerir que si cualquiera de ellos, o los dos interruptores, S_1 O S_2 estuviesen cerrados, la lámpara L estuviese encendida. Esto se escribe así

$$L = S_1 + S_2 \tag{11.1-5}$$

Aquí el signo más se lee O.

Tabla 11.1-3. Tabla de verdad de la función O

A	B	L
0	0	0
0	1	1
1	0	1
1	1	1

La Figura 11.1-3*a* muestra un circuito de conmutación que representa la función O. Evidentemente la lámpara estará encendida si S_1 O S_2 O ambos están cerrados. El símbolo normalizado del circuito de una puerta O está representado en la Figura 11.1-3*b*. Para la puerta, la ecuación lógica que relaciona la salida L con las entradas A y B es

$$L = A + B \tag{11.1-6}$$

Cuando cualquiera de los interruptores 1 ó 2 o ambos están conectados a sus baterías respectivas, se considera que las variables lógicas de entrada A o B o ambas son **1** y la salida L será **1**. La tabla de verdad de la función O se da en la Tabla 11.1-3.

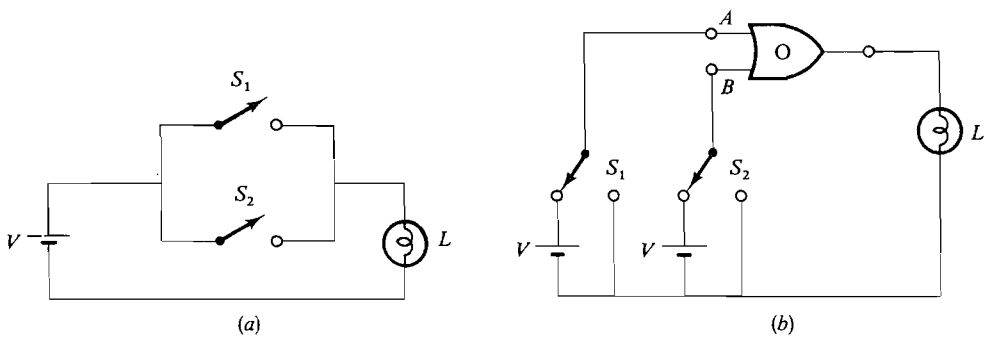


Figura 11.1-3. La función O: (*a*) circuito de conmutación; (*b*) circuito de una puerta O.

En forma de ecuación lógica tenemos las cuatro posibilidades

$$\begin{aligned} 0 + 0 &= 0 \\ 0 + 1 &= 1 \\ 1 + 0 &= 1 \\ 1 + 1 &= 1 \end{aligned}$$

Lo mismo que la función Y, la función O puede relacionar más de dos variables lógicas. Por ejemplo, consideremos

$$L = A + B + C + D \tag{11.1-7}$$

Aquí $L = 1$ en tanto que una o más de las cuatro variables sean **1**; es decir, $L = 0$ solamente cuando las cuatro variables son **0**.

11.1-5. Combinaciones de las funciones lógicas básicas

En un circuito práctico pueden aparecer diferentes combinaciones de puertas y a menudo tenemos que analizar el circuito a fin de determinar la ecuación lógica que rige su funcionamiento. Veamos un ejemplo.

EJEMPLO 11.1-1

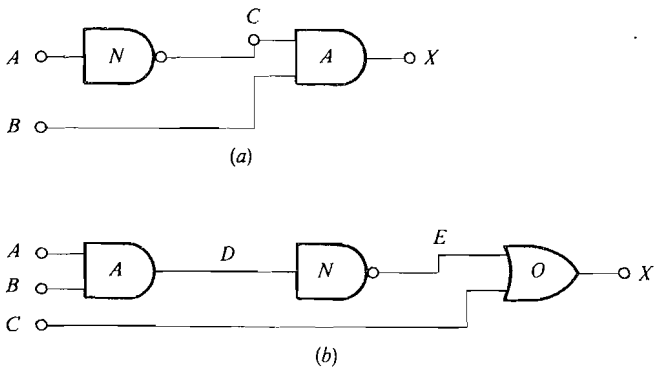


Figura 11.1-4. Circuitos lógicos para el Ejemplo 11.1-1.

Consideremos los circuitos representados en la Figura 11.1-4. Hallar la relación entre la salida X y las entradas indicadas.

Solución

Figura 11.1-4a. Comenzamos observando que en términos de las entradas a la puerta Y tenemos

$$X = B \cdot C \tag{11.1-8}$$

Se ve que la variable de salida C de la puerta NO está relacionada con la entrada A por

$$C = \bar{A} \tag{11.1-9}$$

Sustituyendo (11.1-9) en (11.1-8) tenemos el resultado final

$$X = B \cdot \bar{A} \tag{11.1-10}$$

Figura 11.1-4b. En este circuito definimos las variables adicionales D y E como se muestra. Las relaciones que conciernen a las puertas individuales son

$$X = E + C \tag{11.1-11}$$

$$E = \bar{D} \tag{11.1-12}$$

$$D = A \cdot B \tag{11.1-13}$$

Sustituyendo (11.1-13) en (11.1-12), tenemos

$$E = \bar{D} = \overline{A \cdot B} \tag{11.1-14}$$

Obsérvese que la barra o trazo superior cubre a A y a B; es decir, primero debemos hallar A Y B y luego complementarlo. Este resultado se sustituye en (11.1-11) para obtener el resultado final

$$X = \overline{A \cdot B} + C \tag{11.1-15}$$

En un problema de diseño lógico damos el enunciado en palabras que deben «traducirse» en ecuaciones lógicas. Luego se sintetizan los circuitos que contienen puertas Y, O y NO para realizar las funciones lógicas de las ecuaciones. Este proceso se expone en el ejemplo que sigue.

EJEMPLO 11.1-2

Un granjero tiene junto a él un perro lobo grande, una cabra y varias coles. El granjero posee dos graneros, uno al norte y otro al sur. El granjero, el perro, las coles y la cabra están todos en el granero sur. El granjero tiene labores que hacer en ambos graneros, pero si deja al perro con la cabra, cuando él está ausente, el perro morderá a la cabra, y si deja sola a la cabra con las coles, la cabra se comerá las coles. Para evitar cualquier desastre, el granjero nos pide que construyamos un pequeño ordenador o computador portátil que tenga cuatro interruptores que representen al granjero, el perro, la cabra y las coles. Si está conectado un interruptor a una batería, la letra representada por el interruptor corresponderá al granero sur; si el interruptor está conectado a masa, la letra corresponderá al granero norte. La salida del ordenador se aplica a una lámpara la cual se enciende si cualquier combinación de los interruptores da por resultado el desastre. De esta manera el granjero podrá atender sus labores utilizando el ordenador para que éste le diga lo que deba llevar consigo de un granero a otro a fin de evitar el desastre. ¿Cómo construiremos este ordenador?

Solución

Para diseñar el ordenador debemos enunciar muy precisamente lo que deseamos hacer. Necesitamos que la lámpara se encienda si ocurre alguna de las cuatro posibilidades siguientes:

1. El granjero está en el granero norte Y el perro Y la cabra están en el granero sur, O si
2. El granjero está en el granero norte Y la cabra Y las coles están en el granero sur, O si
3. El granjero está en el granero sur Y el perro Y la cabra están en el granero norte, O si
4. El granjero está en el granero sur Y las coles están en el granero norte.

Ahora representamos simbólicamente por la letra F que el granjero está en el granero sur. Por tanto, si el granjero NO está en el granero sur, es decir, si está en el granero norte, estará representado por $\bar{F}$. Análogamente, tenemos

D = perro en granero sur
$\bar{D}$ = perro en granero norte
G = cabra en granero sur
$\bar{G}$ = cabra en granero norte
C = coles en granero sur
$\bar{C}$ = coles en granero norte

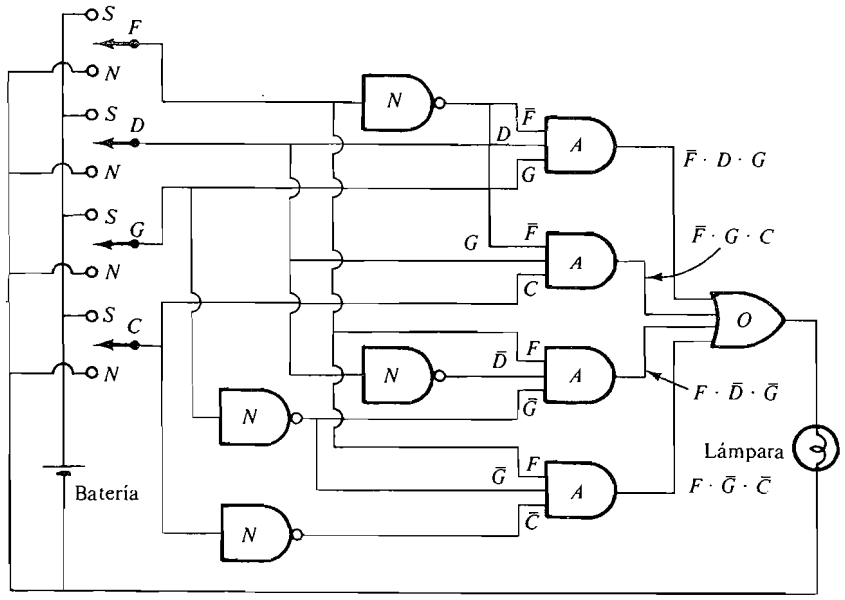


Figura 11.1-5. Un computador especial para resolver el problema del perro, la cabra y la col.

Podemos escribir ahora la proposición lógica simbólica que combina todas las posibilidades que conducen a un desastre:

$$L = \bar{F} \cdot D \cdot G + \bar{F} \cdot G \cdot C + F \cdot \bar{D} \cdot \bar{G} + F \cdot \bar{G} \cdot \bar{C} \qquad (11.1\text{-}16)$$

donde L indica que la lámpara está encendida.

Cada término de la ecuación representa una de las cuatro combinaciones posibles para las cuales deseamos que la lámpara se encienda y vemos que cada término requerirá una puerta Y de tres entradas. Las salidas de las cuatro puertas Y serán entonces las entradas de una puerta O de cuatro entradas. Además es necesario el complemento (o negación) de cada una de las variables, por lo que necesitaremos cuatro inversores. La Figura 11.1-5 representa un circuito que realiza (11.1-6). El circuito contiene un interruptor para cada una de las letras F, D, G y C, una batería, una lámpara y las puertas mencionadas. El lector deberá comprobar que la lámpara se encenderá únicamente si cualquiera de los cuatro términos de (11.1-16) es cierto, o «verdad».

11.2. ALGEBRA BOOLEANA

La Ecuación (11.1-16) y el circuito resultante de la Figura 11.1-5 no son únicos. Utilizando las reglas del álgebra booleana es posible manipular la expresión de L de muchas formas diferentes que son equivalentes a la original. En general, cada forma conducirá a un circuito que aparentemente es diferente, pero que realiza exactamente la misma tarea que el original. Las ventajas para el diseñador son numerosas: como después veremos, el diseñador puede manipular libremente la ecuación lógica de manera que el circuito resultante contega sólo un tipo de puerta o probar varios diseños a fin de hallar aquél que utilice el menor número de puertas.

En esta sección enunciaremos e ilustraremos algunas de las reglas del álgebra de Boole que son más adecuadas para el estudio de los circuitos lógicos electrónicos.

11.2-1. Teoremas booleanos

Presentamos en primer lugar los teoremas booleanos más importantes en la Tabla 11.2-1. Se presentan pareados, es decir, con las versiones Y y O de cada uno.

Algunos teoremas son idénticos a los del álgebra ordinaria, por ejemplo, los teoremas 1, 2 y 3*a*. Obsérvese que el último de ellos, el teorema de la *ley distributiva* 3*a*, nos permite multiplicar exactamente lo mismo que en el álgebra ordinaria. También podemos utilizarlo en sentido inverso para sacar *factor* común en expresiones tales como $XY + XZ = X(Y + Z)$.

Tabla 11.2-1. Teoremas de álgebra de Boole

Número	Teorema	Nombre
1*a*	$A + B = B + A$	Ley conmutativa
1*b*	$A \cdot B = B \cdot A$	
2*a*	$(A + B) + C = A + (B + C)$	Ley asociativa
2*b*	$(A \cdot B) \cdot C = A \cdot (B \cdot C)$	
3*a*	$A \cdot (B + C) = A \cdot B + A \cdot C$	Ley distributiva
3*b*	$A + (B \cdot C) = (A + B) \cdot (A + C)$	
4*a*	$A + A = A$	Ley de identidad
4*b*	$A \cdot A = A$	
5*a*	$\bar{\bar{A}} = \bar{A}$	Negación
5*b*	$\bar{\bar{A}} = A$	
6*a*	$A + A \cdot B = A$	Redundancia
6*b*	$A \cdot (A + B) = A$	
7*a*	$\mathbf{0} + A = A$	
7*b*	$\mathbf{1} \cdot A = A$	
7*c*	$\mathbf{1} + A = 1$	
7*d*	$\mathbf{0} \cdot A = 0$	
8*a*	$\bar{A} + A = \mathbf{1}$	
8*b*	$\bar{A} \cdot A = \mathbf{0}$	
9*a*	$A + \bar{A} \cdot B = A + B$	
9*b*	$A \cdot (\bar{A} + B) = A \cdot B$	
10*a*	$\overline{A + B} = \bar{A} \cdot \bar{B}$	Leyes de De Morgan
10*b*	$\overline{A \cdot B} = \bar{A} + \bar{B}$	

La prueba de algunos teoremas no es obvia y requiere explicación. Por ejemplo, consideremos el teorema 3*b*. Este se puede demostrar utilizando la tabla de verdad o por cálculo algebraico. Explicaremos el método algebraico desarrollando el segundo miembro. Con cada paso aplicable será mencionado el teorema correspondiente.

$$
\begin{aligned}
(A + B) \cdot (A + C) &= AA + AB + AC + BC && \text{teorema } 3a \\
&= A + A(B + C) + BC && \text{teorema } 3a \text{ y } 4b \\
&= A\,(1 + B + C) + BC && \text{factor común y teorema } 3a \\
&= A + BC && \text{teorema } 7c
\end{aligned}
$$

Con esto queda demostrado el teorema

Ahora consideremos el teorema 6*a* el cual enuncia $A = A + A \cdot B$. Este no se parece a ninguno de los teoremas del álgebra ordinaria, pero se demuestra fácilmente con el teorema 3*a* ya que $A + AB = A(\mathbf{1} + B) = A(1) = A$. Para explicar otro método de prueba confeccionamos la tabla de verdad (Tabla 11.2-2). Se añade una columna para $A \cdot B$ a fin de obtener un paso intermedio. Como las columnas primera y última son idénticas

para todas las combinaciones posibles de A y B, el teorema queda demostrado. Esta clase de prueba se llama prueba por *inducción completa.*

Tabla 11.2-2. Prueba del teorema 6*a*

A	B	$A \cdot B$	$A + A \cdot B$
0	0	0	0
0	1	0	0
1	0	0	1
1	1	1	1

Los teoremas 7 y 8 proporcionan un número de relaciones útiles entre las variables lógicas arbitrarias y los valores fijos **0** y **1**.

Los teoremas 9*a* y *b* no son del todo obvios. Se pueden probar más fácilmente con una tabla de verdad, dada en la Tabla 11.2-3 para el teorema 9*a*. Las columnas tercera y sexta son idénticas para todas las combinaciones posibles y, por tanto, prueban el teorema. La prueba del teorema 9*b* se deja como ejercicio para el lector.

Tabla 11.2-3. Prueba del teorema 9*a*

A	B	$A + B$	$\bar{A}$	$\bar{A}B$	$A + \bar{A}B$
0	0	0	1	0	0
0	1	1	1	1	1
1	0	1	0	0	1
1	1	1	0	0	1

Nuestro ejemplo final probará la primera de las leyes de De Morgan (teorema 10*a*) utilizando la tabla de verdad (Tabla 11.2-4). Hay provistas columnas separadas para pasos intermedios en la comparación. Las columnas cuarta y séptima son idénticas para todas las combinaciones posibles, con lo que se demuestra que $\overline{A + B} = \bar{A} \cdot \bar{B}$.

Tabla 11.2-4. Prueba del teorema 10*a*

A	B	$A + B$	$\overline{A + B}$	$\bar{A}$	$\bar{B}$	$\bar{A} \cdot \bar{B}$
0	0	0	1	1	1	1
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	0

El lector observará que cada uno de los teoremas se da en dos formas diferentes, llamadas *duales.* En general, el dual de un teorema se obtiene intercambiando las operaciones Y y O y también intercambiando los **1** y **0** si están presentes.

Los teoremas booleanos se utilizan para manejar las ecuaciones lógicas como la (11.1-16) en diferentes formas que son completamente equivalentes entre sí. Cada forma conduce, pues, a un circuito diferente el cual realiza exactamente la misma relación o expresión entre la entrada y la salida. El diseñador puede entonces elegir entre las diversas formas para satisfacer los requisitos del problema en cuestión. Los requisitos prácticos implican la elección del circuito que utilice el mínimo número de puertas o un solo tipo de puerta.

La manipulación de las ecuaciones lógicas está explicada en los ejemplos siguientes.

EJEMPLO 11.2-1

Simplificar la ecuación lógica

$$L = \bar{X}Y + XY + \bar{X}\bar{Y}$$

Solución

Se efectúan los pasos detalladamente, estando anotado en cada caso el teorema aplicable:

$$\begin{aligned} L &= Y(\bar{X} + X) + \bar{X}\bar{Y} && \text{teorema } 3a \\ &= Y(1) + \bar{X}\bar{Y} = Y + \bar{X}\bar{Y} && \text{teorema } 8a \\ &= Y + \bar{X} && \text{teorema } 9a \end{aligned}$$

La ecuación reducida es considerablemente más sencilla que la ecuación original.

EJEMPLO 11.2-2

A menudo formas alternas de una expresión dan por resultado la mejor realización del circuito. Hallar una forma alternativa para

$$L = \overline{X + YZ}$$

Solución

Aquí se utilizan las leyes de De Morgan de la manera siguiente. Sea $YZ = A$. Luego, por el teorema $10a$, tenemos

$$L = \overline{X + A} = \bar{X}\bar{A} = \bar{X}(\overline{YZ})$$

Ahora, utilizando el teorema $10b$, tenemos $\overline{YZ} = \bar{Y} + \bar{Z}$, por lo que finalmente,

$$L = \bar{X}(\bar{Y} + \bar{Z})$$

EJEMPLO 11.2-3

Si $L = \bar{X}Y + X\bar{Y}$, hallar una expresión para $\bar{L}$.

Solución

$$\begin{aligned}
\bar{L} &= \overline{\bar{X}Y + X\bar{Y}} \\
&= (\overline{\bar{X}Y})(\overline{X\bar{Y}}) && \text{teorema } 10a \\
&= (\bar{\bar{X}} + \bar{Y})(\bar{X} + \bar{\bar{Y}}) && \text{teorema } 10b \\
&= (X + \bar{Y})(\bar{X} + Y) && \text{teorema } 5b \\
&= X\bar{X} + XY + \bar{Y}\bar{X} + \bar{Y}Y && \text{teorema } 3a \\
&= XY + \bar{Y}\bar{X} && \text{teorema } 8b
\end{aligned}$$

11.3. LAS FUNCIONES NO-Y (NAND) y NO-O (NOR)

Los interruptores electrónicos (puertas) no realizan fácilmente las operaciones lógicas O e Y, pero realizan fácilmente las operaciones combinadas NO-Y (NAND) y NO-O (NOR). Las excepciones son las matrices lógicas programables (PAL) en alta escala de integración (LSI). Estos circuitos serán tratados en la Sección 14.5.

11.3-1. La función NO-Y (NAND)

La función NO-Y da salida lógica **0** únicamente cuando todas las entradas son un **1** lógico. La tabla de verdad está en la Tabla 11.3-1. En la tabla vemos que la columna salida es el complemento o negación de la cuarta columna, donde está expresada la función Y, AB. Así, para la función NO-Y tenemos

$$L = \overline{AB} \tag{11.3-1}$$

La palabra NAND (NO-Y) es claramente la contracción de NOT-AND. La operación NO-Y se muestra en la Figura 11.3-1*a*, así como el símbolo estándar para la puerta NO-Y. El símbolo es el mismo que el de la puerta Y más un pequeño círculo a la salida que representa la operación NO.

Tabla 11.3-1. Tabla de verdad de la operación NO-Y

A	B	Salida L (NO-Y)	$A \cdot B$ (Y)
0	0	1	0
0	1	1	0
1	0	1	0
1	1	0	1

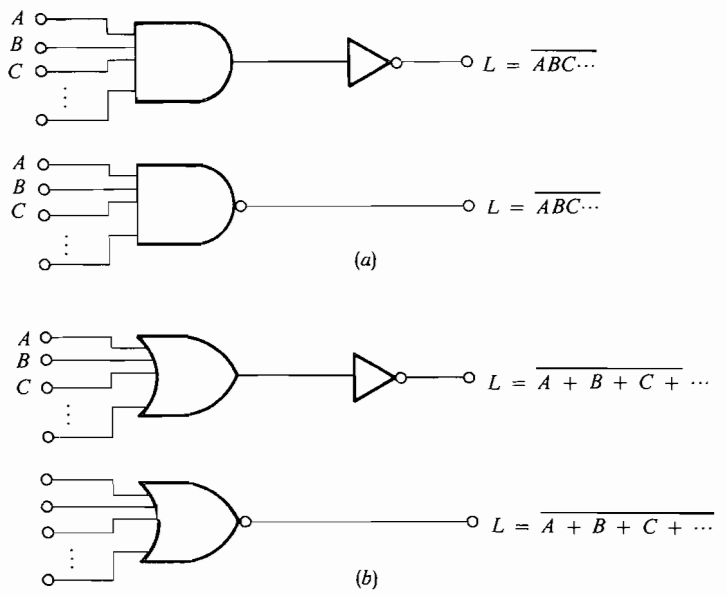


Figura 11.3-1. Símbolos de circuito: (*a*) puerta NO-Y; (*b*) puerta NO-O.

Cuando se aplica la función NO-Y a más de dos variables se escribe

$$L = \overline{ABCD \cdots} \tag{11.3-2}$$

La operación NO-Y es conmutativa; es decir,

$$L = \overline{ABC} = \overline{BAC} = \cdots \tag{11.3-3}$$

Sin embargo, no es asociativa ya que (véase Prob. 11.3-1)

$$\overline{(\overline{AB})C} \neq \overline{A(\overline{BC})} \tag{11.3-4}$$

11.3-2. La función NO-O (NOR)

Como era de suponer, hay una operación dual de la operación NO-Y llamada operación NO-O, en la cual la salida es un **0** lógico cuando una o más entradas son un **1** lógico. La tabla de verdad está dada en la Tabla 11.3-2. En la tabla se ve que la columna de salida es el complemento (o negación) de la cuarta columna donde está expresada la función O, $A + B$. Así, para la función NO-O

$$L = \overline{A + B} \tag{11.3-5}$$

La palabra NOR es la contracción de NOT-OR, y el símbolo de la puerta NO-O está representado en la Figura 11.3-1*b*.

Tabla 11.3-2. Tabla de verdad de la operación NO-O

A	B	Salida L (NO-O)	$A + B$ (O)
0	0	1	0
0	1	0	1
1	0	0	1
1	1	0	1

Lo mismo que para la puerta NO-Y, el símbolo para la puerta NO-O es el mismo que para la puerta O con un circulito en la salida que representa la operación NO. También la operación NO-O es conmutativa; es decir,

$$L = \overline{A + B + C + \cdots} = \overline{B + A + C + \cdots} \tag{11.3-6}$$

y nuevamente no es asociativa, puesto que (véase Prob. 11.3-2)

$$\overline{\overline{A + B} + C} \neq \overline{A + \overline{B + C}} \tag{11.3-7}$$

Cuando se unen más de dos variables mediante O, el resultado es el de la expresión (11.3-6).

En secciones posteriores explicaremos los métodos de síntesis que conducen a circuitos en que solamente intervienen puertas NO-Y y/o. NO-O.

11.3-3. La función O-exclusiva (EXOR)

Una función que se presenta a menudo es la correspondiente a la tabla de verdad de la Tabla 11.3-3. Se la denomina operación O-exclusiva y simbólicamente se escribe

$$L = A \oplus B \tag{11.3-8}$$

Tabla 11.3-3. Tabla de verdad de la función O-exclusiva

A	B	Salida L
0	0	0
0	1	1
1	0	1
1	1	0

Dicho con palabras, la salida L es un **1** lógico si la entrada A o la entrada B es un **1** lógico *exclusivamente*, es decir, cuando no son **1** simultáneamente.

Podemos expresar la O-exclusiva mediante funciones NO, Y y O por el siguiente razonamiento basado en la tabla de verdad. Primero formamos todas las combinaciones

posibles que conducen a $L = 1$. Estas se derivan de las líneas segunda y tercera de la tabla de verdad, es decir, de las líneas en las cuales $L = 1$. Las condiciones de la segunda línea son $A = 0$ Y $B = 1$, que darán 1 cuando se escriben en forma lógica como $\bar{A}B$, mientras las de la tercera línea son $A = 1$ Y $B = 0$, que dan 1 cuando se escriben como $A\bar{B}$. Obsérvese que cualquiera de las líneas segunda O tercera conduce a la $L = 1$ que se desea, por lo que podemos escribir la relación deseada en forma de ecuación lógica

$$L = \bar{A}B + A\bar{B} \tag{11.3-9}$$

El lector debe construir una tabla de verdad partiendo de esta ecuación para comprobar que ciertamente satisface las especificaciones de la función O-exclusiva.

La función O-exclusiva es conmutativa y también asociativa, por lo que se puede utilizar la notación

$$L = A \oplus B \oplus C \oplus D \cdots \tag{11.3-10}$$

sin paréntesis para indicar agrupamiento.

En la Figura 11.3-2*a* está representado un posible circuito que realiza la operación O-exclusiva utilizando las puertas NO, Y y O. El símbolo normalizado de la puerta O-exclusiva está representado en la Figura 11.3-2*b*. En la práctica, las puertas O-exclusiva con más de dos entradas no son comerciales, por lo que se utiliza la disposición de la Figura 11.3-2*c* para acomodar entradas adicionales.

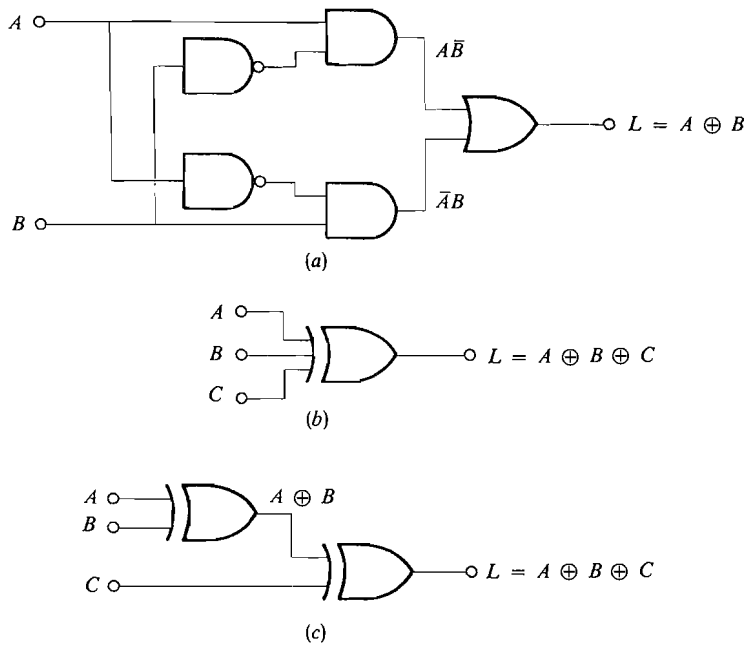


Figura 11.3-2. (*a*) Circuito que realiza la operación O-exclusiva; (*b*) símbolo de la puerta O-exclusiva; (*c*) disposición que admite más de dos entradas.

11.3-4. Expresiones con todas las operaciones NO-Y (NAND) o todas NO-O (NOR)

En la práctica, a menudo es conveniente diseñar circuitos lógicos utilizando sólo un tipo de puerta, es decir, NO-Y o NO-O. Esto es particularmente válido cuando se utilizan circuitos integrados. Mediante el uso correcto de los teoremas de De Morgan pueden ser manejadas todas las posibles funciones lógicas de forma que sean fácilmente sintetizadas utilizando sólo un tipo de puerta. Empecemos por considerar solamente puertas lógicas NO-Y. La operación Y se obtiene utilizando la puerta NO-Y seguida de un inversor, como muestra la Figura 11.3-3. Esto es $\overline{\overline{ABC}} = ABC$. Para la operación O utilizamos el teorema de De Morgan como sigue

$$L = \overline{\bar{A} \cdot \bar{B} \cdot \bar{C}} = \bar{\bar{A}} + \bar{\bar{B}} + \bar{\bar{C}} = A + B + C \tag{11.3-11}$$

El circuito correspondiente está representado en la Figura 11.3-3*b*.

De manera análoga, se puede utilizar la puerta NO-O para sintetizar ambas funciones Y y O (véase Prob. 11.3-3).

Para ilustrar esta técnica aplicada a una expresión más complicada, consideremos la expresión en términos de operaciones NO-Y solamente

$$L = A + \bar{B}C \tag{11.3-12}$$

Aplicando los teoremas de De Morgan tenemos

$$\bar{L} = \overline{A + \bar{B}C} = (\bar{A})(\overline{\bar{B}C}) \tag{11.3-12}$$

Luego

$$\bar{\bar{L}} = L = \overline{(\bar{A})(\overline{\bar{B}C})} \tag{11.3-13}$$

El circuito correspondiente, utilizando únicamente puertas NO-Y, es el de la Figura 11.3-4.

Como estos problemas pueden ser muy complejos es conveniente resolverlos sistemáticamente. En la sección siguiente se expone uno de tales procedimientos

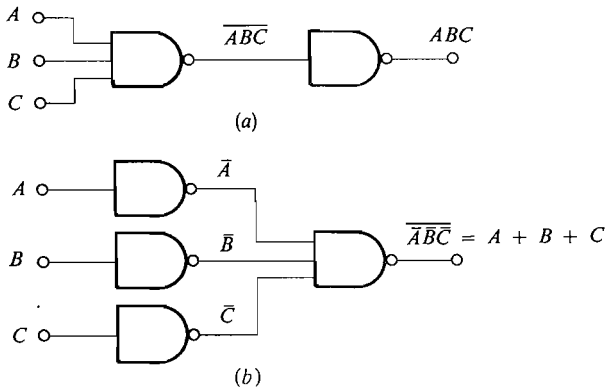


Figura 11.3-3. Lógica NO-Y: (*a*) la operación Y; (*b*) la operación O.

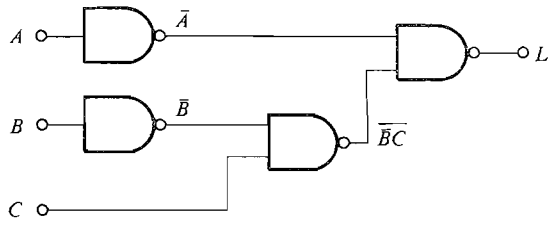


Figura 11.3-4. Realización de la operación NO-Y para $L = A + \bar{B}C$.

11.4. FORMAS CANONICAS DE FUNCIONES LOGICAS

11.4-1. Suma de productos

En la primera forma normalizada consideraremos la de suma de productos, en que se escribe la función lógica como simple suma de términos. Por ejemplo, consideremos la función

$$L = (\bar{W} + XY)(X + YZ) \tag{11.4-1}$$

Para expresar esto como una suma de productos desarrollamos la expresión utilizando el teorema 3*a*.

$$\begin{aligned} L &= (\bar{W} + XY)X + (\bar{W} + XY)YZ = \bar{W}X + XXY + \bar{W}YZ + XYYZ \\ &= \bar{W}X + XY + \bar{W}YZ + XYZ \end{aligned} \tag{11.4-2}$$

Esta es la suma de productos deseada.

Algunas veces se deben utilizar las leyes de De Morgan. Por ejemplo, consideremos

$$L = (\overline{AB} + C)\bar{D} \tag{11.4-3}$$

Utilizando el teorema 3*a*, tenemos

$$L = (\overline{AB})\bar{D} + C\bar{D} \tag{11.4-4}$$

Esta no es todavía la forma deseada de suma de productos a causa de la presencia del término $\overline{AB}$, donde la combinación AB está negada o complementada. Utilizamos la ley de De Morgan $\overline{AB} = \bar{A} + \bar{B}$ para obtener

$$L = (\bar{A} + \bar{B})\bar{D} + C\bar{D} = \bar{A}\bar{D} + \bar{B}\bar{D} + C\bar{D} \tag{11.4-5}$$

Esta es la forma deseada.

Los ejemplos que siguen indican que siempre es posible manejar una expresión lógica en la forma de simple suma de términos en que cada término es un producto de alguna combinación de las variables. Algunas de las variables pueden estar complementadas. Nunca aparecerá la misma variable dos veces en un mismo término a causa de que si así

fuese eliminaríamos la repetición utilizando $AA = A$ o $\bar{A}\bar{A} = \bar{A}$. Si aparece la forma $A\bar{A}$ en algún término, este término es idénticamente nulo y puede ser omitido.

Obsérvese que no todos los términos de (11.4-2) y (11.4-5) contienen todas las variables. Una ulterior normalización conduce a una expresión en que aparecen en cada término todas las variables, ya sean complementadas o no complementadas. Esto es lo que se suele llamar *forma de suma de productos desarrollada.* Aparece naturalmente cuando la ecuación lógica se deriva de una tabla de verdad, como ilustra el ejemplo que sigue.

EJEMPLO 11.4-1

Hallar la ecuación lógica de L descrita por la tabla de verdad

Fila	*X*	*Y*	*Z*	*L*
1	0	0	0	0
2	0	0	1	0
3	0	1	0	1
4	0	1	1	1
5	1	0	0	1
6	1	0	1	0
7	1	1	0	1
8	1	1	1	1

Solución

Las filas de la tabla de verdad han sido numeradas por comodidad. Vemos que $L = \mathbf{1}$ para las condiciones de las filas 3, 4, 5, 7 y 8. Consideremos la fila 3. En esta fila vemos que $L = \mathbf{1}$ si $X = \mathbf{0}$ Y $Y = 1$ Y $Z = \mathbf{0}$. Estas tres condiciones pueden ser combinadas en una expresión

$$\bar{X}Y\bar{Z} = \mathbf{1} \tag{11.4-6}$$

El lector deberá comprobar que esta expresión es **1** solamente cuando $X = \mathbf{0}$, $Y = \mathbf{1}$ y $Z = \mathbf{0}$. Para las condiciones de la fila 4 tenemos

$$\bar{X}YZ = \mathbf{1} \tag{11.4-7}$$

Obsérvese que cualquiera de la fila 3 O fila 4 conduce a $L = \mathbf{1}$; así, considerando únicamente estas dos filas, podemos escribir

$$L = \bar{X}Y\bar{Z} + \bar{X}YZ$$

donde los dos términos de la derecha representan las filas tercera y cuarta de la tabla de verdad.

Las filas 5, 7 y 8 conducen a los términos $X\bar{Y}\bar{Z}$, $XY\bar{Z}$ y XYZ, respectivamente. Si cualquiera de ellos es **1**, L será **1**. Así pues, serán simples alternativas O de la expresión correspondiente en las filas 3 y 4. La ecuación lógica final es

$$L = \bar{X}Y\bar{Z} + \bar{X}YZ + X\bar{Y}\bar{Z} + XY\bar{Z} + XYZ \tag{11.4-8}$$

Esta es la forma de suma de productos desarrollada. Cada término individual recibe el nombre de minitérmino (*miniterm*).

La expresión que da (11.4-8) se puede escribir directamente partiendo de la tabla de verdad y observando que las variables de cada fila que tiene $L = \mathbf{1}$ están conectadas por la función Y (cualquier variable que aparece como **1** se deja sin cambiar y cada variable que aparece en la tabla como **0** es complementada) y los términos de cada fila son conectados por la función O.

La forma de suma de productos desarrollada suele ser más complicada de lo necesario. Por ejemplo, la expresión correspondiente a L en (11.4-8) se puede reducir a una forma mucho más sencilla (véase Prob. 11.4-3):

$$L = Y + X\bar{Z} \tag{11.4-9}$$

La forma de suma de productos desarrollada es útil para los métodos de síntesis que estudiaremos en una sección posterior.

11.4-2. Producto de sumas

La forma alternativa *producto de sumas* consiste en un producto de términos en el cual cada uno de ellos está constituido por una *suma* de todas o parte de las variables. Se puede llegar a ella de diversas maneras. Explicamos el método algebraico considerando (11.4-1). A fin de convertir los productos XY e YZ en sumas de variables individuales hacemos uso del teorema 3*b*. Esto da

$$L = (\bar{W} + XY)(X + YZ) = (\bar{W} + X)(\bar{W} + Y)(X + Y)(X + Z) \tag{11.4-10}$$

Cada factor del producto sólo contiene dos de las cuatro variables.

En la *forma de producto de sumas desarrollado* aparecen todas las variables en cada factor. Esta forma se puede obtener directamente de la tabla de verdad de manera análoga a la que se empleó para la forma de suma de productos. Si nos referimos a la tabla de verdad del Ejemplo 11.4-1, ahora consideramos las filas 1, 2 y 6 para las cuales $L = \mathbf{0}$. En cada una de estas filas se forma una suma de términos (si una variable tiene el valor **1**, estará complementada, mientras que si la variable tiene el valor **0**, se deja sin cambiar). Así, en la fila 1 tenemos la suma $X + Y + Z$, es decir, cuando $X = \mathbf{0}$, $Y = \mathbf{0}$ y $Z = \mathbf{0}$ simultáneamente, $L = \mathbf{0}$. Análogamente, en la fila 2, la suma es $X + Y + \bar{Z}$ y en la fila 6 es $\bar{X} + Y + \bar{Z}$. Cuando cualquiera de estas sumas es **0**, es decir, cada término de la suma es **0**, debemos tener $L = \mathbf{0}$. Por tanto, los tres términos deben ser relacionados entre sí por la función Y, lo que conduce a la ecuación lógica en forma de producto de sumas desarrollado.

$$L = (X + Y + Z)(X + Y + \bar{Z})(\bar{X} + Y + \bar{Z}) \tag{11.4-11}$$

Cada uno de los tres términos se denomina maxitérmino (*maxterm*). El lector comprobará que los valores de X, Y y Z de cada fila de la tabla de verdad conduce al valor correcto de L, ya sea **0** ó **1**.

Para resumir esta sección observemos que la forma canónica de suma de productos indica la combinación de los valores variables que conducen a $L = \mathbf{1}$, mientras la forma canónica de producto de sumas muestra las combinaciones que conducen a $L = \mathbf{0}$. La forma de la suma de productos se expresa en términos de *minitérminos* y sólo uno de ellos debe ser **1** para tener $L = \mathbf{1}$. La forma de producto de sumas se expresa como *maxitérminos* y sólo uno de ellos debe ser **0** para tener $L = \mathbf{0}$.

Las ecuaciones (11.4-8) y (11.4-11) son formas diferentes de la misma función lógica L que debe ser consistente. Esta consistencia se verifica fácilmente sustituyendo los valores de X, Y y Z de cada fila de la tabla de verdad de las dos formas. Obsérvese que tenemos tres variables, por lo que hay $2^3 = 8$ combinaciones posibles. Por la tabla de verdad vemos que cinco de ellas conducen a $L = \mathbf{1}$. Así tenemos cinco minitérminos en (11.4-8). Las otras tres combinaciones conducen a $L = \mathbf{0}$ y aparecen como los maxitérminos en (11.4-11).

11.4-3. Síntesis utilizando expresiones canónicas

Consideremos la expresión suma de productos

$$L = \bar{A}\bar{D} + \bar{B}\bar{D} + C\bar{D} \tag{11.4-5}$$

El circuito lógico que resulta está representado en la Figura 11.4-1. Vemos que se compone de un número de puertas Y igual al número de términos, seguidas por una sola puerta O. Este tipo de circuito se suele denominar circuito Y-O de dos niveles a causa de que las entradas pasan primero a través de las puertas Y (llamadas primer nivel) y luego a través de la puerta O en el segundo nivel. Evidentemente, todas las ecuaciones suma de productos conducen a estructuras análogas Y-O de dos niveles.

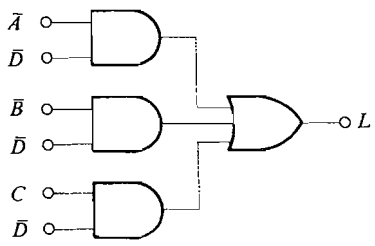


Figura 11.4-1. Circuito lógico para $L = \bar{A}\bar{D} + \bar{B}\bar{D} + C\bar{D}$.

Si comenzamos con una expresión producto de sumas, el circuito resultante será una estructura O-Y de dos niveles en que las puertas de primer nivel son puertas O y la puerta de segundo nivel es una puerta Y.

Las mencionadas puertas de dos niveles no siempre pueden permitir la realización más eficiente y económica de una expresión dada, pero se diseñan fácilmente y tienen menores tiempos de retardo de propagación que las estructuras de nivel más alto (la Sección 14.5 describe chips de conjuntos de puertas diseñados para obtener circuitos O-Y e Y-O eficientes).

11.4-4. Síntesis utilizando únicamente puertas NO-Y o NO-O[1,2]

En la Sección 11.3 hemos explicado un procedimiento para el diseño de circuitos lógicos utilizando únicamente puertas NO-Y o NO-O. En esta sección veremos que la conversión de los circuitos Y-O y O-Y de dos niveles en sólo NO-Y o sólo NO-O es un paso extremadamente sencillo. Consideremos, por ejemplo, la expresión suma de productos

$$L = \bar{X}Y + X\bar{Z} \tag{11.4-12}$$

Esta se sintetiza en la forma de dos niveles como muestra la Figura 11.4-2*a*. A continuación, aplicamos el teorema de De Morgan a (11.4-12) para obtener

$$\bar{L} = \overline{\bar{X}Y + X\bar{Z}} = (\overline{\bar{X}Y})(\overline{X\bar{Z}}) \tag{11.4-13a}$$

y por tanto

$$L = \bar{\bar{L}} = \overline{(\overline{\bar{X}Y})(\overline{X\bar{Z}})} \tag{11.4-13b}$$

La ecuación (11.4-13*b*) se sintetiza utilizando únicamente puertas NO-Y en la Figura 11.4-2*b*. El circuito solo NO-Y resultante es exactamente el mismo que el circuito Y-O excepto que cada puerta es una puerta NO-Y.

La expresión producto de sumas para (11.4-12) es

$$L = (X + Y)(\bar{X} + \bar{Z}) \tag{11.4-14}$$

Esto está sintetizado en la forma O-Y en la Figura 11.4-2*c*.

Utilizando el teorema de De Morgan podemos manipular esta expresión como sigue:

$$\bar{L} = \overline{(X + Y)(\bar{X} + \bar{Z})} = \overline{(X + Y)} + \overline{(\bar{X} + \bar{Z})} \tag{11.4-15a}$$

De donde

$$L = \bar{\bar{L}} = \overline{\overline{(X + Y)} + \overline{(\bar{X} + \bar{Z})}} \tag{11.4-15b}$$

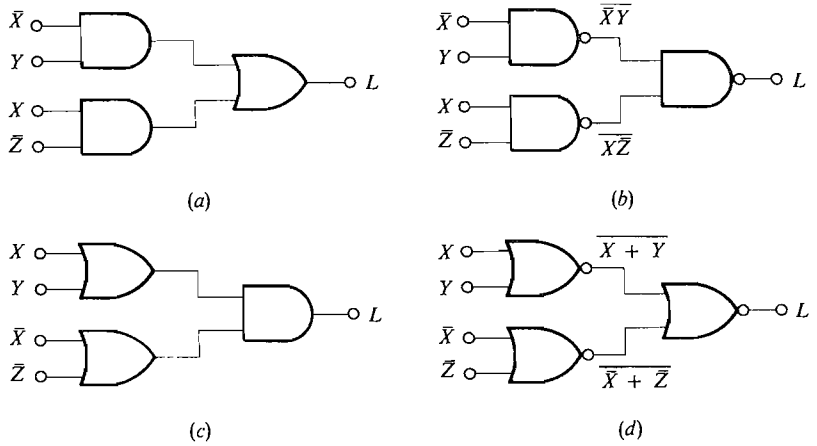


Figura 11.4-2. Estructuras sólo NO-Y o sólo NO-O: (*a*) circuito Y-O; (*b*) circuito correspondiente con sólo NO-Y; (*c*) circuito O-Y; (*d*) circuito correspondiente con sólo NO-O.

Esto está sintetizado en la Figura 11.4-2*d* utilizando puertas NO-O. El circuito NO-O resultante es exactamente el mismo que el circuito O-Y excepto en que todas las puertas son NO-O.

El procedimiento de diseño se puede enunciar ahora como sigue.

Para diseñar un circuito total o exclusivamente NO-Y se convierte la expresión lógica deseada a la forma suma de productos y luego se dibuja el correspondiente circuito Y-O de dos niveles y se cambian todas las puertas a NO-Y.

Para diseñar un circuito total o exclusivamente NO-O se convierte la expresión lógica deseada a la forma producto de sumas y luego se dibuja el correspondiente circuito O-Y de dos niveles y se cambian todas las puertas a NO-O.

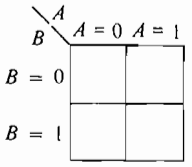
11.5. TABLAS DE KARNAUGH

Hemos visto en la última sección que las ecuaciones lógicas se presentan en todas las formas y tamaños, y que su simplificación algebraica no siempre es fácil. Para el proceso de simplificación es necesaria una considerable experiencia. Las tablas de Karnaugh son una técnica gráfica para reducir las ecuaciones lógicas a la forma mínima*. Pueden ser utilizadas para cualquier número de variables, pero aquí sólo trataremos el caso de cuatro variables.

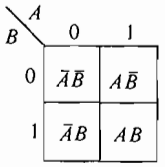
La tabla de Karnaugh consiste en un sistema de celdas o casillas que contienen toda la información presente en la tabla de verdad, dispuesta de manera que permite una rápida simplificación visual de la ecuación lógica de acuerdo con algunas reglas muy simples. La tabla más sencilla implica dos variables y está representada en la Figura 11.5-1*a*. La tabla contiene cuatro celdas, una para cada combinación posible de las variables y, por tanto, una por cada fila de la tabla de verdad. En la Figura 11.5-1*b* hemos representado las combinaciones de las variables en las celdas individuales de la tabla o mapa de Karnaugh y los términos de la ecuación lógica que resultarían de incluir un **1** en cada fila de la tabla de verdad. Se ve que cada fila de la tabla de verdad corresponde exactamente a una celda de la tabla de Karnaugh. Para aplicarla colocamos un **1** en cada celda de la tabla a la cual corresponde en la tabla de verdad una fila en que L es un **1** y un **0** en cada celda correspondiente a una fila de la tabla de verdad que da resultado **0**. Usualmente los ceros no se escriben explícitamente y una celda vacía se supone que contiene un **0**. Con estas definiciones puede ser leída una tabla de la misma manera que una tabla de verdad a fin de escribir la ecuación lógica, como se muestra en la Figura 11.5-1*c*. Si una celda contiene **1**, el término de la ecuación que corresponde a esta celda contendrá todas las variables afectadas de la notación Y; si la fila o la columna de la tabla en que aparece el **1** está encabezada por un **0** en la variable, aparece en el término el complemento de esa variable; de otra manera, la variable aparece no complementada, o sea, no negada. Por ejemplo, en la Figura 11.5-1*c*, aparece un **1** en la celda formada por la intersección de la columna $A = \mathbf{0}$ Y la fila $B = \mathbf{1}$. De aquí que la celda esté representada por el término $\bar{A} \cdot B$. Los términos individuales, uno por cada celda que contiene un **1**, están asociados mediante la notación O para la ecuación lógica final.

---

* No se usará negrita en los dígitos binarios en las tablas de verdad o mapas de Karnaugh (Sec. 11.5) ya que queda clara su naturaleza.



(*a*)



(*b*)

Tabla de verdad

A	*B*	Término en ecuación lógica igual a 1
0	0	$\bar{A}\bar{B}$
0	1	$\bar{A}B$
1	0	$A\bar{B}$
1	1	AB

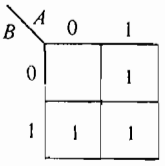


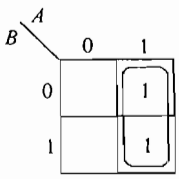
Tabla *K* para $L = \bar{A}B + A\bar{B} + AB$

(*c*)

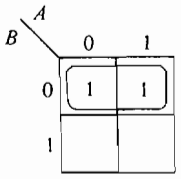
Tabla de verdad

A	*B*	*L*
0	0	0
0	1	1
1	0	1
1	1	1

Figura 11.5-1. Tablas de Karnaugh: (*a*) tabla de dos variables; (*b*) correspondencia con la tabla de verdad; (*c*) ejemplo.



(*a*)



(*b*)

Figura 11.5-2. Tablas de Karnaugh: (*a*) $L_1 = A$; (*b*) $L_2 = \bar{B}$.

La utilidad de la tabla o mapa de Karnaugh estriba en el hecho de que las celdas adyacentes se pueden agrupar visualmente para eliminar las variables redundantes. Por ejemplo, consideremos la tabla de la Figura 11.5-2*a*. La combinación de unos representada nos conducirá a escribir la ecuación lógica de L_1 en la forma

$$L_1 = A\bar{B} + AB \tag{11.5-1}$$

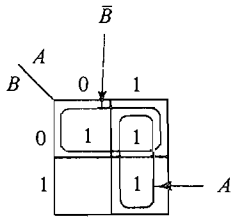


Figura 11.5-3. Tabla de Karnaugh para $L_3 = \bar{B} + BA$.

Esto se puede simplificar así

$$L_1 = A(\bar{B} + B) = A \tag{11.5-2}$$

Así pues, el *agrupamiento* de dos celdas, como se muestra en la Figura 11.5-2*a*, conduce inmediatamente a la expresión simplificada $L_1 = A$, que sólo contiene una variable.

En la tabla de la Figura 11.5-2*b* leemos inmediatamente $L_2 = \bar{B}$. Para probar que esta simple expresión es correcta procederemos como antes escribiendo la expresión completa

$$L_2 = \bar{A}\bar{B} + A\bar{B} = \bar{B}(\bar{A} + A) = \bar{B} \tag{11.5-3}$$

En un caso más interesante consideremos la ecuación lógica

$$L_3 = \bar{B} + BA \tag{11.5-4}$$

Veamos si se puede hacer uso de la tabla de Karnaugh para simplificar esta expresión. La tabla está en la Figura 11.5-3. Como se ve, son posibles ambos agrupamientos horizontal y vertical. El agrupamiento horizontal demuestra que $L_3 = \mathbf{1}$ cuando $B = \mathbf{0}$, es decir, cuando $\bar{B} = \mathbf{1}$, y el agrupamiento vertical indica que $L_3 = \mathbf{1}$ cuando $A = \mathbf{1}$; de aquí

$$L_3 = \bar{B} + A \tag{11.5-5}$$

Se comprueba fácilmente que es una consecuencia del teorema 9*a*.

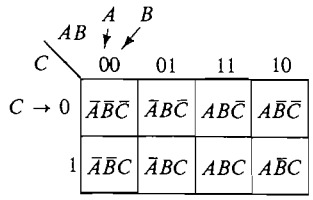
Ahora se puede enumerar un conjunto de reglas de simplificación utilizando una tabla de dos variables:

1. Un grupo de dos celdas adyacentes da lugar a una sola variable.
2. Una sola celda que no puede ser combinada representa un término de dos variables.

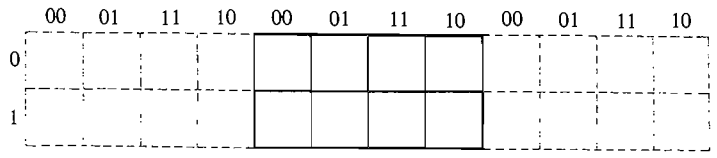
Es permisible superponer o solapar grupos a causa de que en el álgebra booleana $A + A = A$.

11.5-1. Tablas de tres variables

Cuando la tabla comprende tres variables, cada celda representa el producto lógico de las tres, como muestra la Figura 11.5-4*a*. Es necesario el ordenamiento no binario del eje AB por lo que cada vez sólo cambia una variable entre celdas adyacentes, condición que hace posible la simplificación visual mediante la agrupación de celdas individuales. Es importante observar que la tabla es continua en el sentido representado en la Figura 11.5-4*b*, donde hemos flanqueado la tabla primaria con dos tablas auxiliares cada una de las cuales contiene el mismo sistema de unos y ceros que la tabla primaria. En la práctica, rara vez es necesario confeccionar las tablas auxiliares, pero siempre debemos recordar que están presentes.



(*a*)



(*b*)

Figura 11.5-4. Tablas de Karnaugh de tres variables: (*a*) tabla primaria; (*b*) tabla primaria (líneas llenas) con tablas auxiliares (líneas de trazos).

Las reglas para simplificar la tabla de tres variables son las siguientes:

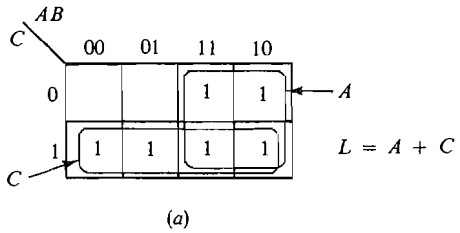
1. Se combina un grupo de cuatro celdas adyacentes (en línea o cuadrado) para producir una sola variable.
2. Se combina un grupo de dos celdas adyacentes para producir un término de dos variables.
3. Una sola celda que no puede ser combinada representa un término de tres variables.

El uso de estas reglas se muestra en los mapas de la Figura 11.5-5. Las Figuras 11.5-5*a* y *b* ilustran el uso de la primera regla: en la Figura 11.5-5*a* se observan dos grupos de cuatro unos que producen $L = A + C$. En la Figura 11.5-5*b* vemos la naturaleza continua del mapa. Observamos que $B = \mathbf{0}$ únicamente en las cuatro celdas que contienen un **1**. Nótese también que en estas cuatro celdas A y C toman los valores **0** y **1**; por lo tanto $L = \mathbf{1}$ cuando $B = \mathbf{0}$, es decir, $L = \bar{B}$. Las reglas 2 y 3 se muestran en la Figura 11.5-5*c*, donde se ven tres términos; los dos bloques AC y $\bar{B}C$, y el único término aislado $\bar{A}B\bar{C}$. El resultado es $L = \bar{A}B\bar{C} + AC + \bar{B}C$.

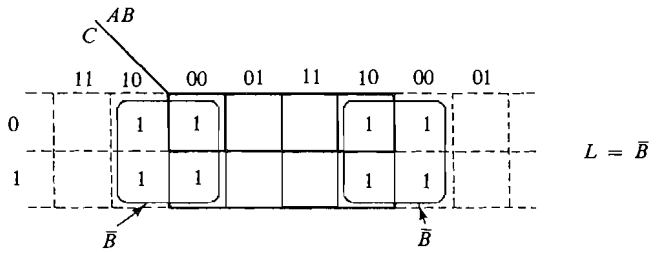
11.5-2. Tabla de cuatro variables

Una tabla de cuatro variables tiene 16 celdas, como muestra la Figura 11.5-6*a*. Las reglas de agrupamiento son las siguientes:

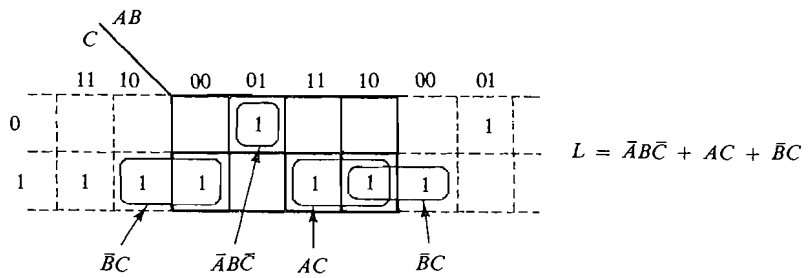
1. Ocho celdas adyacentes producen una sola variable.
2. Cuatro celdas adyacentes producen un término de dos variables.
3. Dos celdas adyacentes producen un término de tres variables.
4. Las celdas individuales representan términos de cuatro variables.



(a)



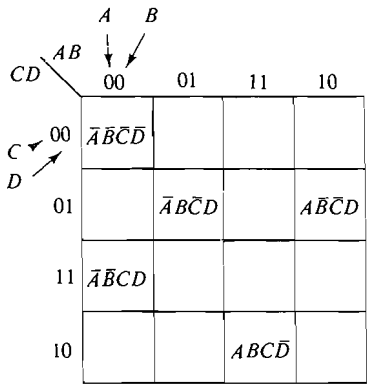
(b)



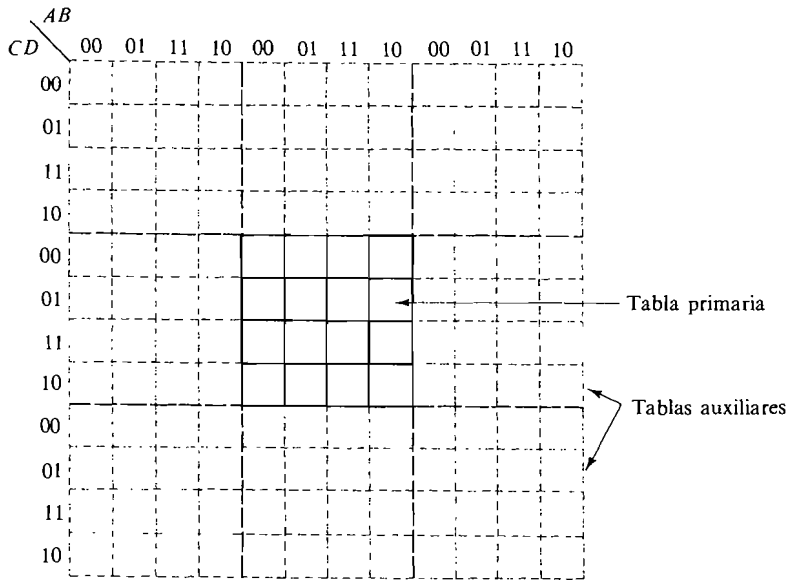
(c)

Figura 11.5-5. Tablas de tres variables: (*a*) agrupamiento de cuatro celdas; (*b*) continuidad de la tabla; (*c*) agrupamientos de dos celdas y una sola celda.

La tabla de cuatro variables es continua de izquierda a derecha, lo mismo que la tabla de tres variables, y también es continua de arriba abajo, como ilustra la Figura 11.5-6*b*. El uso de la tabla de cuatro variables está explicado en los siguientes ejemplos.



(*a*)



(*b*)

Figura 11.5-6. Tablas de cuatro variables: (*a*) tabla primaria; (*b*) continuidad en tablas auxiliares.

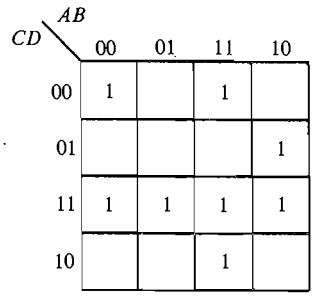
EJEMPLO 11.5-1

Escribir la ecuación lógica correspondiente a la tabla de Karnaugh de la Figura 11.5-7*a*.

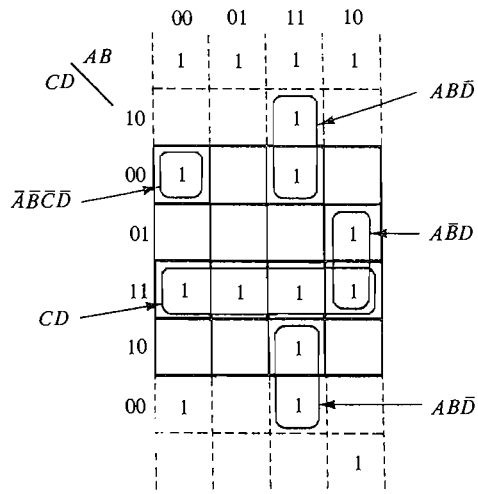
Solución

El agrupamiento que da por resultado el mínimo número de términos está en la Figura 11.5-7*b*. La expresión lógica resultante es

$$L = \bar{A}\bar{B}\bar{C}\bar{D} + A\bar{B}D + AB\bar{D} + CD$$



(*a*)



(*b*)

Figura 11.5-7. Tabla de Karnaugh para el Ejemplo 11.5-1: (*a*) tabla; (*b*) agrupamientos.

EJEMPLO 11.5-2

Utilizar la tabla de Karnaugh para simplificar la expresión

$$L = \bar{A}\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}\bar{D} + \bar{A}BC + \bar{A}C\bar{D} + \bar{A}\bar{C}\bar{D}$$

Solución

La tabla está en la Figura 11.5-8 y el agrupamiento indicado conduce a la expresión simplificada

$$L = \bar{A}\bar{D} + \bar{A}BC + \bar{B}\bar{C}\bar{D}$$

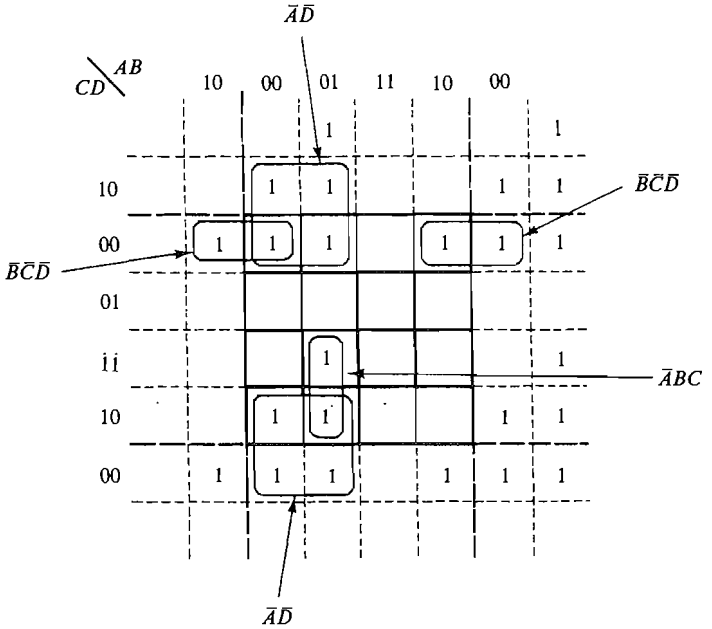


Figura 11.5-8. Tabla de Karnaugh para el Ejemplo 11.5-2.

A menudo, una tabla conducirá a varios agrupamientos mínimos posibles, todos los cuales conducen a expresiones que aparentemente son casi las mismas. Cuando esto ocurra, habrá que basar la elección en algunos otros criterios y suele haber varias funciones «óptimas».

11.6. EJEMPLO DE DISEÑO: UNA MAQUINA DE ESCRUTINIO

Las especificaciones de los circuitos lógicos, es decir, el enunciado del problema se suele expresar con palabras. Estas expresiones deben ser traducidas a una tabla de verdad o a una ecuación lógica mediante la cual se puede diseñar el circuito deseado utilizando los principios establecidos en las secciones anteriores. Como ejemplo de este proceso consideremos el problema siguiente.

En una cierta corporación los miembros directivos poseen todas las acciones, que se distribuyen como siguen:

A posee el 45 por 100
B posee el 30 por 100
C posee el 15 por 100
D posee el 10 por 100

Cada miembro tiene un porcentaje de voto igual al número de acciones que posee y para aprobar una moción se requiere que la suma de votos afirmativos sea mayor del 50 por 100.

Se nos ha pedido diseñar un sistema electrónico de votación para la corporación. En la sala de juntas cada miembro debe tener un conmutador con el cual pueda indicar si su voto es SI o NO. Si la suma de votos afirmativos emitidos es más del 50 por 100 se enciende una lámpara que indica que la proposición que se vota es aceptada.

Para diseñar tal sistema de votación procedemos como sigue:

1. Escribir la tabla de verdad.
2. Convertir la tabla de verdad en una tabla de Karnaugh.
3. Dibujar el circuito lógico utilizando (1) únicamente puertas NO-Y y (2) puertas NO-O únicamente.

Tabla de verdad. Un voto NO está representado por un **0** (interruptor abierto) y un voto SI por un **1** (interruptor cerrado). Tenemos cuatro entradas, *A*, *B*, *C*, *D*, y una salida *L* que es **1** (encendido) cuando el voto supera el 50 por 100. La tabla de verdad es la 11.6-1 y el porcentaje de votos SI para cada fila está incluido al mismo tiempo que el porcentaje de cada miembro.

Tabla 11.6-1. Tabla de verdad que indica cuando superan el 50 por 100 los votos afirmativos emitidos

Fila	45% *A*	30% *B*	15% *C*	10% *D*	*L*	%
0	0	0	0	0	0	0
1	0	0	0	1	0	10
2	0	0	1	0	0	15
3	0	0	1	1	0	25
4	0	1	0	0	0	30
5	0	1	0	1	0	40
6	0	1	1	0	0	45
7	0	1	1	1	1	55
8	1	0	0	0	0	45
9	1	0	0	1	1	55
10	1	0	1	0	1	60
11	1	0	1	1	1	70
12	1	1	0	0	1	75
13	1	1	0	1	1	85
14	1	1	1	0	1	90
15	1	1	1	1	1	100

Las combinaciones que conducen a una votación mayor que el 50 por 100 se pueden establecer simplemente por sentido común, pero la tabla de verdad proporciona un procedimiento sistemático para este proceso y nos da medios para resolver problemas que son demasiado complejos para ser resueltos por simple inspección. Por la tabla de verdad vemos que hay ocho combinaciones de las cuatro variables de entrada que conducen a $L = 1$ (moción aprobada). Cualquiera de estas combinaciones es suficiente para aprobar una moción. Así pues, si se realizan la primera de estas combinaciones, O la segunda, O la tercera, etc., la lámpara se encenderá. Nuestra ecuación lógica para L será, pues, una suma de productos que contiene ocho términos, correspondientes cada uno de ellos a una de las líneas de la tabla de verdad para la cual $L = 1$.

A continuación consideramos la fila 7, que es la primera combinación que conduce a $L = 1$, es decir, $A = 0$ Y $B = 1$ Y $C = 1$ Y $D = 1$. Esta combinación produce un valor lógico 1 cuando se escribe como $\bar{A}BCD$. La segunda combinación es $A = 1$ Y $B = 0$ Y $C = 0$ Y $D = 1$, que se escribe $A\bar{B}\bar{C}D$, y así sucesivamente para las ocho combinaciones. La ecuación completa es

$$L = \bar{A}BCD + A\bar{B}\bar{C}D + A\bar{B}C\bar{D} + A\bar{B}CD + AB\bar{C}\bar{D} + AB\bar{C}D + ABC\bar{D} + ABCD \qquad (11.6\text{-}1)$$

Tabla de Karnaugh. En lugar de tratar de simplificar esta expresión algebraicamente, transferimos la información de la tabla de verdad a la tabla de Karnaugh de la Figura 11.6-1. Así, ponemos un 1 en las casillas 7, 9, 10, 11, 12, 13, 14 y 15 del mapa de Karnaugh.

Ecuación simplificada. La expresión lógica que se deduce de la tabla es

$$L = BCD + AB + AC + AD = BCD + A(B + C + D) \qquad (11.6\text{-}2)$$

Esto concuerda con la conclusión a que se llega razonando por sentido común. Todos los miembros B, C y D votan SI, O A y cualquiera de los otros vota SI para que sea aprobada una moción.

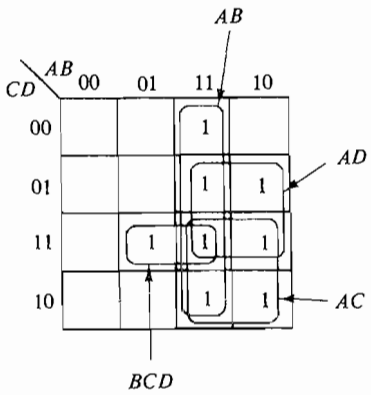


Figura 11.6-1. Tabla de Karnaugh para el ejemplo de la máquina de escrutinio.

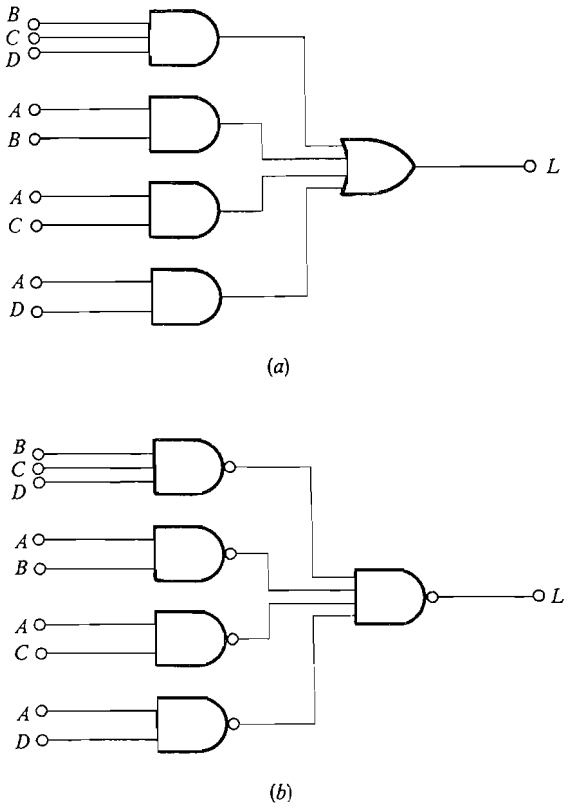


Figura 11.6-2. Circuito de la máquina de escrutinio: (*a*) Y-O; (*b*) sólo NO-Y.

Circuito lógico. El circuito lógico se dibuja utilizando la lógica Y-O de dos niveles de la Figura 11.6-2*a* y también puertas NO-Y de la Figura 11.6-2*b*. A fin de obtener el circuito lógico utilizando puertas únicamente NO-O volvemos a la tabla de Karnaugh de la Figura 11.6-1, que está reproducida en la Figura 11.6-3 para mostrar las celdas en que $L = \mathbf{0}$. Para facilitar la combinación de las celdas se confeccionan dos tablas auxiliares. Esto da como resultado cuatro términos para los cuales $L = \mathbf{0}$: $B = \mathbf{0}$ y $C = \mathbf{0}$ y $D = \mathbf{0}$; $A = \mathbf{0}$ y $C = \mathbf{0}$; $A = \mathbf{0}$ y $B = \mathbf{0}$; y $A = \mathbf{0}$ y $D = \mathbf{0}$. Así, expresando L como producto de sumas, se obtiene

$$L = (B + C + D)(A + C)(A + B)(A + D) \tag{11.6-3}$$

La descripción del circuito (11.6-3) está en la Figura 11.6-4*a* utilizando la configuración O-Y de dos niveles y en la Figura 11.6-4*a* utilizando solamente puertas NO-O.

11.7. EL SISTEMA DE NUMEROS BINARIOS

En el sistema de números binarios solamente se utilizan dos dígitos **0** y **1**. En virtud de que estos dos dígitos pueden ser identificados directamente por los estados de conducción (ON) y

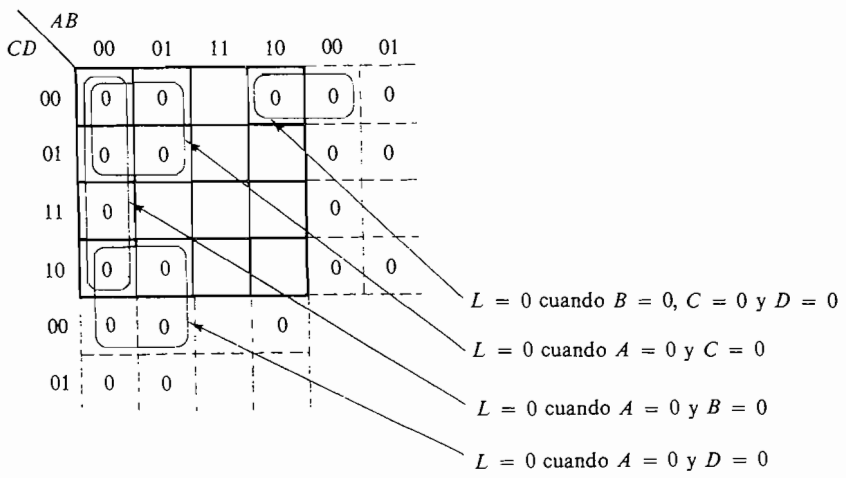


Figura 11.6-3. Tabla de Karnaugh de la que se obtiene la expresión producto de sumas.

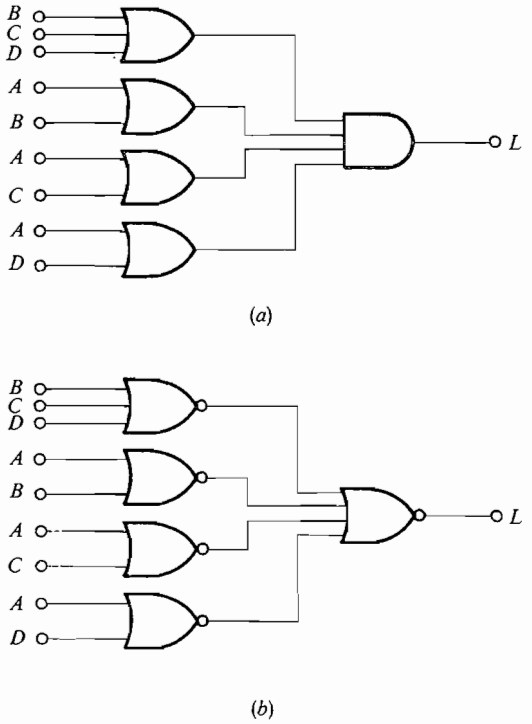


Figura 11.6-4. Circuito de la máquina de escrutinio: (*a*) O-Y; (*b*) sólo NO-O.

de corte (OFF) de las variables lógicas ya explicadas en este capítulo, el sistema binario ha llegado a ser el sistema básico de números del computador digital.

Una manera de introducir el concepto de sistema de números es explicar los principios fundamentales en términos del sistema decimal, con el que todos estamos familiarizados. Si tomamos el número decimal 634,72 y lo separamos en sus componentes fundamentales, tenemos

$$N = 634{,}72 = (6 \times 10^2) + (3 \times 10^1) + (4 \times 10^0) + (7 \times 10^{-1}) + (2 \times 10^{-2}) \quad (11.7\text{-}1)$$

Cuando el número está escrito de esta manera, vemos el significado de la posición ocupada por cada dígito. También vemos que el número que especifica esta posición relativa de la coma decimal es una potencia de 10. Así pues, 10 es la unidad fundamental del sistema decimal, llamada *base*. El sistema requiere 10 símbolos, que son los dígitos o cifras 0, 1, 2, ..., 8, 9.

En el sistema binario la base es 2 y los símbolos son **0** y **1**. Estos dígitos son, pues, los coeficientes de las potencias de 2. Por ejemplo, consideremos el número binario **1011,01**, que puede desarrollarse así

$$\begin{aligned} \mathbf{1011{,}01} &= (1 \times 2^3) + (0 \times 2^2) + (1 \times 2^1) + (1 \times 2^0) + (0 \times 2^{-1}) + (1 \times 2^{-2}) \\ &= 8 + 0 + 2 + 1 + 0 + \tfrac{1}{4} \\ &= 11{,}25 \text{ (decimal)} \end{aligned} \quad (11.7\text{-}2)$$

En el sistema binario la separación entre los exponentes positivos y negativos es la coma o *punto binario*. Si es necesario indicar explícitamente la base de un número utilizamos un subíndice. Por ejemplo, de (11.7-2) tenemos $\mathbf{1011{,}01}_2 = 11{,}25_{10}$.

Para la conversión de decimal a binario y viceversa existen varios métodos que expondremos en los problemas. La Tabla 11.7-1 da los números decimales y binarios equivalentes correspondientes a los números que contienen cinco dígitos binarios (bits). Estos números abarcan desde **00000** = 0 a **11111** = 31. En general, el mayor número decimal N que puede ser representado por un número binario que contiene B bits es

$$N = 2^B - 1 \quad (11.7\text{-}3)$$

Así, en el ejemplo anterior donde $B = 5$, $N = 2^5 - 1 = 31$.

Tabla 11.7-1. Tabla de conversión decimal a binario

Decimal	Binario	Decimal	Binario	Decimal	Binario	Decimal	Binario
0	00000	8	01000	16	10000	24	11000
1	00001	9	01001	17	10001	25	11001
2	00010	10	01010	18	10010	26	11010
3	00011	11	01011	19	10011	27	11011
4	00100	12	01100	20	10100	28	11100
5	00101	13	01101	21	10101	29	11101
6	00110	14	01110	22	10110	30	11110
7	00111	15	01111	23	10111	31	11111

11.7.1. Números de los sistemas octal y hexadecimal

Los sistemas con base 8 (octal) y base 16 (hexadecimal) se utilizan en muchos computadores digitales a causa de que se les relaciona fácilmente con el sistema binario. En el octal, los ocho dígitos necesarios son 0 a 7 y un número típico es

$$241_8 = 2 \times 8^2 + 4 \times 8^1 + 1 \times 8^0 = 128 + 32 + 1 = 161_{10}$$

En el hexadecimal se requieren 16 símbolos 0, 1, 2, ..., 7, 8, 9, *A*, *B*, *C*, *D*, *E*, *F*. Por ejemplo,

$$\begin{aligned} \text{CIA.F}_{16} &= 12 \times 16^2 + 1 \times 16^1 + 10 \times 16^0 + 15 \times 16^{-1} \\ &= 3072 + 16 + 10 + 0{,}9375 = 3098{,}9375_{10} \end{aligned}$$

Las conversiones entre estos sistemas y el sistema binario son muy simples. Por ejemplo, para la conversión de binario a octal separamos el número binario en grupos de 3 bits que son convertidos directamente a octal:

	011	**101**	**110**	. **001**	←	número binario original
=	3	5	6	. 1	←	equivalente octal

Para el procedimiento inverso simplemente escribimos un número binario de tres posiciones o lugares por cada dígito octal:

	6	7	1	.	3
=	**110**	**111**	**001**	.	**011**

Tabla 11.7-2. Equivalencia binario-octal-hexadecimal

Hexadecimal	Octal	Binario	Hexadecimal	Octal	Binario
0	0	0	10	20	10000
1	1	1	11	21	10001
2	2	10	12	22	10010
3	3	11	13	23	10011
4	4	100	14	24	10100
5	5	101	15	25	10101
6	6	110	16	26	10110
7	7	111	17	27	10111
8	10	1000	18	30	11000
9	11	1001	19	31	11001
A	12	1010	1A	32	11010
B	13	1011	1B	33	11011
C	14	1100	1C	34	11100
D	15	1101	1D	35	11101
E	16	1110	1E	36	11110
F	17	1111	1F	37	11111

Para la conversión de hexadecimal a binario y viceversa se usa el mismo procedimiento excepto en que cada uno de los grupos binarios contiene cuatro bits. Son ejemplos

$$\mathbf{0110\ 1111\ 0101}_2 = 6F5_{16}$$

$$A2C_{16} = \mathbf{1010\ 0010\ 1100}_2$$

La Tabla 11.7-2 muestra algunos números binarios-octales-hexadecimales equivalentes.

REFERENCIAS

1. T. C. Bartee, «Digital Computer Fundamentals», sexta edición, McGraw-Hill, Nueva York, 1985.
2. M. M. Mano, «Digital Logic and Computer Design», Prentice-Hall, Englewood Cliffs, N.J., 1979.
3. H. Taub and D. L. Schilling, «Digital Integrated Electronics», sec. 3.25, McGraw-Hill, Nueva York, 1977.

PROBLEMAS

11.1-1*. Juan ha decidido ir al cine si Alicia va con él y si puede utilizar el coche familiar. Sin embargo, Alicia ha decidido ir a la playa si no está lloviendo y si la temperatura es superior a 26 °C. El padre de Juan ha hecho planes para utilizar el coche con el fin de visitar a sus amigos si llueve o si la temperatura es superior a 26 °C. ¿En que condiciones irá Juan al cine? Construir un ordenador especial utilizando puertas NO, Y y O, interruptores, una batería y una lámpara para ayudar a resolver el problema. La lámpara se debe iluminar si Juan va al cine.

11.1-2*. Los autobuses salen de la estación terminal cada hora salvo cuando hay menos de 10 pasajeros o si el conductor se retrasa. Si hay menos de 10 pasajeros, el autobús esperará 10 minutos o hasta que el número de pasajeros aumente hasta 10. Si el autobús sale a su tiempo, puede hacer el recorrido a una velocidad de 60 millas/hora. Si el autobús sale tarde, o si llueve, sólo puede desplazarse a 30 millas/hora. ¿En qué condiciones se desplazará el autobús a 60 millas/hora?

11.1-3.** Siete interruptores controlan una lámpara de la manera siguiente. Si los interruptores 1, 3, 5 y 7 están cerrados y el interruptor 2 está abierto, o si los interruptores 2, 4 y 6 están cerrados y el 3 está abierto, o si los siete interruptores están cerrados, la lámpara se encenderá. Demostrar, utilizando puertas NO, Y y O cómo se deben conectar los interruptores.

11.1-4. La Figura P11.1-4 muestra la forma de onda en los terminales de entrada de una puerta Y de dos entradas. Dibujar la forma de onda de salida.

---

* Adaptado de C. Belove, H. Schachter y D. L. Schilling, «Digital and Analog Systems Circuits and Devices», pág. 58, Copyright 1973 por McGraw-Hill, Inc. Reproducido con permiso de McGraw-Hill Book Company.

** Adaptado de H. Taub y D. Schilling, «Digital Integrated Electronics» pág. 585, Copyright 1977 por McGraw-Hill, Inc. Reproducido con permiso de McGraw-Hill Book Company.

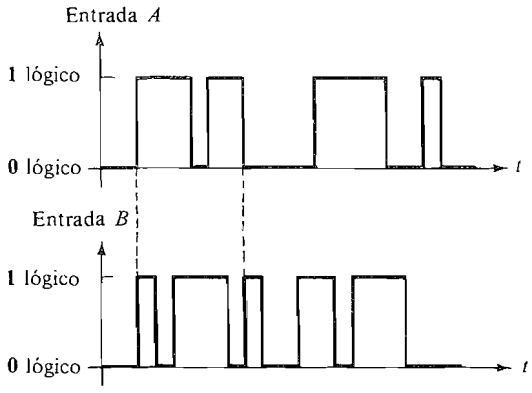


Figura P11.1-4.

11.1-5. Repetir el Problema 11.1-4 si la puerta es O.

11.2-1. Demostrar el teorema 3*b* utilizando una tabla de verdad.

11.2-2. Demostrar el teorema 6*a* utilizando (*a*) manipulación algebraica y (*b*) una tabla de verdad.

11.2-3. Demostrar el teorema 9*b* utilizando (*a*) manipulación algebraica y (*b*) una tabla de verdad.

11.2-4. Simplificar las siguientes expresiones todo lo posible:
(*a*) $\bar{X}YZ + \bar{X}\bar{Y}$
(*b*) $\bar{X}\bar{Z} + \bar{Y}\bar{Z}$
(*c*) $(A + \bar{B})(\bar{A}\bar{B}\bar{C})$
(*d*) $X(\bar{Y} + \bar{Z}) + XY$
(*e*) $XY + XYZ + XY\bar{Z} + \bar{X}YZ$

11.2-5. Complementar y simplificar las siguientes expresiones (véase Ejemplo 11.2-3):
(*a*) $\bar{X}Y$
(*b*) $(\bar{X} + Y)(\bar{S}\bar{T})$
(*c*) $(X + XY)(U + \bar{V})$
(*d*) $XYZ + \bar{X}\bar{Y}$
(*e*) $\bar{A}\bar{B} + AB$

11.2-6. Evaluar las siguientes expresiones para $A = 1$, $B = 0$, $C = 0$, $D = 1$, $E = 1$:
(*a*) $(\bar{A}\bar{B} + AB) + (\bar{B} + C) + D\bar{E}$
(*b*) $A\bar{B} + \bar{A}B$
(*c*) $A\bar{B}\bar{C}DE + \bar{A}(D + E)$

11.2.7. Preparar una tabla de verdad para cada una de las siguientes expresiones:
(*a*) $X\bar{Y} + XY$
(*b*) $\bar{X}YZ + \bar{X}\bar{Y}$
(*c*) $AB(\bar{A}\bar{B}\bar{C} + \bar{B}C)$
(*d*) $\bar{A}\bar{B}C + AB\bar{C} + \bar{A}BC$

11.3-1. Demostrar que la operación NO-Y no es asociativa, es decir, que

$$\overline{\overline{(A\bar{B})}C} \neq \overline{A\overline{(B\bar{C})}}$$

11.3-2. Demostrar que la operación NO-O no es asociativa, es decir, que

$$\overline{\overline{A + B} + C} \neq \overline{A + \overline{B + C}}$$

11.3-3. Demostrar cómo se pueden utilizar puertas NO-O para obtener las funciones Y y O.

11.3-4. Convertir la función O-exclusiva $L = \bar{X}Y + X\bar{Y}$ en forma toda NO-Y y representar el circuito correspondiente.

11.3-5. Repetir el Problema 11.3-4 para la forma toda NO-O.

11.3-6. Manipular las expresiones siguientes en la forma toda NO-Y.
(*a*) $AB + \bar{A}C + A\bar{C}$
(*b*) $(AC + \bar{B})(\bar{B} + C)$

11.3-7. Repetir el Problema 11.3-6 para la forma toda NO-O.

11.4-1. Convertir las siguientes expresiones a la forma suma de productos:
(*a*) $(A + B)(\bar{B} + C)(\bar{A} + C)$
(*b*) $(X + Y\bar{Z})(\bar{X}\bar{Y} + \bar{X}Y)$
(*c*) $(\bar{X} + Z)(XY + \bar{X}Z)$
(*d*) $(\overline{XY} + A)(\overline{XZ} + Y)$

11.4-2. Convertir las expresiones del Problema 11.4-1 en la forma producto de sumas.

11.4-3. Demostrar que la Ecuación (11.4-8) se reduce a la Ecuación (11.4-9).

11.4-4. En la tabla de verdad siguiente hallar las ecuaciones lógicas correspondientes a L_1 y L_2, en forma de suma de productos desarrollado.

Entradas			Salidas		Entradas			Salidas	
A	*B*	*C*	L_1	L_2	*A*	*B*	*C*	L_1	L_2
0	0	0	1	1	1	0	0	1	1
0	0	1	1	0	1	0	1	0	0
0	1	0	0	1	1	1	0	0	1
0	1	1	1	0	1	1	1	1	0

11.4-5. Simplificar todo lo posible L_1 y L_2 en el Problema 11.4-4 por manipulación algebraica.

11.4-6. En la tabla de verdad del Problema 11.4-4 hallar L_1 y L_2 en forma de producto de sumas desarrollada.

11.4-7. Simplificar todo lo posible L_1 y L_2 en el Problema 11.4-6 por manipulación algebraica.

11.4-8. Sintetizar los circuitos Y-O de dos niveles para L_1 y L_2 del Problema 11.4-4.

11.4-9. Convertir el circuito del Problema 11.4-8 en la forma toda NO-Y. Demostrar la equivalencia de los dos circuitos por manipulación algebraica.

11.4-10. Sintetizar los circuitos O-Y de dos niveles para L_1 y L_2 del Problema 11.4-6.

11.4-11. Convertir los circuitos del Problema 11.4-10 a la forma toda NO-O. Demostrar la equivalencia de los dos circuitos por manipulación algebraica.

11.4-12. Para el circuito lógico de la Figura P11.4-12:
(*a*) Deducir una expresión para la salida.
(*b*) Convertir la expresión hallada en la parte (*a*) a la forma producto de sumas.

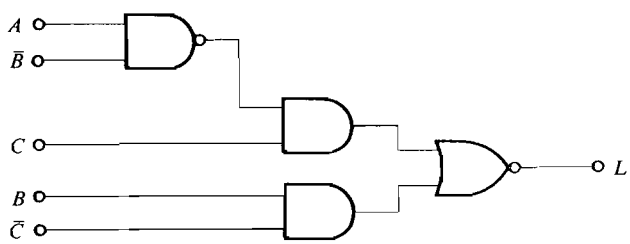


Figura P11.4-12.

11.4-13. En el circuito de la Figura P11.4-13 están representadas las formas de onda de entrada. Dibujar las formas de onda en los puntos 1 a 5.

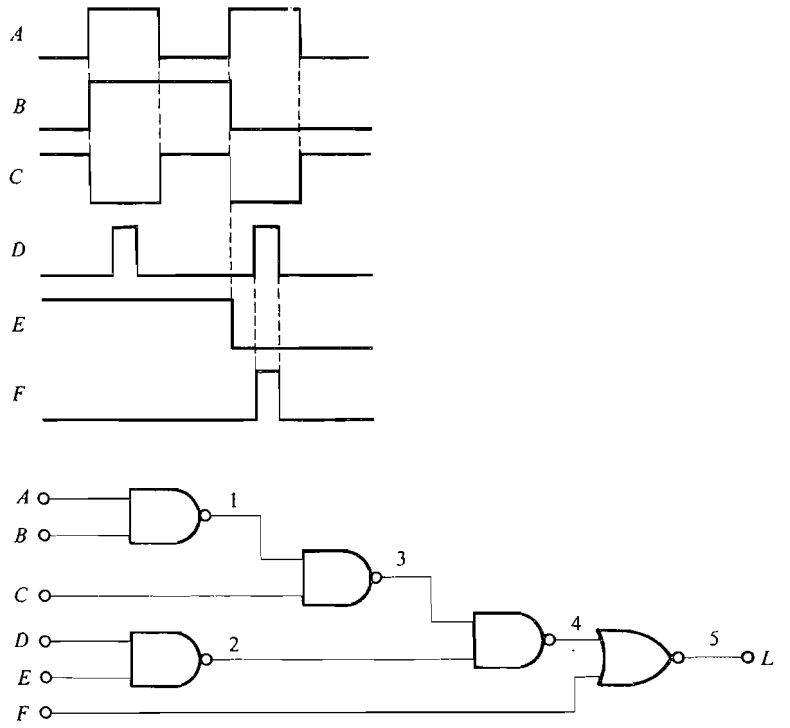


Figura P11.4-13.

11.5-1. Hallar la expresión más simple de L en las siguientes tablas de Karnaugh:

(*a*)

C \ AB	00	01	11	10
0	1	1		1
1		1	1	

(*b*)

Z \ XY	00	01	11	10
0	1	1		
1	1	1	1	1

11.5-2. Reptir el Problema 11.5-1 para las tablas siguientes:

(*a*)

CD \ *AB*	00	01	11	10
00				
01	1	1	1	1
11	1	1		
10	1	1		

(*b*)

CD \ *AB*	00	01	11	10
00	1	1		
01		1	1	
11			1	
10	1	1		

11.5-3. En la tabla de Karnaugh de abajo, *d* significa indistintamente; es decir, podemos asignar ya sea un **0** o un **1** a la casilla que contiene una *d*. Utilizando este término indistintamente, hallar la expresión más sencilla de *L*.

CD \ *AB*	00	01	11	10
00			*d*	1
01		1	*d*	1
11		1	*d*	*d*
10		1	*d*	*d*

11.5-4. Representar las siguientes expresiones en una tabla de Karnaugh. Obtener una expresión más sencilla si es posible.

(*a*) $XYZ + X\bar{Y}Z + \bar{X}YZ + \bar{X}\bar{Y}Z$

(*b*) $AB\bar{C} + A\bar{B}C + A\bar{B}\bar{C} + ABC$

(*c*) $\bar{A}\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + \bar{A}\bar{B}CD + ABC\bar{D} + A\bar{B}C\bar{D} + \bar{A}\bar{B}\bar{C}D$

11.5-5. Dado $L = Z + \bar{X}\bar{Y}$, representar $\bar{L}$ en una tabla de Karnaugh. Demostrar por la tabla que $\bar{L} = Y\bar{Z} + X\bar{Z}$.

11.5-6. Utilizando tablas de Karnaugh simplificar las siguientes expresiones:

(*a*) $\bar{A}\bar{B}C + A\bar{B}\bar{C} + \underbrace{ABC + \bar{A}B\bar{C} + \bar{A}\bar{B}\bar{C}}_{\text{términos indiferentes}}$

(*b*) $ABCD + \bar{A}\bar{B}\bar{C}D + \bar{A}BCD + \underbrace{A\bar{B}CD + \bar{A}\bar{B}CD + AB\bar{C}\bar{D}}_{\text{términos indiferentes}}$

11.6-1. Un inversor propuso la técnica siguiente para ganar dinero en el mercado de valores:

1. Si los dividendos pagados por una acción exceden de los intereses pagados por una obligación, comprar la acción.
2. Si los intereses pagados por una obligación exceden de los dividendos pagados por una acción, comprar la obligación a no ser que el incremento de valor de la acción sea por lo menos del 25 por 100 por año durante los cinco años últimos, caso en el cual debe ser comprada la acción.

El inversor necesitó un computador especial que le dijese lo que debía comprar. El ordenador requiere tres interruptores; uno para el más alto dividendo de la acción, uno para el más alto interés de la obligación y uno para el 25 por 100 de incremento de valor de la acción; además necesita dos lámparas, una para encenderse si se selecciona la acción y otra que se enciende si se selecciona la obligación. Diseñar el ordenador utilizando sólo NO-Y.

11.6-2. Diseñar un circuito lógico que active a un relé siempre que se cierre uno cualquiera de los tres interruptores.

11.6-3. Diseñar un circuito lógico que tenga cuatro entradas y dé salida **1** siempre que las cuatro entradas no sean iguales.

11.6-4. Debe controlarse una lámpara independientemente por interruptores en dos posiciones diferentes. Diseñar el circuito lógico adecuado.

11.6-5. Diseñar un circuito lógico que dé una salida **1 cuando** *dos cualquiera* de las 3 entradas, A, B y C sean **1**.

11.7-1. Para la conversión de decimal a binario se puede utilizar el proceso de *sucesivas divisiones por dos*, en el cual el número decimal se divide por 2, y luego cada cociente es dividido por 2 hasta que resulta un 0. El resto generado por cada divisor forma un número binario, y el primer resto es el bit menos significativo del número binario. El proceso se puede organizar de la siguiente forma:

← Operar de esta manera

0	1	2	4	9	19	÷2
	1	**0**	**0**	**1**	**1**	Resto

Leer la respuesta de esta manera →

Utilizando este método, convertir a binarios los números decimales siguientes (*a*) 67, (*b*) 942, (*c*) 631.

11.7-2. Convertir a decimales los números binarios siguientes: (*a*) **11.0011,** (*b*) **1100101.1,** (*c*) **11110.001.**

11.7-3. Convertir a octales los números binarios siguientes: (*a*) **111001010,101,** (*b*) **11000100101,10001,** (*c*) **00111,1111.**

11.7-4. Convertir a hexadecimales los números binarios del Problema 11.7-3.

11.7-5. Se puede utilizar el esquema dado en el Problema 11.7-1 para la conversión de decimal a cualquier base cambiando simplemente el divisor a la nueva base. Utilizar este método para convertir los siguientes números de base 8 (octal): (*a*) 37, (*b*) 694, (*c*) 3642.

11.7-6. Convertir los números decimales del Problema 11.7-5 a la base 16 (hexadecimal).

CAPITULO

12

Puertas lógicas

INTRODUCCION

En el capítulo precedente hemos considerado el aspecto lógico de los sistemas digitales. En un diseño real del sistema, el primer paso consiste en deducir las ecuaciones lógicas que debe resolver y mediante éstas diseñar un sistema haciendo uso de bloques lógicos. La parte siguiente implica pasar de la formulación de bloques lógicos a la realización de un circuito real que ejecute las funciones deseadas. El bloque básico de construcción del sistema digital es la puerta lógica, que estudiaremos en este capítulo. Los circuitos lógicos han evolucionado en *familias*, cada una de las cuales tiene sus propias ventajas e inconvenientes. Un sistema suele estar construido con circuitos de una sola familia lógica y las puertas lógicas de esa familia se utilizarán para realizar todas las operaciones lógicas necesarias. Algunas veces se empleará más de una familia en un sistema y entonces se ha de tener en cuenta el hecho de que la salida de una familia puede no ser compatible con la entrada de otra, por lo que pueden ser necesarios circuitos de acoplamiento o *interface*.

La elección de la familia que se debe utilizar en una aplicación particular depende de factores tales como velocidad, coste, inmunidad al ruido, disipación de potencia, disponibilidad de funciones lógicas diferentes, etc. Ejemplos de sistemas en los que es una necesidad el bajo consumo de potencia serán las aplicaciones de satélites espaciales y los relojes de pulsera electrónicos digitales. Por otra parte, un gran ordenador científico deberá ser probablemente diseñado para la más alta velocidad posible a fin de minimizar el tiempo de cálculo.

El advenimiento del *circuito integrado* (CI) en que están fabricados muchos componentes discretos (diodos, transistores y resistencias) al mismo tiempo sobre una pastilla o chip de silicio, ha conducido a muchos tipos diferentes de circuitos en la forma CI. Estos CI son baratos y muy fiables.

En todos los circuitos que estudiaremos, las variables lógicas estarán representadas por tensiones de entrada y salida de puerta, que pueden ser identificadas ya sea por un **1** o por un **0** lógico. Todas las puertas operan entre dos niveles de tensión, uno de los cuales será el alto (**1** lógico) y el otro será el bajo (**0** lógico). Estos niveles lógicos, correspondientes a lógica positiva, están representados en la Figura 12.1. En el diagrama hemos representado una región *prohibida* que separa los dos márgenes lógicos y nuestro análisis de las diversas familias de puerta establecerán límites definidos de esta región.

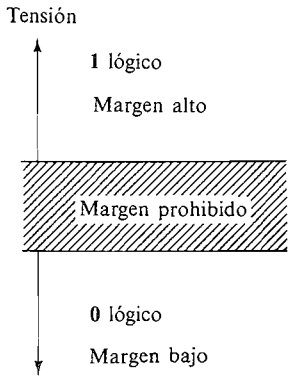


Figura 12.1. Convención lógica para lógica positiva.

En el estudio siguiente sólo consideraremos las familias lógicas más populares, MOS de simetría complementaria (CMOS), lógica transistor-transistor (TTL) y lógica de emisor acoplado (ECL), conjuntamente con aquellas características que tienen importancia para el diseño de los sistemas digitales. La familia lógica CMOS es la más lenta de las tres familias, pero también disipa considerablemente menos potencia que la familia de velocidad media, TTL o la familia de alta velocidad ECL. La familia lógica más usada es la CMOS, suficientemente rápida para la mayoría de las aplicaciones y de muy bajo consumo.

12.1. EL INVERSOR (PUERTA NO)

El *inversor* (puerta NO) existe en todas las familias lógicas. Como su nombre implica, esta puerta tiene una salida que es la *inversa* de la entrada, es decir, si la entrada está en el margen alto (**1** lógico), la salida estará en el margen bajo (**0** lógico) y viceversa. El transistor bipolar, conectado en la configuración de emisor común, puede servir como inversor rudimentario, como muestra la Figura 12.1-1*a*. Se ve que la tensión de salida V_O es la inversa de la tensión de entrada V_I. En esta sección estudiaremos el inversor principalmente para explicar las características importantes comunes a todas las familias de puertas. El símbolo del inversor está en la Figura 12.1-1*b* y la característica entrada-salida que describe su funcionamiento está en la Figura 12.1-1*c*.

Las especificaciones del inversor incluyen típicamente los siguientes niveles de tensión máximo y mínimo:

V_{IH} = tensión mínima de entrada de puerta que puede ser fiablemente reconocida como **1** lógico (nivel alto).

V_{IL} = tensión máxima de entrada de puerta que puede ser fiablemente reconocida como **0** lógico (nivel bajo).

V_{OH} = tensión mínima en la salida de puerta cuando la salida es un **1** lógico (nivel alto).

V_{OL} = tensión máxima en la salida de puerta cuando la salida es un **0** lógico (nivel bajo).

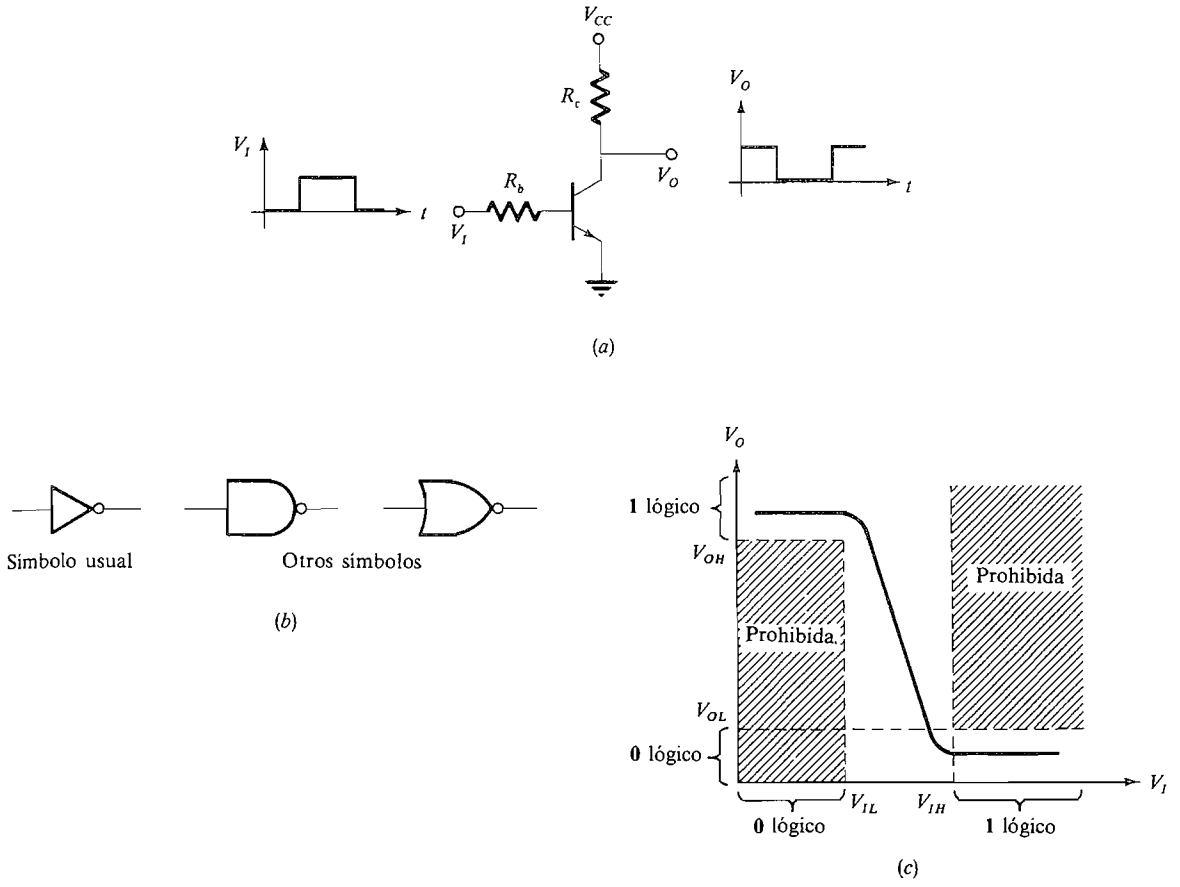


Figura 12.1-1. El inversor: (*a*) inversor elemental con transistor; (*b*) símbolos de circuito; (*c*) característica entrada-salida.

El fabricante de la puerta garantiza que cuando la señal de entrada V_I es menor que V_{IL} (**0** lógico), la salida V_O será mayor que V_{OH} (**1** lógico) en las peores condiciones posibles. También garantiza que cuando la tensión de entrada excede de V_{IH} (**1** lógico), la salida será menor que V_{OL} (**0** lógico) en las peores condiciones posibles. Así pues, realmente el fabricante garantiza que la puerta no funcionará en las regiones sombreadas de la Figura 12.1-1*c*.

Las tensiones V_{IL}, V_{IH}, V_{OL} y V_{OH} están especificadas para niveles de corriente de entrada y salida que no excedan de I_{IL}, I_{IH}, I_{OL} e I_{OH}, respectivamente. Por ejemplo, si la salida del inversor es alta, V_O será mayor que V_{OH} a condición de que la corriente de salida entregada por el inversor sea menor que I_{OH}. Si el inversor excita a una carga que hace que la corriente de salida exceda de I_{OH}, la tensión de salida puede disminuir por debajo de V_{OH} a causa de la caída de tensión en la resistencia de salida R_o. Esto está explicado gráficamente en la Figura 12.1-2. La Figura 12.1-2*a* muestra el circuito equivalente cuando $V_{OH,\,M}$ es el valor de V_O cuando $I_O = 0$. Este resultado aparece en la Figura 12.1-2*b*.

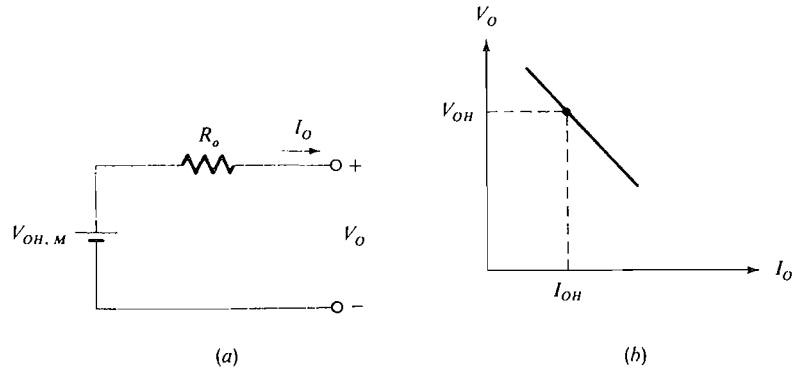


Figura 12.1-2. Efecto de un aumento en la corriente de carga: (*a*) circuito linealizado equivalente cuando $V_O \cong V_{OH}$; (*b*) característica *vi* que muestra el decrecimiento de la tensión de salida de puerta cuando aumenta la corriente de carga para el peor caso $V_O = V_{OH}$ cuando $I_O = I_{OH}$.

12.1-1. Inmunidad al ruido (margen de ruido)

En la práctica el ruido está siempre presente en un sistema físico. Puede ser generado interiormente o captado de las señales de las líneas de la fuente de alimentación o por radiación de otras señales próximas, luces fluorescentes, etc. Si aparece un impulso de ruido de suficiente amplitud en el terminal de entrada de una puerta, puede hacer que el circuito conmute de un estado lógico al otro, lo que, a su vez, será causa de que aparezca una falsa señal lógica en la salida. Con el fin de dar al diseñador una idea de la cantidad de ruido que puede ser tolerada se define la *inmunidad al ruido* de estado bajo y estado alto. Este margen está ilustrado en la Figura 12.1-3 para un circuito que contiene dos puertas idénticas.

Para que la puerta excitada reconozca fiablemente la salida V_O de la puerta excitadora como **0** lógico cuando dicha salida es baja, debemos tener $V_{OL} < V_{IL}$; por consiguiente, la inmunidad al ruido de estado bajo NM_L se define como diferencia entre el umbral de entrada de nivel bajo V_{IL} y la tensión de salida del nivel bajo V_{OL} de la puerta precedente. Así

$$NM_L = V_{IL} - V_{OL} \tag{12.1-1}$$

En el estado alto, para que la puerta excitada reconozca fiablemente la salida V_O de la puerta excitadora como un **1** lógico cuando es alta debemos tener $V_{OH} \geqslant V_{IH}$. La inmunidad al ruido en nivel alto NM_H se define, pues, como

$$NM_H = V_{OH} - V_{IH} \tag{12.1-2}$$

El margen en estado bajo representa aquella amplitud positiva de la tensión de ruido que, cuando es añadida a la salida de la puerta excitadora V_O, puede ser causa de que la tensión de entrada V_I del estado subsiguiente exceda el umbral V_{IL} y produzca así un falso disparo. Análogamente, el margen en estado alto representa aquella amplitud negativa de la tensión

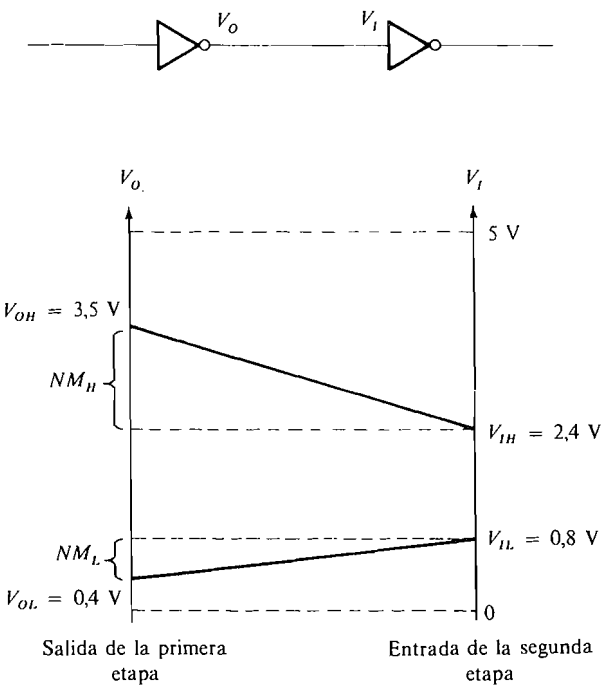


Figura 12.1-3. Diagrama que ilustra la inmunidad al ruido (los valores son para TTL).

de ruido que, cuando es añadida a V_O, puede ser causa de que la tensión de entrada V_I del estado subsiguiente disminuya por debajo del umbral V_{IH} y sea, así, causa de falso disparo.

Es evidente que, cuanto más altos son los márgenes de inmunidad al ruido, menos susceptible será el sistema a los falsos disparos debidos al ruido y, por tanto, más fiable será el diseño.

EJEMPLO 12.1-1

Un inversor TTL tiene los parámetros V_{IL} = 0,8 V, V_{IH} = 2,4 V, V_{OL} = 0,4 V y V_{OH} = 3,5 V. Un inversor CMOS tiene los parámetros V_{IL} = 1,5 V, V_{IH} = 3,5 V, V_{OL} = 0,01 V y V_{OH} = 4,99 V. Calcular la inmunidad al ruido cuando dos inversores TTL están conectados en cascada y cuando los dos inversores CMOS están también en cascada. Comparar los resultados.

Solución

Utilizando (12.1-1) y (12.1-2) hallamos para TTL

$$NM_L = V_{IL} - V_{OL} = 0{,}8 - 0{,}4 = 0{,}4 \text{ V}$$

y

$$NM_H = V_{OH} - V_{IH} = 3{,}5 - 2{,}4 = 1{,}1 \text{ V}$$

Para CMOS hallamos

$$NM_L = V_{IL} - V_{OL} = 1{,}5 - 0{,}01 = 1{,}49 \text{ V}$$

y

$$NM_H = V_{OH} - V_{IH} = 4{,}99 - 3{,}5 = 1{,}49 \text{ V}$$

Así las puertas CMOS tienen mayor inmunidad al ruido que las puertas TTL. Análogamente se puede demostrar (Prob. 12.1-1) que las puertas ECL tienen menor inmunidad al ruido que las puertas TTL. Como la CMOS tiene mayor margen de ruido, se utiliza a menudo en aplicaciones industriales en que los niveles de ruido son elevados.

12.1-2. Fan-out

En la práctica, la salida de una puerta inversora con transistor se suele conectar a la entrada de una o más puertas, como muestra la Figura 12.1-4. En el diagrama T_0 es la puerta excitadora y T_1 y T_N son las puertas de carga, que hemos dibujado como puertas NO-Y aunque también se pueden emplear puertas NO-O. El número de puertas de carga N es lo que se denomina *fan-out* y el límite superior de N está determinado por los valores tolerables de V_{IL}, I_{IL}, V_{IH}, I_{IH}, V_{OL}, I_{OL}, V_{OH} e I_{OH}. Hay que destacar que todas las corrientes mostradas se definen como entrantes tanto en la salida como en la entrada de la puerta, independientemente de cuál sea su dirección real. Adoptaremos este convenio estándar.

Por ejemplo, consideremos que el inversor excitador tiene su salida en el estado alto. Si la carga aumenta, la corriente que debe ser suministrada por la puerta excitadora aumenta. En la Figura 12.1-2 vemos que cuando la corriente de salida del inversor aumenta, la tensión de salida disminuye hasta que si se aumenta la carga de salida más allá del valor N recomendado por el fabricante, la corriente de salida superará a I_{OH} y la tensión de salida disminuirá por debajo de V_{OH} y, por consiguiente, disminuye la inmunidad al ruido por debajo del valor establecido por el fabricante. Cuando este margen disminuye, el estado lógico de las puertas excitadas se hace más sensible a las interferencias exteriores. Como resultado, el fan-out en estado alto se muestra en la Figura 12.1-4*a*; es $N_H \leqslant |I_{OH}/I_{IH}|$ y en el estado bajo $N_L \leqslant |I_{OL}/I_{IL}|$. El diseñador tendrá en cuenta el menor de los dos para asegurar un diseño conservador.

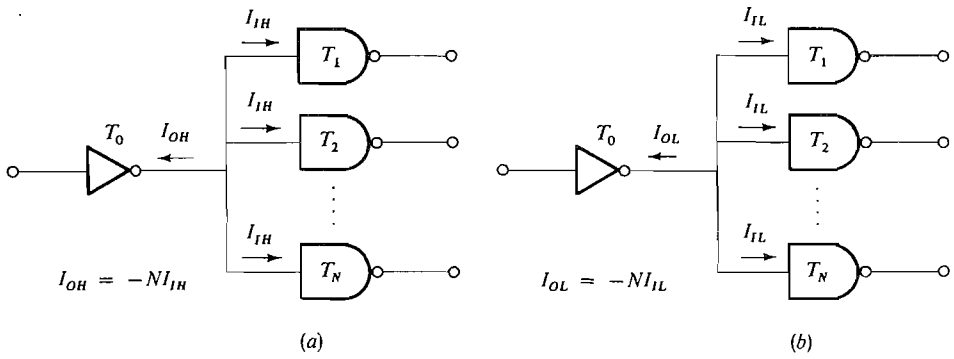


Figura 12.1-4. Fan-out: (*a*) cuando la salida del inversor está alta; (*b*) cuando la salida del inversor está baja.

12.2. LOGICA TRANSISTOR-TRANSISTOR (TTL)

El circuito básico de la puerta TTL está representado en la Figura 12.2-1 y consiste en un transistor multiemisor de entrada T_0 y un transistor de salida T_1.

El transistor de entrada T_0 contiene de dos a ocho emisores y está fabricado como se ve en la Figura 12.2-2*a*. En la práctica, el transistor de dos emisores se comporta de manera muy parecida a la de dos transistores que tienen sus bases y sus colectores conectados como en la Figura 12.2-2*b*; sin embargo, el transistor multiemisor requiere un área de chip considerablemente menor («estado real») que la conexión en paralelo de los transistores.

A fin de determinar la lógica asociada con esta puerta (Fig. 12.2-1) consideremos primero que, si la entrada V_A es baja (V_A = 0,2 V), la unión base-emisor de T_0 está polarizada en sentido directo y circulará corriente desde V_{CC} a través de R, luego a través de la unión base-emisor y finalmente hasta el terminal de entrada A. La tensión de base del transistor T_0 es, pues,

$$V_{BO} = V_{BE} + V_A = 0{,}7 + 0{,}2 = 0{,}9 \text{ V}$$

Ahora demostraremos que cuando V_{BO} = 0,9 V, T_1 está en corte. Si T_1 estuviese en conducción, la unión base-colector de T_0 estaría polarizada en sentido directo, por lo que podría ser suministrada corriente de base a T_1. Para mantener esta condición se requeriría una tensión de base $V_{BO} = V_{BE1} + V_{BC0} = 0{,}7 + 0{,}7 = 1{,}4$ V. La tensión real V_{BO} = 0,9 V no es, pues, suficiente para poner en conducción la unión base-colector de T_0 y la unión base-emisor de T_1. Como T_0 está saturado debido a su intensa corriente de base ($I_{CO}/I_{BO} \approx 0$), la tensión del colector-emisor es aproximadamente 0,2 V (véase Sec. 2.2-1). La tensión de base de T_1 es, por tanto, igual a la suma de la tensión colector-emisor de T_0 y la tensión de emisor V_A:

$$V_{B1} = V_{CEO,\,sat} + V_A = 0{,}2 + 0{,}2 = 0{,}4 \text{ V}$$

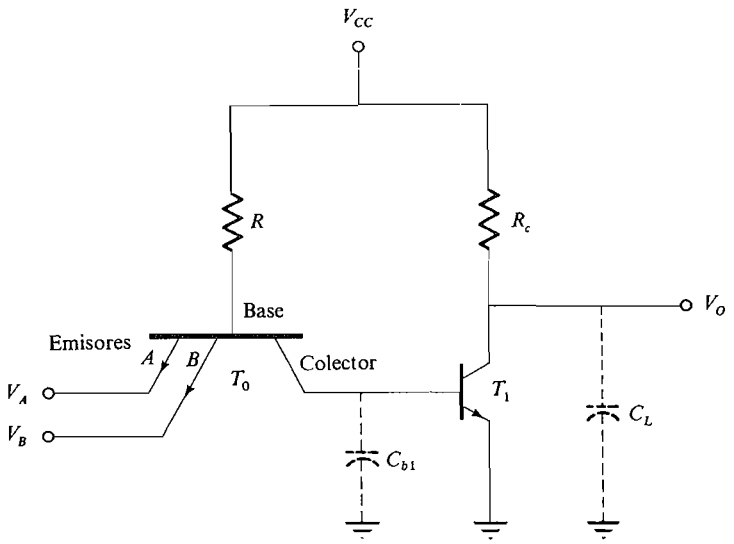


Figura 12.2-1. Puerta TTL básica.

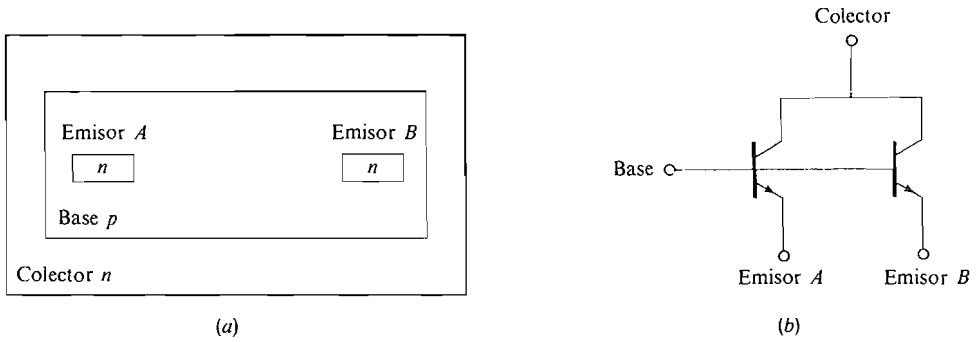


Figura 12.2-2. Transistores multiemisor: (*a*) construcción; (*b*) transistores paralelo equivalentes.

Así T_1 está en corte y $V_O \approx V_{CC}$; es decir, V_O es alta. El resultado es cierto en tanto que cualquiera de las entradas sea baja.

Consideremos ahora que todas las entradas están altas ($V_A = V_B = V_{CC}$). Las uniones base-emisor de T_0 estarán ahora polarizadas inversamente, por lo que no circulará corriente por los emisores A o B. Pero la unión base-colector pn de T_0 está ahora polarizada en sentido directo, así como la unión base-emisor de T_1. Circulará corriente desde V_{CC} hasta la base de T_1 a través de R. Esta corriente es suficiente para que se sature T_1, por lo que la tensión de salida V_0 será de nivel bajo (0,2 V).

La lógica que realiza esta puerta es reconocida como NO-Y, es decir,

$$V_O = \overline{V_A V_B} \tag{12.2-1}$$

ya que, cuando V_A y V_B están altas, V_0 es baja.

Consideremos la operación del transistor multiemisor en el circuito TTL de la Figura 12.2-1. Cuando todas las entradas pasan del estado alto al bajo, el transistor T_1 debe salir de la saturación. Esto se realiza suprimiendo la carga almacenada en la base de T_1. La unión base-emisor de T_0 se polariza en sentido directo y la carga almacenada en la base de T_1 circula por el colector de T_0. La desaparición de la carga almacenada es rápida, ya que $\Delta Q/\Delta t = I_{C0}$ y la corriente de colector I_{C0} en T_0 es intensa.

12.2-1. Etapas de salida: carga activa (pull-up)

En la sección anterior hemos visto que una ventaja de la puerta TTL de la Figura 12.2-1 es la rápida supresión de la carga almacenada en la base del transistor de salida cuando ésta conmuta del estado bajo al alto. En cuanto a este problema, la principal limitación que subsiste con respecto a la velocidad es la carga capacitiva del transistor de salida. Esta está representada en línea de trazos por C_L en la Figura 12.2-1. Se compone de las capacidades de las puertas excitadas, la capacidad de salida de T_1 y la capacidad del cableado. Utilizando la resistencia de colector R_c como muestra la Figura 12.2-1 (R_c se llama *carga pasiva*), tenemos la situación de que cuando el transistor T_1 de la salida pasa del estado

bajo al estado alto, el condensador C_L se carga exponencialmente a través de R_c desde $V_{CE,\,sat} = 0{,}2$ V hasta $V_{CC} = 5$ V. La constante del tiempo de carga es R_cC_L y ésta puede ser suficientemente grande para introducir retardos de propagación demasiado largos. Por ejemplo, si $C_L = 5$ pF y $R_c = 1$ kΩ, la salida cambia desde V_{OL} (0,2 V) hasta V_{OH} (3,3 V) en el tiempo $T = 5{,}2$ ns (véase Prob. 12.2-1).

El retardo puede ser acortado mediante la disminución de R_c, pero esto aumenta la disipación de potencia cuando la salida es baja. Mejor solución es reducir eficazmente R_c sustituyéndola por un circuito de *carga activa*. En la Figura 12.2-3 está representado el circuito de una puerta NO-Y 5400/7400 de dos entradas que lo realiza. El funcionamiento de este circuito es como sigue.

El transistor multiemisor T_0 constituye la etapa de entrada. El transistor T_3 actúa como *divisor de fase*, ya que cualquier cambio de su tensión de emisor está en oposición de fase con el correspondiente cambio de la tensión de colector. Los transistores T_2 y T_1 forman un amplificador *totem-pole* que, además de tener baja resistencia de salida, actúa como excitador de potencia, o etapa separadora (buffer) de salida.

Consideremos que ambas entradas están en estado alto, por lo que la salida V_0 es baja (0,2 V). En este estado, T_3 y T_1 están saturados. Entonces, para determinar el estado de T_2 observamos que la tensión de colector de T_3 es

$$V_{C3} = V_{C3,\,sat} + V_{BE1} = 0{,}2 + 0{,}7 = 0{,}9 \text{ V}$$

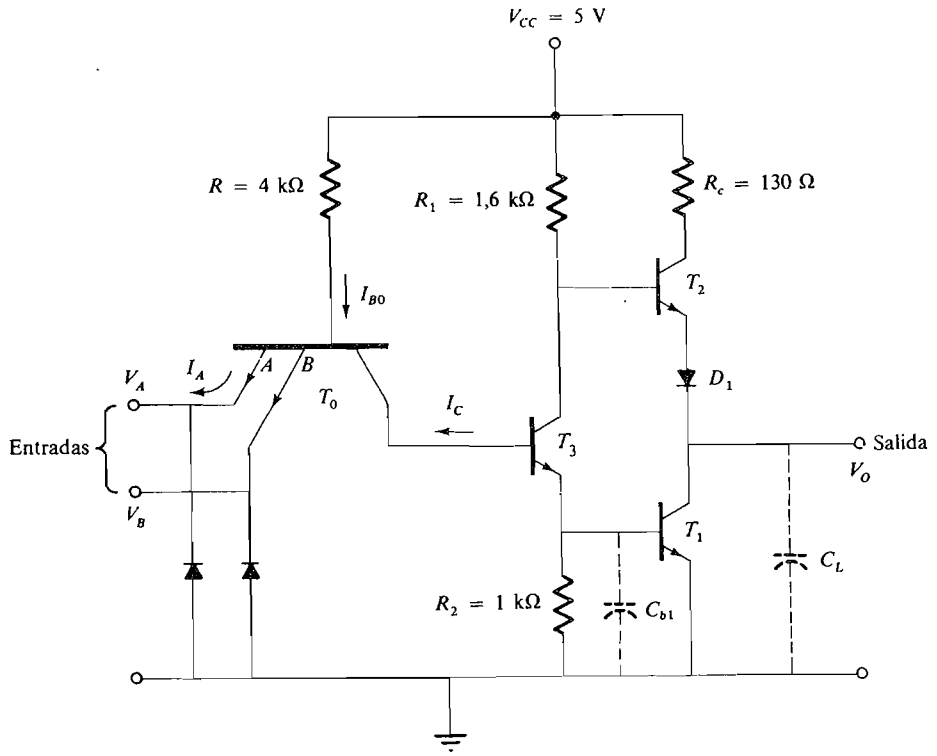


Figura 12.2-3. Puerta NO-Y 5400/7400 de dos entradas con etapa de salida totem-pole.

Como la base de T_2 está unida al colector de T_3, tenemos $V_{B2} = 0{,}9$ V. La diferencia de tensión entre la base de T_2 y el colector de T_1 es

$$V_{BE2} + V_{D1} = V_{C3} - V_{CE1} = 0{,}9 - 0{,}2 = 0{,}7 \text{ V}$$

Esto no es suficiente para poner en conducción a T_2 y D_1. El diodo D_1 da la tensión offset necesaria para que T_2 esté en corte cuando T_3 y T_1 conducen.

Ahora consideremos que la salida V_0 está en estado bajo y hay un cambio súbito de estado debido a una entrada que pasa al estado bajo. T_3 pasará a la condición de corte, lo que hará que T_1 se bloquee a causa de que C_{BE1} se anula después de suprimida la carga almacenada en la base de T_1 a través de R_2. (Esta es análoga a la carga residual del condensador C_{b1}, que se descarga a través de R_2.) La tensión entre los terminales de C_L no puede cambiar instantáneamente y se mantendrá próxima a 0,2 V durante un corto tiempo. Durante este tiempo, el colector de T_3 asciende y T_2 conmuta a conducción. Con T_2 en conducción su tensión de base es

$$V_{B2} = V_{BE2} + V_{D1} + V_O = 0{,}7 + 0{,}7 + 0{,}2 = 1{,}6 \text{ V}$$

La corriente de base de T_2 es

$$I_{B2} = \frac{V_{CC} - V_{B2}}{1{,}6} = \frac{5 - 1{,}6}{1{,}6} = 2{,}13 \text{ mA}$$

La corriente de colector es

$$I_{C2} = \frac{V_{CC} - V_{CE2,\,sat} - V_{D1} - V_O}{0{,}13} = \frac{5 - 0{,}2 - 0{,}7 - 0{,}2}{0{,}13} = 30 \text{ mA}$$

La razón de estas dos corrientes es $I_{C2}/I_{B2} = 30/2{,}13 = 14{,}1$. Como $\beta_2 \approx 50$, T_2 estará en saturación. Ahora T_2 suministra la corriente para cargar C_L, por lo que a T_2 se le denomina *fuente*. Con T_2 en saturación la tensión de salida aumenta casi exponencialmente con la constante de tiempo $(R_c + R_{S2} + R_{D1})C_L$, donde R_{S2} es la resistencia de saturación de T_2 y R_{D1} es la resistencia directa de D_1. Los valores típicos son $R_{s2} \approx 10\ \Omega$ y $R_{D1} < 10\ \Omega$; así la constante del tiempo de carga es muy pequeña, aproximadamente 6,7 veces menor que para el pull-up pasivo. Con puertas TTL de muy alta velocidad $R_c \approx 55\ \Omega$, lo que reduce la constante de tiempo dividiéndola por un factor adicional de 2. Cuando V_O aumenta, la corriente disminuye en T_2 y eventualmente T_2 sale de la condición de saturación. Finalmente V_O alcanza un estado estacionario cuando T_2 llega al final de saturación. Su valor es

$$V_O = V_{CC} - R_1 I_{B2} - V_{BE2} - V_{D1} \approx 5 - 0{,}7 - 0{,}7 = 3{,}6 \text{ V}$$

donde hemos despreciado $R_1 I_{B2} = R_1 I_{E2}/\beta$, caída de tensión que usualmente es despreciable.

La función de R_c en este circuito es limitar la cresta de corriente transitoria en T_2, que ocurre cuando V_O cambia del estado bajo al estado alto. Obsérvese que cuando V_O era

bajo, T_2 estaba en corte y, por tanto, la corriente en R_c era nula. Cuando V_O es alta, T_2 conduce, pero la corriente que fluye es sólo lo suficientemente intensa para excitar una carga de salida de aproximadamente 0,5 mA. Sin embargo, transcurren aproximadamente 0,9 ns para que V_O cambie de estado y durante este tiempo la corriente alcanza un valor de cresta de 30 mA. Como las crestas de corriente de esta magnitud causan crestas de tensión extremadamente indeseables en las líneas de alimentación V_{CC}, se añaden condensadores de desacoplo entre el terminal V_{CC} de cada CI y masa. Una regla empírica consiste en utilizar 0,02 μF por encapsulado de CI, y los condensadores de desacoplo deben estar situados tan cerca como sea posible de la conexión de la patilla V_{CC}. También es buena práctica utilizar tensión regulada en cada placa de circuito impreso en vez de distribuir la tensión desde una fuente de alimentación principal. Los fabricantes de circuitos TTL sugieren configuraciones para los condensadores de desacoplo con objeto de minimizar la radiación a otros circuitos.

Como comentario adicional sobre el circuito TTL de la Figura 12.2-3 hay que decir que los diodos conectados entre los terminales de entrada y masa no tienen ningún efecto en condiciones de corriente continua pero minimizan ruidos negativos transitorios no deseados, fijando la entrada a $-0{,}7$ V.

12.2-2. Lógica Y cableada (wired-AND)

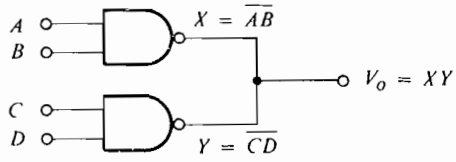
Si las salidas de dos o más puertas con transistores se unen entre sí, como en la Figura 12.2-4*a*, se crea una función lógica más. Esta función ha recibido varios nombres: *lógica de colector*, *Y cableada* (o Y por conexión), *Y implicada* y también *Y puntual*. El esquema suele ahorrar puertas lógicas en comparación con otros métodos. El funcionamiento del circuito es como sigue. Consideremos que la salida X de la puerta 1 está en estado bajo. Entonces, independientemente del estado de la salida Y de la puerta 2, la salida V_O será baja. Unicamente cuando ambas salidas son simultáneamente altas, V_O será alta. Esto se reconoce como función Y; es decir, $V_O = X \cdot Y$ y de aquí el nombre de Y cableada. La salida es

$$V_O = X \cdot Y = (\overline{AB})(\overline{CD}) \tag{12.2-2}$$

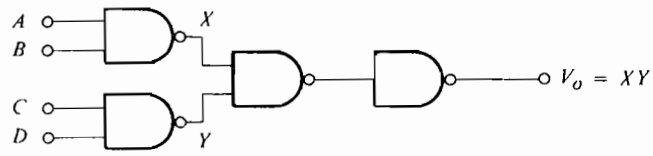
Si no se utiliza un circuito Y cableado, será necesario el circuito de la Figura 12.2-4*b* para realizar (12.2-2) utilizando únicamente puertas NO-Y. No siempre es posible el ahorro de dos puertas utilizando la conexión Y cableada y cada caso debe ser considerado con sus ventajas e inconvenientes, probándose varias disposiciones con el fin de obtener el diseño más económico.

No es buena práctica interconectar puertas TTL con un pull-up activo en la configuración Y cableada a causa de que si una salida de puerta es alta mientras la otra es baja, la puerta que tenga salida alta disipará una gran cantidad de potencia (véase Pro. 12.2-4).

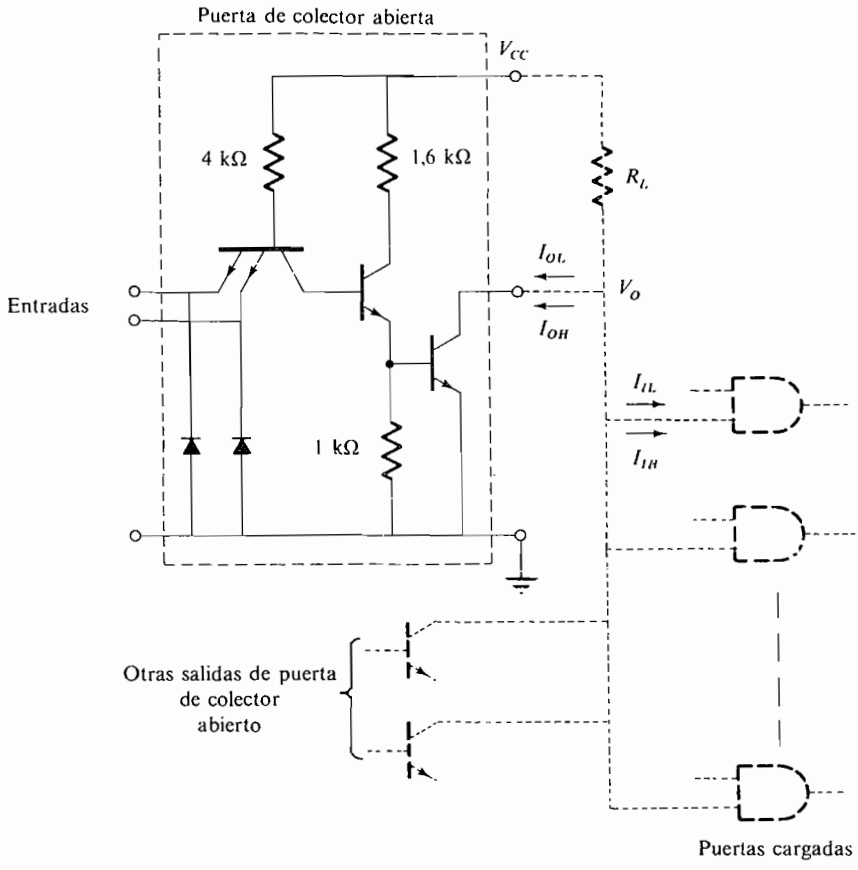
Se fabrican puertas lógicas TTL con salidas de *colector abierto*, que pueden ser conectadas en la configuración Y cableada. En la Figura 12.2-4*c* está representado el circuito de una puerta NO-Y de dos entradas con salida en colector abierto, tipo 5401/7401. Esta debe ser comparada con la Figura 12.2-3 que muestra el mismo circuito con un pull-up activo y una salida totem-pole. En la práctica todas las salidas en colector abierto



(*a*)



(*b*)



(*c*)

Figura 12.2-4. Lógica Y cableada: (*a*) las salidas de puerta están unidas entre sí; (*b*) circuito todo NO-Y; (*c*) puerta NO-Y 5401/7401 de dos entradas con salida de colector abierto.

están unidas entre sí y comparten una resistencia pull-up común R_L, que está representada en líneas de trazos en la Figura 12.2-4*c*. Su tamaño depende del número de colectores abiertos, del fan-out, la inmunidad al ruido requerida, etc., y es considerada en el ejemplo que sigue.

EJEMPLO 12.2-1. DETERMINACION DE LA RESISTENCIA PULL-UP

En el circuito de la Figura 12.2-4*c* hay cuatro puertas NO-Y 5401/7401 con salidas en colector abierto para obtener un fan-out de cinco puertas de carga 5400/7400. Determinar un valor adecuado para la resistencia pull-up R_L.

Solución

Primero determinamos un valor máximo de la resistencia cuando la salida V_O es alta, por lo que tenemos suficiente corriente de carga para las puertas de carga y corriente para el corte de las puertas de excitación. A continuación se determina un valor mínimo cuando V_O es baja, tal que la corriente que circula por ella y las corrientes que circulan por las puertas de carga no sean causa de que la tensión de salida V_O aumente por encima de $V_{OL,\text{máx}}$ incluso si solamente una puerta de excitación está absorbiendo todas las corrientes.

Determinación de $R_{L,\text{máx}}$. Cuando V_O es alta (puertas de excitación en corte) la caída en R_L debe ser menor que

$$V_{R_{L,\text{máx}}} = V_{CC} - V_{OH,\text{min}}$$

donde $V_{CC} = 5$ V y $V_{OH,\text{min}} = 2{,}4$ V para puertas 5400/7400. La corriente total en R_L es la suma de las corrientes de la puerta de carga I_{IH} y las corrientes en estado de corte de cada puerta de excitación I_{OH}. Así

$$I_{R_L} = 5I_{IH} + 4I_{OH}$$

Para puertas 5400/7400, $I_{OH} = 0{,}25$ mA e $I_{IH} = 40$ μA, circulando ambas en los sentidos indicados en la Figura 12.2-4*c*. Entonces

$$R_{L,\text{máx}} = \frac{V_{R_L}}{I_{R_L}} = \frac{5 - 2{,}4}{(5)(0{,}04) + (4)(0{,}25)} = 2{,}17 \text{ k}\Omega$$

Determinación de $R_{L,\text{min}}$. Aquí V_O es baja y las puertas de carga están todas conduciendo. Ocurre el peor caso cuando sólo uno de los transistores de excitación está conduciendo y la corriente a través de R_L debe ser limitada para que no se supere la máxima I_{OL} recomendada para este transistor en conducción (16 mA para el 5401/7401). Las corrientes en estado bajo I_{IL} ($-1{,}6$ mA) que circulan en las puertas de carga contribuyen a I_{OL} por lo que, teniendo en cuenta los sentidos

indicados en la Figura 12.2-4*c* y despreciando las corrientes en la condición de corte de los tres transistores de excitación, tenemos

$$I_{R_L} = I_{OL} + 5I_{IL}$$

También $V_{R_{L,\min}} = V_{CC} - V_{OL,\text{máx}}$ donde $V_{OL,\text{máx}} = 0{,}4$ V

Luego $$R_{L,\min} = \frac{V_{R_L}}{I_{R_L}} = \frac{5 - 0{,}4}{16 + (5)(-1{,}6)} = 0{,}575 \text{ k}\Omega$$

Así R_L debe estar comprendido entre 575 Ω y 2,17 kΩ.

Otro uso de las puertas en colector abierto consiste en excitar las cargas externas tales como los relés, lámparas indicadoras y otros tipos de lógica. Algunos fabricantes suministran puertas con salidas de alta tensión en colector abierto especiales para este tipo de aplicación. Un ejemplo es el inversor 5406/7406 que tiene la especificación de 30 V para la mínima tensión de ruptura de salida.

12.2-3. Características de transferencia TTL

La característica típica de transferencia entrada-salida para la puerta TTL mostrada en la Figura 12.2-3 está representada en la Figura 12.2-5. La forma de la curva se debe principalmente a las características del pull-up activo y de la salida totem-pole. Consideremos primero que la entrada V_B está en 5 V y que la entrada V_A es menor que la tensión de entrada representada por el punto *a* de la característica, es decir, $V_A < 0{,}7$ V. En este caso los transistores T_3 y T_1 están en corte, mientras T_2 conduce por lo que la salida es alta. La tensión de salida es aproximadamente (despreciando la pequeña caída en R_1)

$$V_{OH} \approx V_{CC} - V_{BE2} - V_{D1} = 5 - 0{,}7 - 0{,}7 = 3{,}6 \text{ V} \qquad (12.2\text{-}3)$$

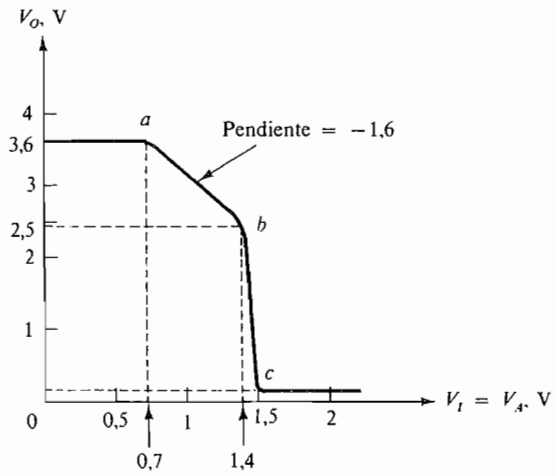


Figura 12.2-5. Características de transferencia TTL.

Para este margen alto la corriente sale del emisor A de T_0 y su intensidad está determinada principalmente por V_{CC} y R. En nuestro ejemplo (Fig. 12.2-3) con $V_A = 0{,}2$ V

$$I_A = \frac{V_{CC} - V_{BE0} - V_A}{R} = \frac{5 - 0{,}7 - 0{,}2}{4 \times 10^3} \approx 1 \text{ mA}$$

La salida de la puerta conectada al emisor A debe ser capaz de *absorber* toda esta corriente.

La región de transición entre salida alta y salida baja comienza en el punto a y vemos que hay dos segmentos de línea separados que tienen pendientes diferentes en esta región. Esto se produce de la siguiente manera: cuando $V_A \geqslant 0{,}7$ V, I_C es negativa, y comienza a circular corriente por T_3. T_3 trabajará ahora en zona lineal con una ganancia base-colector $A_v \approx -R_1/R_2$ (véase Prob. 12.2-7). T_1 sigue cortado y el seguidor de emisor T_2 está conduciendo. Así, la curva entrada-salida sigue la característica de ganancia de T_3 y decrece con pendiente $-R_1/R_2 = -1{,}6$ *voltios de salida* por *voltios de entrada*, hasta que se alcanza el punto b (Fig. 12.2-5).

Cuando la tensión de entrada V_A llega aproximadamente a 1,2 V, $V_{B3} \approx 1{,}4$ V y T_1 entra en conducción al empezar a circular corriente por su base. Cuando $V_A \approx 1{,}6$ V la corriente de emisor $I_A = 0$, y toda la corriente de base I_{BO} circula por la base de T_3. El colector de T_0 queda *fijado* en 1,4 V y como V_A aumenta, T_0 empieza a funcionar en modo *inverso*. Fijándonos en la Figura 12.2-5 vemos que el punto b corresponde a $V_A \approx 1{,}4$ V y $V_0 \approx 2{,}4$ V. Con T_0 en modo inverso la corriente I_A es negativa y circula hacia el emisor. La corriente de base de T_3 es ahora igual a $I_{B3} + |I_A|$. Este incremento en la corriente de base I_{B3} produce el correspondiente incremento en I_{C3} y el colector de T_3 cae, cortando T_2. Como la corriente de colector de T_2 (que es también la corriente de colector de T_1) baja a la vez que aumenta la corriente de base de T_1, T_1 entra rápidamente en saturación. En el punto c, $V_A \approx 1{,}5$ V, T_2 está cortado y la salida se encuentra en estado bajo, por ejemplo, a la tensión de saturación de T_1 ($\approx$0,2 V). Obsérvese que T_0 está funcionando en modo inverso, pues su colector está fijado a 1,4 V mientras que el emisor está a una tensión positiva mayor (1,5 V).

12.2-4. TTL Schottky con fijación de tensión

Los transistores de la puerta TTL representada en la Figura 12.2-3 conmutan desde la saturación hasta el corte cuando cambian los estados de la puerta. Tales puertas se caracterizan por retardos de tiempo relativamente largos debidos principalmente al tiempo necesario para que un transistor salga de la saturación. Cuando es importante la velocidad, se emplea el transistor Schottky (Sec. 2.2-2).

La Figura 12.2-6 representa una puerta NO-Y típica de dos entradas que utiliza transistores Schottky. El circuito de salida ha sido modificado con respecto a la serie 54/74 para conferirle una característica simétrica de transferencia. Estas puertas se denominan serie 54S/74S donde S denota Schottky. También se fabrica una serie 54LS/74LS en que las resistencias de las puertas son más grandes y, por tanto, disipan considerablemente menos potencia que las de la serie S. Sin embargo, las puertas LS también son más lentas.

Recientemente han aparecido nuevas familias Schottky: la Schottky avanzada (AS) o rápida (F)[7] y la Schottky avanzada de bajo consumo (ALS)[1]. Dentro de esta familia se ha refinado el proceso de fabricación a la vez que se han mejorado las técnicas de diseño para

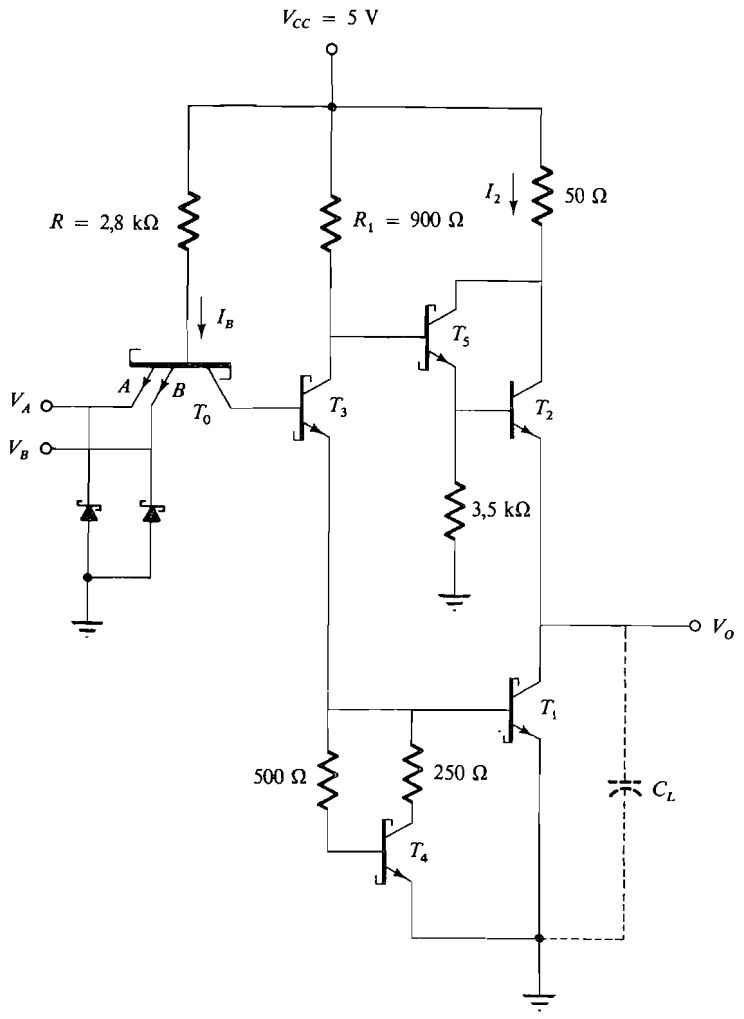


Figura 12.2-6. Puerta NO-Y TTL Schottky (54S/74S).

conseguir menores tamaños, difusiones más superficiales y menor capacidad de las uniones. Las series AS/ALS trabajan con una reducción de potencia del 50 por 100 respecto de las series S/LS. La serie AS consigue el menor retardo de propagación que puede ofrecer la tecnología TTL.

El funcionamiento de la puerta NO-Y TTL Schottky es como sigue. Supongamos para mayor simplicidad que $V_B = 5$ V y que la salida de tensión V_O de la puerta cambia en respuesta a los cambios de la tensión de entrada $V_I = V_A$. Cuando V_A aumenta, fluye del emisor A la corriente de base I_B hasta que T_3 y T_1 conmutan a conducción *simultáneamente*. Recuérdese que en la Figura 12.2-2, T_3 conmuta primero a conducción (en el punto *a*). Esto era posible a causa de que se utilizaba una resistencia para conectar el emisor de T_3 a masa. En el circuito presente la corriente de emisor de T_3 debe circular por la base de T_1 y por la base y el colector de T_4. Suponiendo que la tensión de conmutación en corte de un

transistor sea 0,65 V, vemos que T_3 y T_1 deben ponerse en conducción cuando $V_{B3} \approx 1{,}3$ V. La resistencia de 500 Ω en serie con la base de T_4 permite que T_1 pase a conducción antes que T_4.

Como T_0 es un transistor Schottky, la tensión colector-emisor V_{CE0} cuando T_3 y T_1 pasan a conducción es $V_{CE0} \approx 0{,}35$ V De aquí que, con $V_{B3} = 1{,}3$ V,

$$V_A = V_{B3} + V_{CE0} \approx 1{,}3 + 0{,}35 \approx 1{,}65 \text{ V} \tag{12.2-4}$$

Cuando $V_A < 1{,}65$ V, T_1 y T_3 están en corte y T_2 y T_5, que forman un amplificador compuesto (Sec. 7.6), están en conducción. Por tanto, $V_O = V_{CC} - V_{BE5} - V_{BE2} \approx 3{,}5$ V. Cuando V_A aumenta por encima de 1,65 V, la corriente de base en T_3 aumenta, haciendo lo mismo las corrientes de colector y de emisor de T_3. La tensión de colector de T_3 disminuye, reduciendo la corriente de emisor en T_2 y, por tanto, reduciendo también la corriente de colector en T_1. Simultáneamente T_1 es puesto en conducción, aumentando su corriente de base. Este aumento y el simultáneo decrecimiento de I_{C1} hacen que T_1 se sature y V_O se fije en 0,35 V en estado bajo. La característica resultante está representada en la Figura 12.2-7.

También se dan crestas de corriente en la puerta TTL Schottky. Si $V_O = 0{,}35$ V y V_A disminuye súbitamente, la corriente de base deja de circular por T_3 y la tensión de colector de T_3 aumenta repentinamente. La corriente de base de T_5 sube drásticamente provocando la saturación de T_5 y la caída de V_{CE5} a 0,35 V. La tensión colector-emisor de T_2 es entonces

$$V_{CE2} = V_{CE5} + V_{BE2} = 0{,}35 + 0{,}7 = 1{,}05 \text{ V} \tag{12.2-5}$$

Como hay una capacidad de salida C_L, V_{CE} no puede cambiar instantáneamente. Con $V_{CE1} = 0{,}35$ V, la corriente en la resistencia de colector de 50 Ω pasa a

$$I_2 = \frac{V_{CC} - V_{CE2} - V_{CE1}}{50} = \frac{5 - 1{,}05 - 0{,}35}{50} = 72 \text{ mA} \tag{12.2-6}$$

Esto es más del doble de la corriente máxima de 30 mA hallada en la puerta TTL convencional.

Es interesante observar que T_2 no es un transistor Schottky, ya que T_2 no puede ser saturado por T_5.

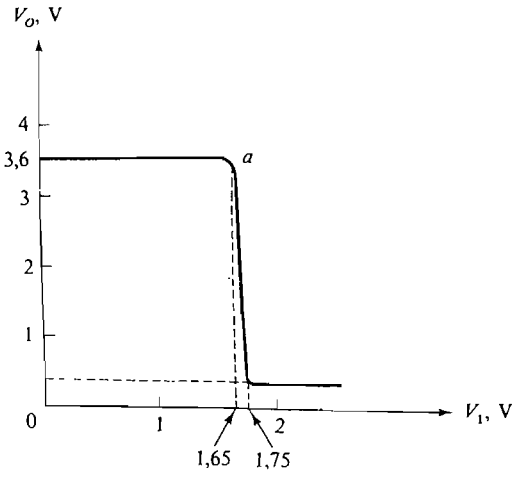


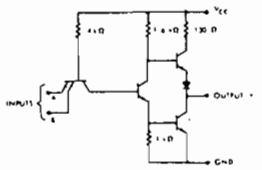
Figura 12.2-7. Característica salida-entrada TTL Schottky.

12.2-5. Interpretación de las hojas de datos de los fabricantes

En la Figura 12.2-8 se muestra la hoja de características de un circuito integrado de Texas Instrument que contiene cuatro puertas NAND de dos entradas. Cada puerta requiere por tanto tres conexiones externas utilizándose un total de 12 patillas; las dos patillas restantes se utilizan para alimentación y masa.

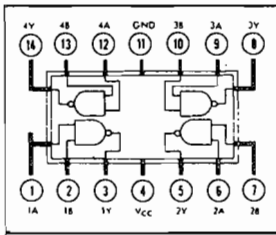
CIRCUIT TYPES SN5400, SN7400
QUADRUPLE 2-INPUT POSITIVE NAND GATES

schematic (each gate)

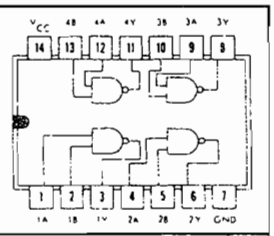


NOTE: Component values shown are nominal.

W FLAT PACKAGE (TOP VIEW)



J OR N DUAL-IN-LINE PACKAGE (TOP VIEW)



positive logic: $Y = \overline{AB}$

recommended operating conditions

		MIN	NOM	MAX	UNIT
Supply Voltage V_{CC}:	SN5400 Circuits	4.5	5	5.5	V
	SN7400 Circuits	4.75	5	5.25	V
Normalized Fan-Out From Each Output, N				10	
Operating Free-Air Temperature Range, T_A:	SN5400 Circuits	−55	25	125	°C
	SN7400 Circuits	0	25	70	°C

electrical characteristics over recommended operating free-air temperature (unless otherwise noted)

	PARAMETER	TEST FIGURE	TEST CONDITIONS†		MIN	TYP‡	MAX	UNIT
V_{IH}	Logical 1 input voltage required at both input terminals to ensure logical 0 level at output	1			2			V
V_{IL}	Logical 0 input voltage required at either input terminal to ensure logical 1 level at output	2					0.8	V
V_{OH}	Logical 1 output voltage	2	V_{CC} = MIN, V_{in} = 0.8 V, I_{load} = −400 μA		2.4	3.3		V
V_{OL}	Logical 0 output voltage	1	V_{CC} = MIN, V_{in} = 2 V, I_{sink} = 16 mA			0.22	0.4§	V
I_{IL}	Logical 0 level input current (each input)	3	V_{CC} = MAX, V_{in} = 0.4 V				−1.6	mA
I_{IH}	Logical 1 level input current (each input)	4	V_{CC} = MAX, V_{in} = 2.4 V				40	μA
			V_{CC} = MAX, V_{in} = 5.5 V				1	mA
I_{OS}	Short-circuit output current§	5	V_{CC} = MAX	SN5400	−20		−55	mA
				SN7400	−18		−55	
I_{CCL}	Logical 0 level supply current	6	V_{CC} = MAX, V_{in} = 5 V			12	22	mA
I_{CCH}	Logical 1 level supply current	6	V_{CC} = MAX, V_{in} = 0			4	8	mA

switching characteristics, V_{CC} = 5 V, T_A = 25°C, N = 10

	PARAMETER	TEST FIGURE	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PHL}	Propagation delay time to logical 0 level	65	C_L = 15 pF, R_L = 400 Ω		7	15	ns
t_{PLH}	Propagation delay time to logical 1 level	65	C_L = 15 pF, R_L = 400 Ω		11	22	ns

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
§ Not more than one output should be shorted at a time.

Figura 12.2-8. Hoja de datos 5400/7400.

La hoja de datos contiene diagramas de circuito de las puertas así como las conexiones de patillas para los diferentes tipos de encapsulado. Además hay tablas de condiciones recomendadas de funcionamiento y características eléctricas. El funcionamiento fuera del margen recomendado del CI puede ser causa inmediata de fallo o deterioro gradual del dispositivo. La tabla de características eléctricas da los valores medios obtenidos en condiciones de prueba especificadas en la tabla y cuidadosamente documentados en otras publicaciones del fabricante[5]. Estos valores medios corresponden al caso más desfavorable con máxima carga en la salida.

La tensión de alimentación recomendada V_{CC} para la serie militar 5400 es 4,5 V mínimo y 5,5 V, máximo, con un valor nominal de 5 V, es decir, una variación del 10 por 100 con respecto al valor nominal. Para la 7400 que es la versión comercial de puerta, la variación se reduce al 5 por 100. El máximo fan-out de estas puertas excitando puertas similares es 10. Hay que resaltar que esta cifra *sólo* es válida cuando la carga consiste en otras puertas de la serie 54/74. Cualquier otro tipo de carga puede cambiarlo considerablemente. El margen de temperatura de funcionamiento se extiende de -55 hasta $+125$ °C para la 5400, pero para la 7400 está restringido desde 0 hasta 70 °C. Las características eléctricas se resumen a continuación.

Tensión de entrada V_{IH}. El primer parámetro enumerado es la tensión de entrada de **1** lógico necesaria en ambos terminales de entrada para obtener un **0** lógico en la salida. El valor más desfavorable para este parámetro es 2,0 V mínimo, medido en el límite inferior de V_{CC}. Que este es el peor caso se puede comprobar considerando el circuito de la Figura 12.2-3. Si la salida es baja, entonces en la Figura 12.2-5 tenemos típicamente $V_A \approx 1{,}5$ V. Para cualquier tensión de entrada mayor que este valor calculado es previsible que la salida sea baja. El fabricante garantiza 2,0 V como valor mínimo en el peor caso, que es considerablemente más conservador que nuestro valor calculado de 1,5 V. Análogamente vemos por la Figura 12.2-5 que para que la tensión de salida supere los 2,5 V debemos tener $V_I < 1{,}4$ V. El fabricante especifica $V_{IL} = 0{,}8$ V medido con el máximo valor permisible de V_{CC}, lo que es nuevamente más conservador que nuestros valores calculados.

Tensión de salida. Este parámetro especifica el margen de valores previsibles en la salida cuando la tensión de entrada satisface los requisitos del párrafo anterior. La tensión de salida alta está especificada como $V_{OH} = 2{,}4$ V mínimo, 3,3 V típico, medido cuando $V_I = 0{,}8$ V $= V_{IL}$, $V_{CC} = 4{,}5$ V (valor mínimo) e $I_{\text{CARGA}} = -400$ μA (el signo negativo indica que la corriente sale de la puerta). Un valor aproximado a éste ha sido calculado en la Sección 12.2-3 y era 3,5 V para $V_{CC} = 5$ V. Así para $V_{CC} = 4{,}5$ V tendremos $V_{OH} = 3{,}1$ V que concuerda bien con el valor típico dado. La tensión de salida baja $V_{OL} = 0{,}22$ V típica, 0,4 V máxima, medida cuando $V_{CC} = 4{,}5$ V, $V_I = 2$ V $= V_{IH}$ y la carga de salida es máxima (máximo fan-out), por lo que la puerta está absorbiendo 16 mA. Anteriormente hemos supuesto que la tensión de salida baja será la $V_{CE,\,\text{sat}} \approx 0{,}2$ V del transistor T_1 en la Figura 12.2-3.

La información de los párrafos anteriores está resumida gráficamente en la característica de transferencia de tensión de la Figura 12.2-9. Aunque estas curvas no son facilitadas con las hojas de datos, a menudo se pueden encontrar en la literatura de los fabricantes[5, 7]. En la Figura 12.2-10 aparece otra representación gráfica.

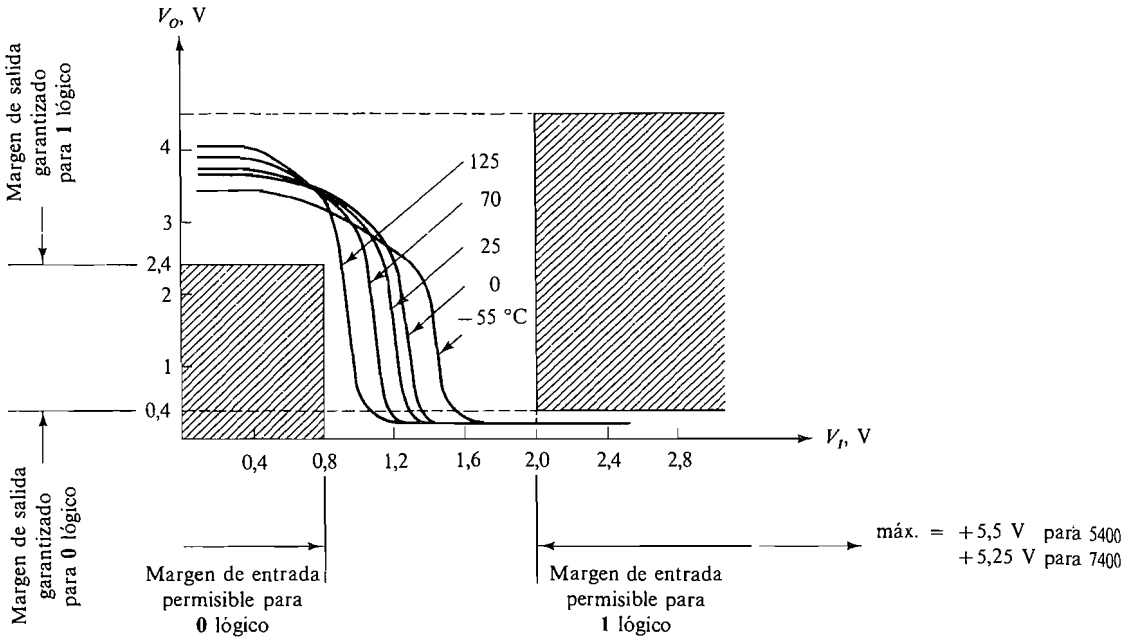


Figura 12.2-9. Característica de transferencia de tensión para la puerta NO-Y TTL 54/74 medida para una puerta típica con V_{CC} = 5 V y fan-out = 10. Las áreas rayadas definen regiones prohibidas por las garantías de los fabricantes.

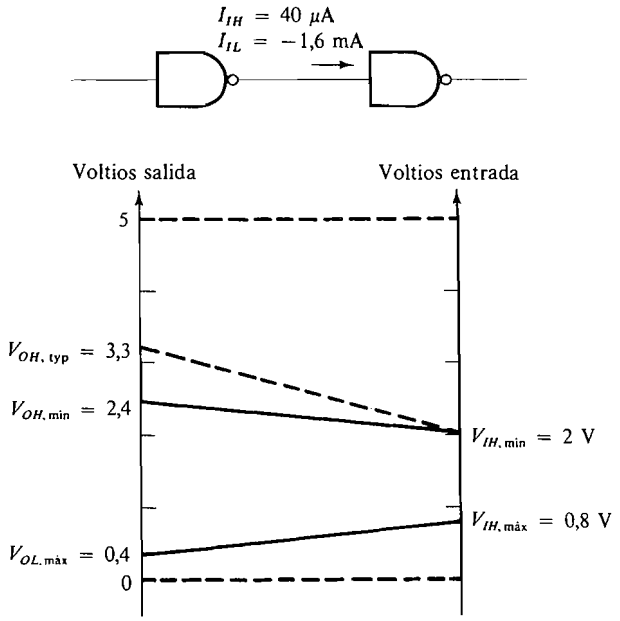


Figura 12.2-10. Representación gráfica alternativa de las características salida-entrada de puertas 5400/7400.

Corriente de entrada. Cualquier dispositivo utilizado para excitar estas puertas debe ser capaz de suministrar y también absorber corrientes. Así pues, es importante conocer las corrientes necesarias en la entrada de la puerta con ambos niveles lógicos. Esto es especialmente cierto cuando el dispositivo de excitación es otro que la puerta 54/74. Los parámetros de corriente de entrada dan esta información. Se obervará que, convencionalmente la corriente que fluye *hacia* un terminal del dispositivo es designada como positiva y la corriente que fluye hacia fuera lo es como negativa. La hoja de datos especifica una corriente de entrada de nivel lógico **0** para cada entrada de $-1{,}6$ mA cuando V_{CC} es máxima y $V_I = V_{IL} = 0{,}4$ V. Como esta corriente es *negativa*, sale del terminal de entrada. Podemos calcular esta corriente haciendo referencia a la Figura 12.2-3 y observando que esta corriente de entrada circula desde V_{CC} a través de R y la unión base-emisor de T_0 polarizada en sentido directo hasta el terminal de entrada. Así

$$I_{IL} = \frac{V_{CC} - V_{BE0} - V_{IL}}{R} = \frac{5{,}5 - 0{,}7 - 0{,}4}{4} = 1{,}1 \text{ mA} \qquad (12.2\text{-}7)$$

El fabricante garantiza que esta corriente será siempre menor que 1,6 mA.

Cuando la entrada está en el nivel lógico **1**, el fabricante garantiza que el dispositivo de excitación no tendrá que suministrar más de 40 μA por entrada cuando la tensión de entrada es $V_I = V_{OH,\min} = 2{,}4$ V. En la Figura 12.2-3 vemos que cuando $V_I = 2{,}4$ V, el transistor T_0 está funcionando en el modo inverso, ya que el colector de T_0 está aproximadamente al potencial 1,4 V. Así, la corriente de base I_{B0} es

$$I_{B0} = \frac{V_{CC} - V_{BE0} - V_{B3}}{R} = \frac{5 - 0{,}7 - 1{,}4}{4 \times 10^3} \approx 0{,}7 \text{ mA} \qquad (12.2\text{-}8)$$

Ahora la corriente de emisor I_A está entrando en el emisor y, por tanto, se comporta como corriente de colector con una ganancia de corriente inversa h_{FC}. El fabricante, especificando que $|I_A| < 40$ μA, garantiza que

$$h_{FC} < \frac{|I_A|}{I_{B0}} = \frac{0{,}04}{0{,}7} \approx 0{,}06 \qquad (12.2\text{-}9)$$

El otro valor especificado, $I_{IH} = 1$ mA cuando $V_I = 5{,}5$ V es un valor que asegura el que la unión emisor-base no se deteriorará debido a excesiva disipación de potencia. Es una buena práctica conectar cualquier emisor no utilizado a la alimentación de 5 V a través de una resistencia de 2 kΩ. Esta sirve para prevenir la captación de ruido debido a los cambios de estado de la puerta.

Corriente de salida en cortocircuito. Este parámetro I_{0s}, es la corriente de salida de **1** lógico cuando la salida es cortocircuitada a masa. Cuando se efectúa este ensayo, el fabricante comprueba el valor de la resistencia limitadora de corriente R_c y el funcionamiento correcto del transistor T_2 y del diodo D_1 (Fig. 12.2-3). En el ensayo todas las entradas están conectadas a masa y se utiliza la máxima V_{CC}. Los límites se dan en la hoja de datos, indicando los valores negativos de la corriente que fluye fuera de la puerta. Un valor demasiado grande I_{0S} deteriorará al dispositivo, y un valor demasiado pequeño

degradará los tiempos de conmutación de salida en nivel alto, ya que la capacidad de la carga no se puede cargar con la suficiente rapidez para satisfacer las especificaciones del tiempo de conmutación. Obsérvese que ésta es la máxima corriente en la cresta. Si se efectúa este experimento en más de una de las puertas del encapsulado simultáneamente, el calor desarrollado por la alta disipación de la potencia puede deteriorar las puertas permanentemente.

Corriente de alimentación. Este parámetro es de extraordinaria importancia para el ingeniero de diseño, quien debe estimar los requisitos de la alimentación del sistema. La hoja de datos indica la corriente de alimentación I_{CCL} en el nivel lógico **0** y la corriente de alimentación I_{CCH} en el nivel lógico **1**. Ambas están medidas con la máxima V_{CC} aplicada, $V_I = 0$ V para el nivel alto y $V_I = 5$ V para el nivel bajo. Los máximos valores especificados se aplican a las cuatro puertas del chip; por consiguiente, con el fin de obtener la corriente de alimentación por puerta debemos dividir por cuatro. Así la corriente de alimentación de nivel bajo es 5,5 mA como máximo por puerta, y en nivel alto es 2,0 mA como máximo por puerta.

Podemos calcular estas corrientes para la puerta de la Figura 12.2-3 observando que cuando la entrada es alta, la alimentación da la corriente para la base de T_0 y el colector de T_3. Como T_2 está en corte, no habrá corriente de alimentación a través de R_c. La tensión de base para T_0 cuando las entradas son altas es $V_{BC0} + V_{BE3} + V_{BE1} = 2{,}1$ V. Así

$$I_{B0} = \frac{5 - 2{,}1}{4} = 0{,}725 \text{ mA}$$

La corriente de colector de T_3, que está conduciendo, es

$$I_{C3} = \frac{V_{CC} - V_{C3,\,sat} - V_{BE1,\,sat}}{R_1} = \frac{5 - 0{,}2 - 0{,}7}{1{,}6} = 2{,}56 \text{ mA}$$

Luego

$$I_{CCL} = I_{B0} + I_{C3} = 3{,}28 \text{ mA}$$

Esto es favorablemente comparable con el valor típico del fabricante, que es 3,0 mA.

Para los otros estados lógicos la única corriente importante, ya que T_3 y T_1 están en corte, es la corriente de base de T_0. Así

$$I_{CCH} = I_{B3} = \frac{V_{CC} - V_{BE0,\,sat} - V_I}{R_1}$$

Las condiciones establecidas son $V_{CC,\,máx} = 5{,}5$ V y $V_I = 0$ V; así

$$I_{CCH} = \frac{5{,}5 - 0{,}7 - 0}{4} = 1{,}2 \text{ mA}$$

Este valor está entre los valores especificados como típicos y máximos.

Las corrientes de alimentación especificadas en la hoja de datos son únicamente para condiciones estáticas de c.c. Cuando una puerta conmuta de un estado lógico al otro, se

produce un transitorio en la corriente de alimentación. Estas corrientes transitorias sirven para cargar la capacidad interna y la de la de carga. En consecuencia la corriente media de alimentación aumenta con la capacidad de la carga y con el aumento de la frecuencia de conmutación[1].

Tiempos de retardo de propagación. *El tiempo de retardo de propagación* es un parámetro importante de las puertas lógicas. A causa de la velocidad finita de conmutación de los transistores utilizados y de la inevitable capacidad del circuito, hay un retardo desde que es aplicada una señal a la entrada de la puerta hasta que aparece la correspondiente señal en la salida. Esto se representa utilizando formas de onda trapezoidales idealizadas en la Figura 12.2-11 (véase Sec. 9.7). Los tiempos de conmutación especificados en la hoja de datos son el tiempo de retardo de propagación t_{PHL} cuando la salida pasa desde un nivel alto hasta un nivel bajo y t_{PLH} cuando la salida pasa desde un nivel bajo hasta un nivel alto. Los tiempos de retardo se miden desde el punto del 50 por 100 en cada forma de onda, como muestra la figura. Naturalmente, se miden con la puerta cargada por el equivalente de 10 puertas TTL de la serie 54/74, es decir, con la máxima carga en la salida. En la hoja de datos se dan los valores nominales y máximos.

También se define el tiempo de retardo de propagación t_{PD} como promedio del tiempo de retardo de la conmutación a conducción t_{PHL} y el tiempo de retardo de la conmutación a corte t_{PLH}

$$t_{PD} = \frac{t_{PHL} + t_{PLH}}{2}$$

Para las puertas 5400/7400, t_{PD} tendrá un valor nominal de 9 ns y un valor máximo de 18,5 ns.

Inmunidad al ruido. Aunque en las hojas de datos no se dan explícitamente los márgenes permisibles de ruido, éstos constituyen una característica muy importante de una familia de puertas lógicas. Para la serie 54/74 el margen permitido de ruido en nivel bajo [véase (12.2-1)] es

$$NM_L = V_{IL} - V_{OL} = 0{,}8 - 0{,}4 = 0{,}4 \text{ V}$$

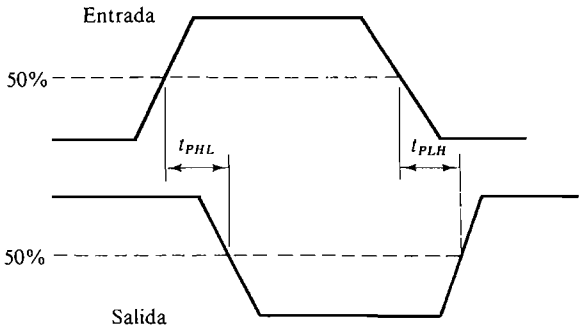
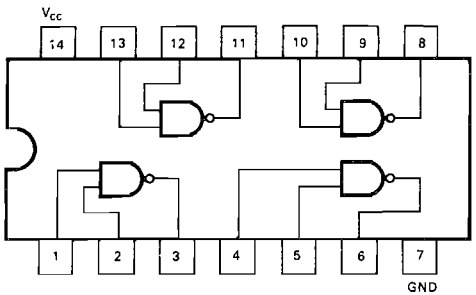


Figura 12.2-11. Formas de onda para la medición de los tiempos de retardo de propagación.

FAIRCHILD SUPER HIGH SPEED TTL/SSI • 9S00 (54S00/74S00)

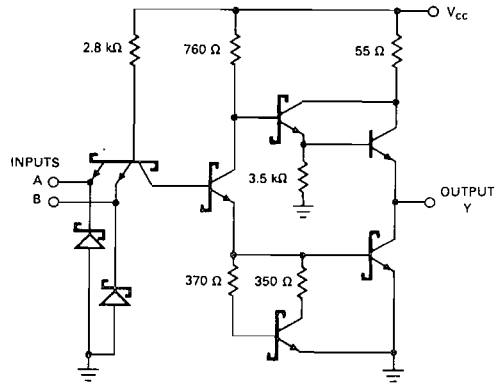
QUAD 2-INPUT NAND GATE

LOGIC AND CONNECTION DIAGRAM
DIP (TOP VIEW)



Positive logic: $Y = \overline{AB}$

SCHEMATIC DIAGRAM
(EACH GATE)



Component values shown are typical

RECOMMENDED OPERATING CONDITIONS

PARAMETER	9S00XM (54S00XM)			9S00XC (74S00XC)			UNITS
	MIN	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage V_{CC}	4.5	5.0	5.5	4.75	5.0	5.25	V
Operating Free-Air Temperature Range	−55	25	125	0	25	75	°C
Input Loading for Each Input			1.25			1.25	U.L.

X = package type; F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

X = package type; F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER		LIMITS MIN.	LIMITS TYP. (Note 2)	LIMITS MAX.	UNITS	TEST CONDITIONS (Note 1)	
V_{IH}	Input HIGH Voltage		2.0			V	Guaranteed Input HIGH Voltage	
V_{IL}	Input LOW Voltage				0.8	V	Guaranteed Input LOW Voltage	
V_{CD}	Input Clamp Diode Voltage			−0.65	−1.2	V	V_{CC} = MIN., I_{IN} = −18 mA	
V_{OH}	Output HIGH Voltage	XM	2.5	3.4		V	V_{CC} = MIN., I_{OH} = −1.0 mA, V_{IN} = 0.8 V	
		XC	2.7	3.4				
V_{OL}	Output LOW Voltage			0.35	0.5	V	V_{CC} = MIN., I_{OL} = 20 mA, V_{IN} = 2.0 V	
I_{IH}	Input HIGH Current			1.0	50	μA	V_{CC} = MAX., V_{IN} = 2.7 V	Each Input
					1.0	mA	V_{CC} = MAX., V_{IN} = 5.5 V	
I_{IL}	Input LOW Current			−1.4	−2.0	mA	V_{CC} = MAX., V_{IN} = 0.5 V	Each Input
I_{OS}	Output Short Circuit Current (Note 3)		−40	−65	−100	mA	V_{CC} = MAX., V_{OUT} = 0 V	
I_{CCH}	Supply Current HIGH			10.8	16.0	mA	V_{CC} = MAX., V_{IN} = 0 V	
I_{CCL}	Supply Current LOW			25.2	36.0	mA	V_{CC} = MAX., Inputs Open	

AC CHARACTERISTICS: T_A = 25°C

SYMBOL	PARAMETER	LIMITS MIN.	LIMITS TYP.	LIMITS MAX.	UNITS	TEST CONDITIONS	TEST FIGURES
t_{PLH}	Turn Off Delay Input to Output	2.0	3.0	4.5	ns	V_{CC} = 5.0 V	A
t_{PHL}	Turn On Delay Input to Output	2.0	3.0	5.0	ns	C_L = 15 pF	

NOTES:
1. For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the applicable device type.
2. Typical limits are at V_{CC} = 5.0 V, 25° C.
3. Not more than one output should be shorted at a time.

Figura 12.2-12. Hoja de características para la familia TTL Schottky. *(Cortesía de Fairchild Semiconductor.)*

El margen permisible de ruido en nivel alto [véase (12.1-2)] es

$$NM_H = V_{OH} - V_{IH} = 2{,}4 - 2{,}0 = 0{,}4 \text{ V}$$

Estos son los márgenes *garantizados* en continua. Sin embargo, estas puertas presentan típicamente márgenes que exceden de 1,0 V. Ocurrirá un cambio de estado cuando la entrada pase por una tensión umbral de aproximadamente 1,35 V. La salida alta es típicamente 3,3 V y la salida baja es 0,2 V. Así, en el estado alto la salida puede tener 1,95 V de ruido en el flanco descendente antes de que sea causa de que la puerta excitada cambie de estado indebidamente. Análogamente pueden ser tolerados 1,15 V de ruido en el flanco positivo o ascendente en el estado bajo.

Características Schottky TTL. La Figura 12.2-12 presenta una hoja de datos de puerta NO-Y TTL Schottky. Obsérvese la similitud entre las características Schottky y la normalizada o estándar de la Figura 12.2-8. Las principales diferencias son $V_{OL} = 0{,}35$ V en lugar de 0,22 V e $I_{OS} = 100$ mA en vez de 55 mA. Además, el retardo de propagación es mucho más reducido, 3 ns en lugar de 9 ns.

Para la puerta Schottky de baja potencia (54LS/74LS) el retardo de propagación es típicamente 10 ns y los requisitos de potencia son menores que la mitad de los de la TTL estándar. Como el coste de estos dos tipos es casi el mismo, la TTL Schottky de baja potencia está reemplazando rápidamente al tipo estándar en los diseños modernos.

La Tabla 12.2-1 resume las características de varias familias TTL mientras que la Figura 12.2-13 muestra la relación velocidad-potencia de dichas familias. El modelo de comparación elegido fue la puerta NAND 7400. Nótese que la serie Schottky AS tiene un tiempo de propagación significativamente menor que la serie Schottky S.

Tabla 12.2-1. Características típicas de las series TTL

7400	TTL	LS	ALS	S	AS	Unidades
Retardo de propagación, t_{pd}	10	9	4	3	1,7	ns
Disipación de potencia, P_D	10	2	1,2	19	8	mW
Velocidad-potencia	100	18	4,8	57	13,6	pJ
Tensión de salida, nivel alto, V_{OH}	2,4	2,7	$V_{CC} - 2$	2,7	$V_{CC} - 2$	V
Tensión de salida, nivel bajo, V_{OL}	0,4	0,5	0,5	0,5	0,5	V
Tensión de entrada, nivel alto, V_{iH}	2	2	2	2	2	V
Tensión de entrada, nivel bajo, V_{iL}	0,8	0,8	0,8	0,8	0,8	V
Corriente de entrada, nivel alto, I_{iH}	40	20	20	50	20	μA
Corriente de entrada, nivel bajo, I_{iL}	−1,6	−0,36	−0,2	−2	−0,5	mA
Corriente de salida, nivel alto, I_{OH}	−400	−400	−400	−1000	−2000	μA
Corriente de salida, nivel bajo, I_{OL}	16	8	8	20	20	mA
Inmunidad al ruido, nivel alto, NM_H	400	700	700	700	700	mV
Inmunidad al ruido, nivel bajo, NM_L	400	300	300	300	300	mV

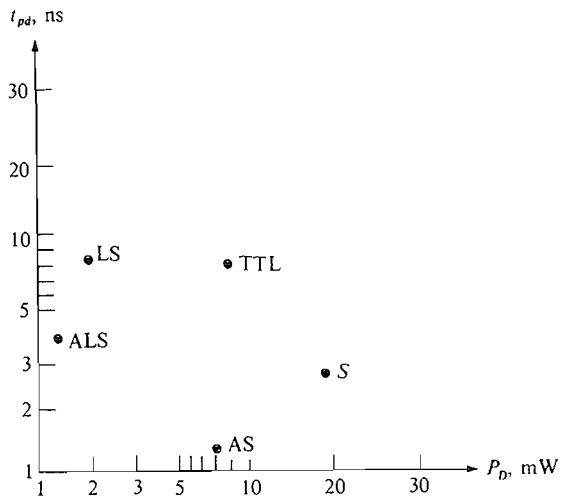


Figura 12.2-13. Relación velocidad-potencia.

12.3. LOGICA DE EMISOR ACOPLADO (ECL)

El funcionamiento de la lógica TTL depende de los transistores excitados en o hacia la saturación. Además eran necesarias excursiones de tensión relativamente grandes a fin de que la conmutación de estados sea fiable. Esto dio por resultado una operación fiable, baja disipación de potencia y buena inmunidad al ruido, pero el trabajo en y fuera de la saturación y la conmutación de grandes tensiones aumenta el tiempo de retardo de propagación considerablemente. A fin de disminuirlo se introdujo una familia lógica no saturable, que es la *lógica de emisor acoplado* (ECL). Esta familia tiene un margen de tensión de conmutación de $V_{OH} - V_{OL} = 0{,}8$ V en vez de los 3 V que necesita la lógica TTL, pero disipa más potencia que ésta.

La puerta básica. El componente básico de la puerta ECL es el *circuito comparador de tensión* representado en la Figura 12.3-1, llamado también *conmutador de corriente* o *amplificador diferencial*. El funcionamiento es como sigue. La señal de entrada es aplicada a la base de T_1 y a la base de T_2 se aplica una señal constante de referencia. La corriente I_E es suministrada por una fuente de corriente constante. Consideremos, por comodidad, que la tensión de referencia es 0 V y la señal de entrada puede ser $+0{,}4$ V o bien $-0{,}4$ V, correspondientes a los niveles lógicos alto o bajo. Cuando V_I es $-0{,}4$ V, el transistor T_1 estará en corte. Entonces la corriente I_E circulará a través de T_2, la tensión en los emisores será $-0{,}7$ V y la tensión en la unión base-emisor de T_1 será

$$V_{BE1} = V_1 - V_E = -0{,}4 - (-0{,}7) = +0{,}3 \text{ V} \qquad (12.3\text{-}1)$$

Así T_1 está en corte y su tensión de colector será V_{CC}. Puesto que T_1 está en corte, en este punto la corriente total I_E circula a través de T_2. Así la tensión de colector de T_2 será, suponiendo $\beta \gg 1$,

$$V_{O2} \approx V_{CC} - I_E R_{c2} \qquad (12.3\text{-}2)$$

Eligiendo adecuadamente V_{CC} y R_{c2} aseguraremos que T_2 no esté en saturación.

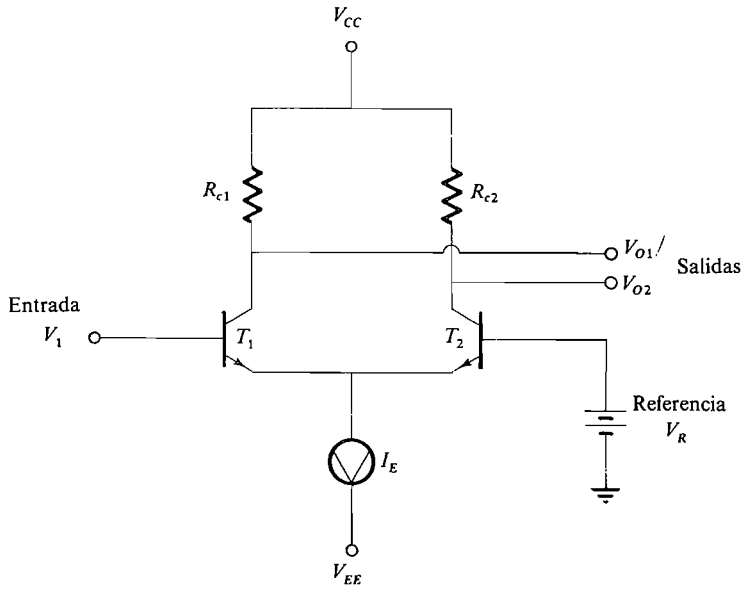


Figura 12.3-1. Componentes básicos de una puerta ECL.

Ahora cuando V_I pase a $+0{,}4$ V, T_1 pasa a conducción, la tensión de emisor cambia a $-0{,}3$ V y

$$V_{BE2} = V_R - V_{E2} = 0 - (-0{,}3) = +0{,}3 \text{ V}$$

Así, T_2 está en corte y la corriente total I_E debe circular a través de T_1. La tensión de colector de T_2 será V_{CC} y la tensión de colector de T_1 será $V_{CC} - I_E R_{c1}$. Nuevamente, eligiendo adecuadamente V_{CC} y R_{c1} podemos asegurar que T_1 estará en conducción, pero no entrará en saturación.

Resumiendo lo dicho vemos que cuando la tensión de entrada cambia de alta a baja, la corriente I_E lo hace de T_1 a T_2. Esta conmutación se realiza rápidamente y en el proceso no se saturan los transistores. A causa de esta conmutación de corriente, a ECL se le suele denominar también *lógica de modo de corriente* (CML).

Si las dos resistencias de colector son iguales, las tensiones en los dos colectores tendrán las mismas amplitudes pero serán *complementarias;* es decir, cuando una es alta, la otra es baja. La salida en el colector de T_2 seguirá a la tensión de entrada, por lo que también se le denomina *salida en fase*, mientras que en el colector de T_1 la tensión es opuesta a la tensión se entrada y se le denomina *salida desfasada.*

12.3-1. Una puerta ECL comercial. La MECL 10 000 de Motorola Semiconductor

En la práctica, el transistor de entrada T_1 de la Figura 12.3-1 se sustituye por varios transistores en paralelo, como muestra la Figura 12.3-2, a fin de permitir entradas múltiples

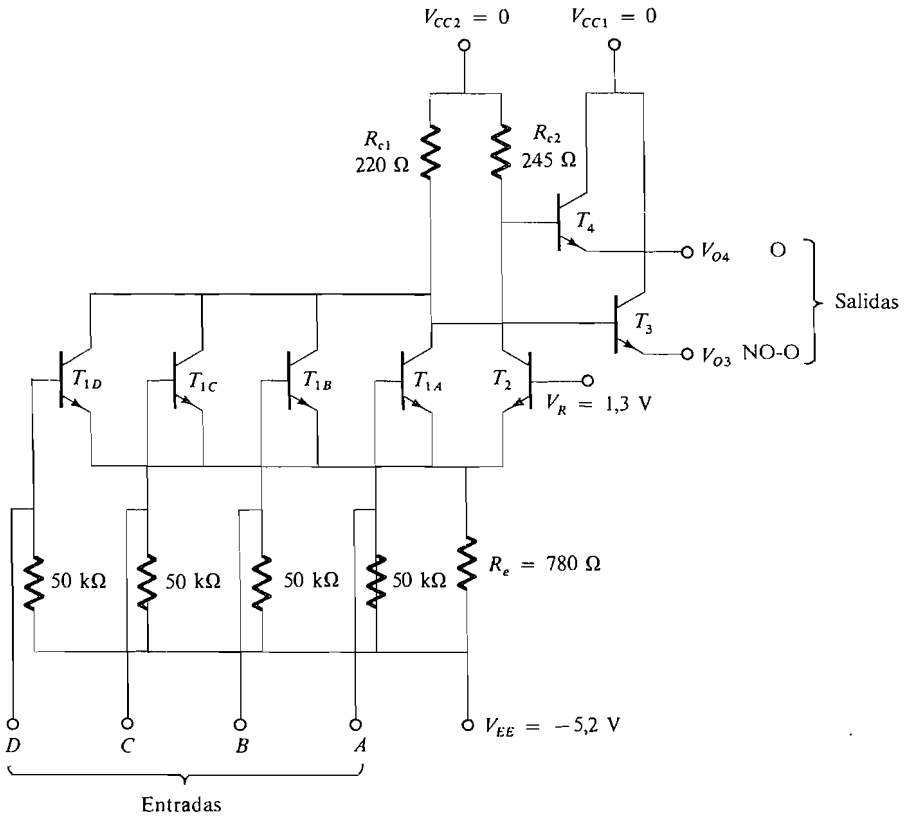


Figura 12.3-2. Puerta MECL 10 000 de Motorola Semiconductor.

y la fuente de corriente I_E se sustituye por una resistencia R_e conectada a una tensión negativa grande, $V_{EE} = -5{,}2$ V. Los transistores T_3 y T_4 son seguidores de emisor que proporcionan una variación de nivel y una baja impedancia de salida para excitar las líneas de transmisión. No se utilizan las resistencias internas del emisor a causa de que las líneas de transmisión que excitan este circuito, según el diseño, son la carga necesaria y una resistencia interna disiparía potencia inútilmente. Las resistencias de entrada de 50 kΩ sirven para absorber la corriente de fugas del transistor de entrada.

La tensión de referencia la da un excitador de polarización interno compensado en temperatura y en tensión que no está dibujado en el esquema (véase Sec. 12.3-3). El excitador de polarización ajusta la referencia V_R en el punto medio de la excursión lógica independientemente de la temperatura. Con la fuente V_{EE} ajustada en $-5{,}2$ V, la tensión de referencia conmuta aproximadamente a $-1{,}3$ V, como se indica. Usar tensión negativa en V_{EE}, con V_{CC1} y V_{CC2} al potencial de masa, reduce los efectos de las tensiones de ruido que pueden estar acopladas en las conexiones de la fuente de alimentación. Este aspecto se estudiará en la Sección 12.3-5.

De la misma manera que en las otras familias lógicas, las puertas ECL se presentan en el mercado en varios tipos que difieren en cuanto a velocidad y disipación de potencia. Las

unidades con valores más grandes de resistencia disipan menos potencia y funcionan a menores velocidades. Las unidades de mayor velocidad tienen menores valores de resistencia y disipan más potencia.

La puerta representada en la Figura 12.3-2 es una unidad MECL 10 000 que se caracteriza por los tiempos de retardo de propagación comprendidos entre 1,5 y 2 ns. Como se puede observar en el esquema del circuito, están accesibles las salidas O y NO-O de los seguidores de emisor. Esto se puede ver considerando que la entrada A, por ejemplo, tiene una tensión de nivel alto. Entonces T_{1A} está en conducción y T_2 estará en corte. Como el colector de T_2 está a tensión alta, habrá un nivel alto en la base y en el emisor de T_4. Lo mismo sucede si hay una señal de nivel alto en cualquiera de las entradas B, C o D. La expresión lógica es, pues,

$$V_{O4} = A + B + C + D \tag{12.3-3}$$

Cuando A *o* B *o* C *o* D son altas, de modo que el colector de T_2 está a nivel alto, el colector de T_1 estará a nivel bajo, por lo que la base y el emisor de T_3 están a nivel bajo, conduciendo a

$$V_{O3} = \overline{A + B + C + D} \tag{12.3-4}$$

Cuando todas las entradas cambian a nivel bajo, T_1 estará en corte y T_2 conducirá. Ahora habrá un nivel bajo en el emisor de T_4 y un nivel alto en el emisor de T_3, tal como se requiere. Esta puerta se denominará puerta O/NO-O de cuatro entradas.

12.3-2. Cálculo de los niveles de corriente y de tensión

En esta sección calcularemos algunos niveles de tensión y estudiaremos la característica de transferencia. Para determinar los niveles lógicos de salida observemos que cuando las tensiones de entrada están en **0** lógico, el transistor T_1 está en corte y T_2 está en conducción. La tensión en el punto común de emisor es

$$V_E = V_R + V_{BE2} \tag{12.3-5}$$

Para los transistores utilizados en lógica ECL es razonable utilizar el valor $V_{BE} = 0{,}8$ V en la región activa. Así

$$V_E = -1{,}3 - 0{,}8 = -2{,}1 \text{ V}$$

La corriente de emisor de T_2 es

$$I_{E2} = \frac{V_E - V_{EE}}{R_e} = \frac{-2{,}1 + 5{,}2}{0{,}78} \approx +4 \text{ mA} \tag{12.3-6}$$

Ahora, prescindiendo de la pequeña corriente de base en T_4, hallamos la tensión de colector

$$V_{C2} \approx V_{CC} - I_{E2}R_{c2} = 0 - (4)(0{,}245) \approx -1 \text{ V} \tag{12.3-7}$$

La salida O es, pues,

$$V_{OL} = V_{O4} = V_{C2} - V_{BE4} = -1 - 0{,}8 = -1{,}8 \text{ V} \tag{12.3-8}$$

Si se desprecia la corriente de base de T_3, la base de T_3 estará en 0 V, por lo que la salida NO-O es

$$V_{OH} = V_{O3} = -0{,}8 \text{ V} \tag{12.3-9}$$

Si ahora cambian una o más de las tensiones de entrada al nivel lógico **1** ($V_I = -0{,}8$ V), T_2 se bloqueará y T_1 conducirá. La tensión de emisor será [véase Ec. (12.3-5)]

$$V_E = V_I + V_{EB1} = -0{,}8 - 0{,}8 = -1{,}6 \text{ V} \tag{12.3-10}$$

La corriente de emisor será

$$I_{E1} = \frac{V_E - V_{EE}}{R_e} = \frac{-1{,}6 + 5{,}2}{0{,}78} \approx 4{,}6 \text{ mA} \tag{12.3-11}$$

y

$$V_{C1} \approx V_{CC} - I_{E1}R_{c1} = 0 - (4{,}6)(0{,}220) \approx -1{,}0 \text{ V} \tag{12.3-12}$$

La salida NO-O de T_3 será

$$V_{OL} = V_{O3} = V_{C1} - V_{BE3} = -1{,}0 - 0{,}8 = -1{,}8 \text{ V} \tag{12.3-13}$$

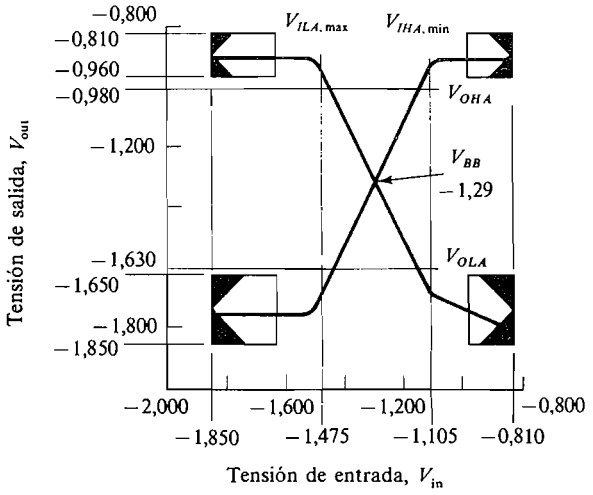
Como $V_{C2} = 0$ V, la salida O de T_4 será

$$V_{OH} = -0{,}8 \text{ V} \tag{12.3-14}$$

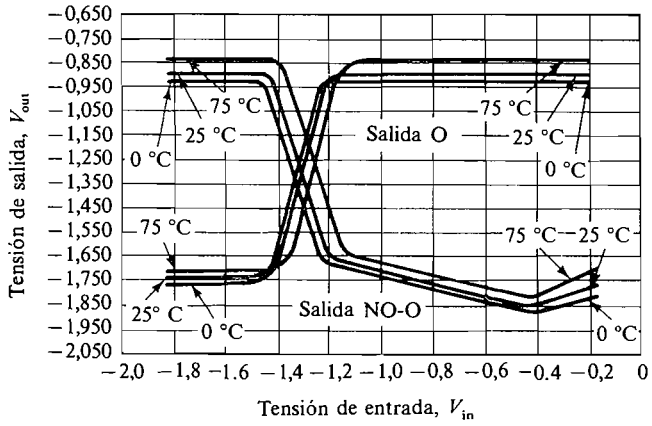
Estos cálculos están resumidos en las características de transferencia representadas en la Figura 12.3-3*a*. Las tensiones de salida para el nivel alto correspondientes a ambas puertas O y NO-O están comprendidas entre $-0{,}81$ y $-0{,}96$ V en vez de ser los $-0{,}8$ V que predice la Ecuación (12.3-9). La causa de la diferencia es la caída de tensión en R_{c1} o R_{c2} cuando T_1 o T_2, respectivamente, están en corte.

Por las características se ve que la excursión lógica es completamente simétrica alrededor de la tensión de referencia $V_R = -1{,}3$ V.

El lector podría suponer que las características de transferencia para O y NO-O deberían ser *imágenes especulares* a causa de la simetría del circuito. Esto es así excepto en la región en que la salida NO-O es baja (Fig. 12.3-3*b*). La razón de que exista esta



(*a*)



(*b*)

Figura 12.3-3. Características MECL 10 000: (*a*) margen normal de funcionamiento (25 °C); (*b*) características de transferencia ($V_{EE} = -5{,}2$ V) *(Cortesía de Motorola, Inc.)*.

diferencia entre las características es que, cuando el flanco de entrada, por ejemplo V_A, es ascendente, la corriente de colector de T_{1A} continúa aumentando hasta que se alcanza la saturación en el instante en que la tensión de entrada es aproximadamente −0,4 V. Para tensiones de entrada más positivas, la unión base-colector de T_1 está polarizada en sentido directo y, por tanto, la tensión de colector de T_{1A} y la tensión de salida de T_{O3} aumentan cuando aumenta la tensión de entrada. Este efecto ocurre fuera de la región normal de funcionamiento, como se puede ver comparando las Figuras 12.3-3*a* y *b*. La salida O de nivel alto depende de la tensión de colector de T_2, la cual es independiente de la tensión de entrada excepto en la región de transición en que ambos transistores están conduciendo.

12.3-3. Circuito de la tensión de referencia

El circuito que suministra la tensión de referencia V_R está en la misma pastilla o chip que el comparador (T_1 y T_2) y los seguidores de emisor (T_3 y T_4). La Figura 12.3-4 muestra el esquema. Los diodos y la unión base-emisor de T_5 dan la compensación de temperatura mediante el mantenimiento de un nivel V_R en el punto medio de la región de transición a pesar de los cambios de temperatura.

Si suponemos que las tensiones del diodo y la tensión base-emisor de T_5 son 0,8 V, la tensión de base de T_5 es

$$V_{B5} = \frac{800}{5800}(5{,}2 - 1{,}6) \approx -0{,}5 \text{ V} \tag{12.3-15}$$

Luego

$$V_R = V_{B5} - V_{BE5} = -0{,}5 - 0{,}8 = -1{,}3 \text{ V} \tag{12.3-16}$$

Variación con la temperatura. La Figura 12.3-4*b* muestra el circuito O ECL con una única entrada V_A. También se muestran explícitamente las variaciones de la tensión base-emisor ΔV_{BE} debidas a cambios de temperatura. Así $\Delta V = k\,\Delta T$, con $k \approx 2$ mV/°C. Hemos visto ya que cuando $\Delta V = 0$, $V_O(H) = -0{,}8$ V y $V_O(L) = -1{,}8$ V y $V_R = -1{,}3$ V,

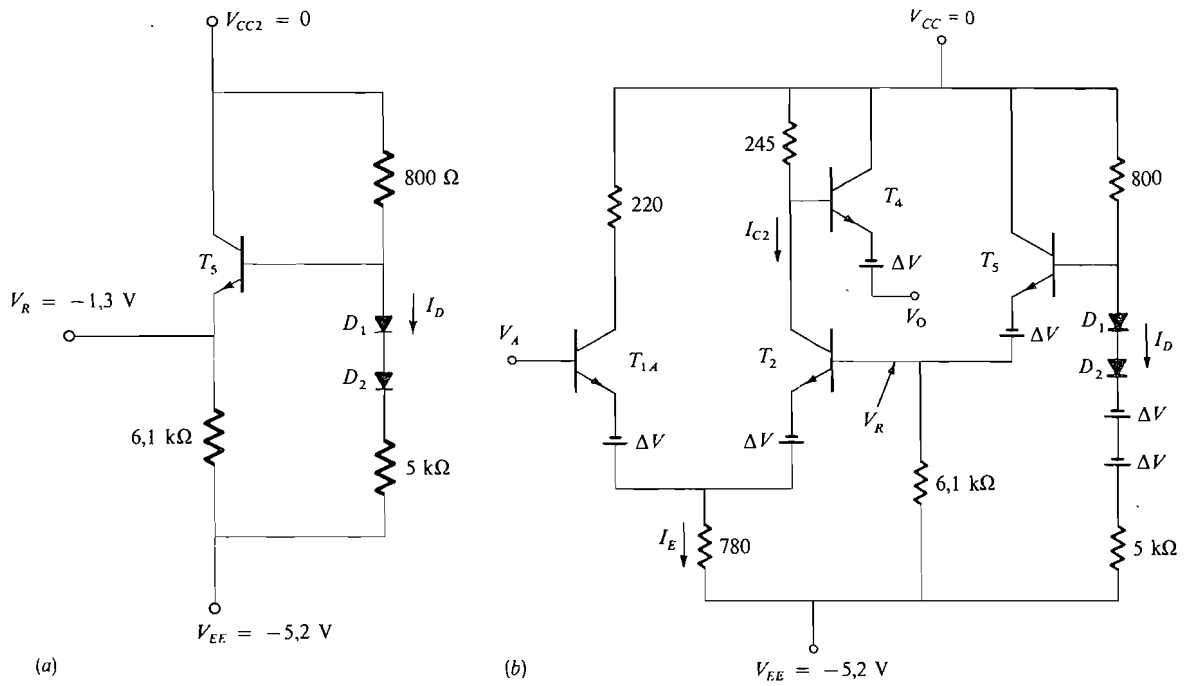


Figura 12.3-4. Fuente de tensión de referencia; (*a*) circuito ECL con alimentación de referencia mostrando el efecto de la variación de temperatura en V_O.

que es la media entre las tensiones para los niveles alto y bajo. Así, si una puerta ECL gobierna a otra, la conmutación ocurre en la mitad de la característica, maximizando el nivel de inmunidad al ruido.

Hay que destacar el hecho de que las puertas ECL trabajen linealmente con lo que se puede aplicar superposición. Así, para conocer $V_O(H)$, $V_O(L)$ y V_R para una variación de temperatura ΔT que causa $V_{BE} = 0{,}8 - \Delta V$, sólo es necesario saber el cambio producido por la temperatura sobre V_O y V_R, esto es, $\Delta V_O(H)$, $\Delta V_O(L)$ y ΔV_R.

Para empezar hay que señalar que ΔI_D es

$$\Delta I_D = \frac{2\,\Delta V}{5800} \tag{12.3-17}$$

Así pues,

$$\Delta V_{B5} = -\frac{1600\,\Delta V}{5800} \tag{12.3-18}$$

Entonces

$$\Delta V_R = \Delta V - \frac{16}{58}\quad \Delta V = \frac{42}{58}\quad \Delta V = 0{,}72\,\Delta V \tag{12.3-19}$$

Cuando V_A está en estado alto, T_2 está cortado y

$$\Delta V_O(H) = \Delta V \tag{12.3-20}$$

Cuando V_A se halla en estado bajo, T_2 conduce y T_{1A} está cortado. La corriente de emisor ΔI_E es entonces

$$\Delta I_E = \frac{\Delta V + \Delta V_R}{780} \tag{12.3-21}$$

Ya que T_{1A} está cortado, toda la corriente ΔI_E circula por T_2. Despreciando la corriente de base $\Delta I_{C2} = \Delta I_E$ y

$$\Delta V_{B4} = -245\,\Delta I_E = -\frac{245}{780}(\Delta V + \Delta V_R) \tag{12.3-22}$$

Así

$$\Delta V_O(L) = \Delta V + \Delta V_{B4} = \Delta V - \frac{245}{780}(\Delta V + \Delta V_R) \tag{12.3-23}$$

Combinando las Ecuaciones (12.3-19) y 12.3-23) se obtiene:

$$\Delta V_O(L) = 0{,}46\,\Delta V \tag{12.3-24}$$

Así, en la práctica, ΔV_R es la media de $\Delta V_O(H)$ y $\Delta V_O(L)$

$$\Delta V_R \approx \frac{\Delta V_O(H) + \Delta V_O(L)}{2} \tag{12.3-25}$$

maximizando el nivel de inmunidad al ruido en ECL bajo cualquier variación de la temperatura.

12.3-4. Conexión O cableada (wired-OR)

En la Sección 12.2 hemos visto que las salidas de varias puertas TTL podían ser conectadas entre sí directamente para dar una función lógica adicional, la correspondiente a la operación Y cableada. Lo mismo se puede hacer con las puertas ECL para dar otra función adicional O (véase Prob. 12.3-2). La versatilidad adicional se consigue cuando estén disponibles las dos salidas O y NO-O. El diagrama lógico de una puerta O/NO-O triple de dos y tres entradas, MC10105 de Motorola Semiconductor, está representado en la Figura 12.3-5*a*. Por el esquema de circuito de la puerta típica serie 10 000 vemos que las salidas son emisores abiertos. Para aprovechar la ventaja de la función lógica adicional sólo es necesario conectar los terminales de salida correspondientes a la línea de transmisión o a la resistencia de carga respectivas. En el ejemplo en que se utiliza la puerta MC10105 representada en la Figura 12.3-5*b* se obtienen varias operaciones O adicionales sin hacer uso de más puertas.

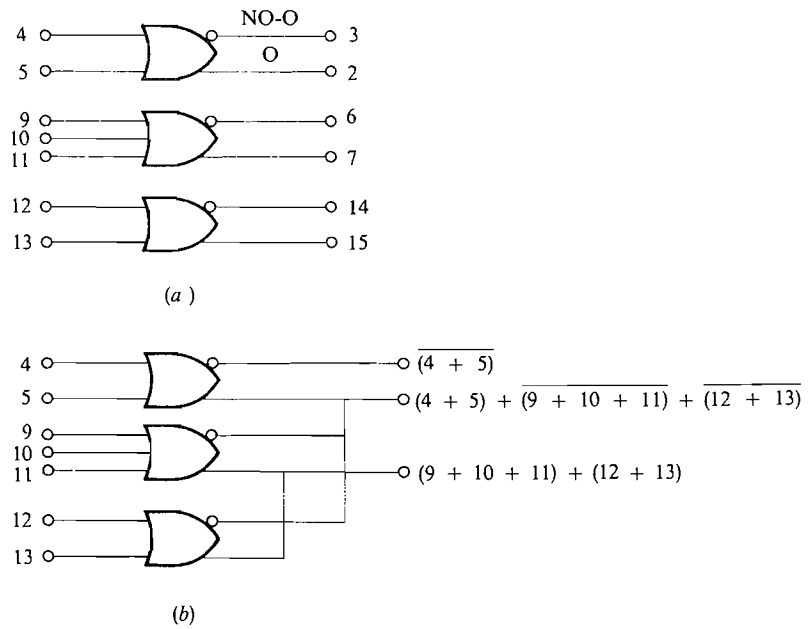


Figura 12.3-5. Puertas ECL: (*a*) puerta O/NO-O MC10105 (los números hacen referencia a las patillas de zócalo del CI); (*b*) ejemplo de O/NO-O cableada.

12.3-5. Reducción del ruido de la fuente de alimentación

El lector observará que la puerta ECL utiliza una tensión negativa de alimentación a diferencia de las TTL y CMOS (Sec. 12.4), que utilizan tensiones positivas de alimentación. La ventaja de este esquema es propio de la ECL y se puede apreciar cualitativamente haciendo referencia a la Figura 12.3-6*a*. Aquí hemos incluido las fuentes de tensión V_{n1} y V_{n2}, que representan el efecto de las tensiones de ruido o cambios transitorios en las líneas de las fuentes de alimentación. Suponiendo que la puerta es de la serie 10 000, se utiliza la tensión de alimentación $-5{,}2$ V para la conmutación de corriente del amplificador diferencial consistente en T_1 y T_2. Consideremos que se utiliza una fuente positiva y que T_2 está en corte. Entonces cualquier ruido de la fuente es transmitido a través de R_{c2} a la base de T_4 y a la salida a través del seguidor de emisor. Cuando se utiliza una fuente negativa con T_2 en conducción y T_1 en corte, T_2 actúa como amplificador de base a masa y la tensión de ruido presente en el emisor de T_2 es considerablemente atenuada (véase Prob. 12.3-6). Cuando T_2 está en corte, el ruido no se transmite a T_4.

Cuando la puerta ECL gobierna una línea de transmisión es habitual añadir una fuente de tensión negativa de 2 V, como se puede ver en la Figura 12.3-6*a*. Esta tensión de -2 V que alimenta los circuitos de gobierno de la línea de transmisión que sigue al emisor pueden captar ruido. El circuito equivalente aproximado para el ruido, según se ve desde los terminales del generador de ruido V_{n2}, se muestra en la Figura 12.3-6*b*. En este circuito se puede ver que para valores típicos de h_{ib4} (entre 1 y 5 Ω) la tensión de ruido estará atenuada por un factor de 10 o más, dependiendo de la corriente de emisor.

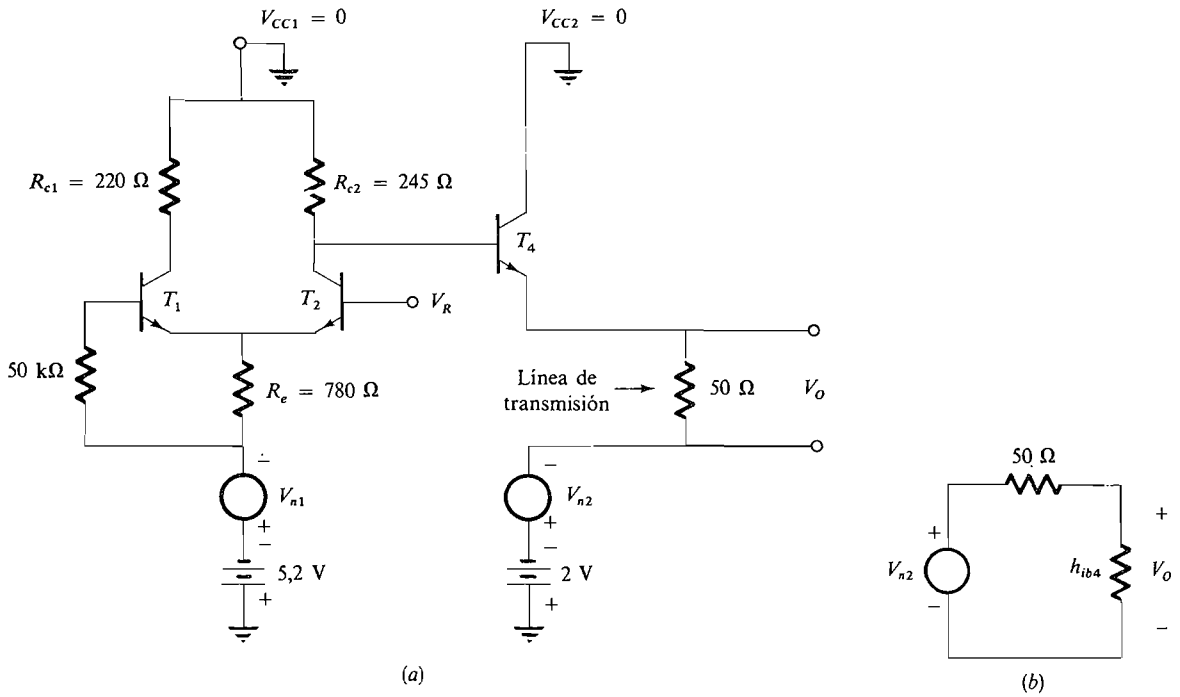


Figura 12.3-6. Consideraciones del ruido de la fuente de alimentación: (*a*) circuito incluyendo las fuentes de ruido; (*b*) circuito equivalente.

12.3-6. Interconexión de puertas utilizando líneas de transmisión

El diseño y la construcción de circuitos ECL de alta velocidad implica varias consideraciones que difieren de las necesarias para el diseño y construcción de los circuitos TTL: 1) retardos de tiempo a través de los hilos que conectan dos o más puertos que ahora son importantes y 2) las formas de onda se distorsionan a consecuencia de reflexiones en los hilos que no han sido correctamente terminados. Por ejemplo, un retardo de propagación de 2 ns, que es el retardo de propagación de una puerta ECL 10 000, es equivalente a una longitud de 1 pie (30 cm) de hilo de interconexión.

Cuando se utiliza la puerta ECL 10 000 se pueden emplear hilos de conexión de hasta 8 pulgadas (20 cm) de longitud sin sobreimpulsos apreciables, pero si se utiliza la ECL III, sólo se puede emplear un hilo de interconexión de 1 pulgada (2,5 cm). Incluso en estos casos se debe utilizar una resistencia *de caída* porque los emisores de salida de T_3 y T_4 no están correctamente terminados. En la Figura 12.3-7 están representadas las dos conexiones[2] posibles de la resistencia de terminación. Cuando son necesarias mayores longitudes se deben emplear líneas[3] de transmisión. La Figura 12.3-8 muestra la interconexión de puertas utilizando una línea de transmisión de 50 Ω. En la Figura 12.3-8*a* la resistencia de terminación de 50 Ω está conectada directamente a -2 V, mientras en la Figura 12.3-8*b* se utiliza alimentación normal de $-5{,}2$ V con dos resistencias de atenuación, R_1 y R_2, donde $R_1 \| R_2 = 50\ \Omega$. (Obsérvese que la tensión efectiva de alimentación es -2 V.)

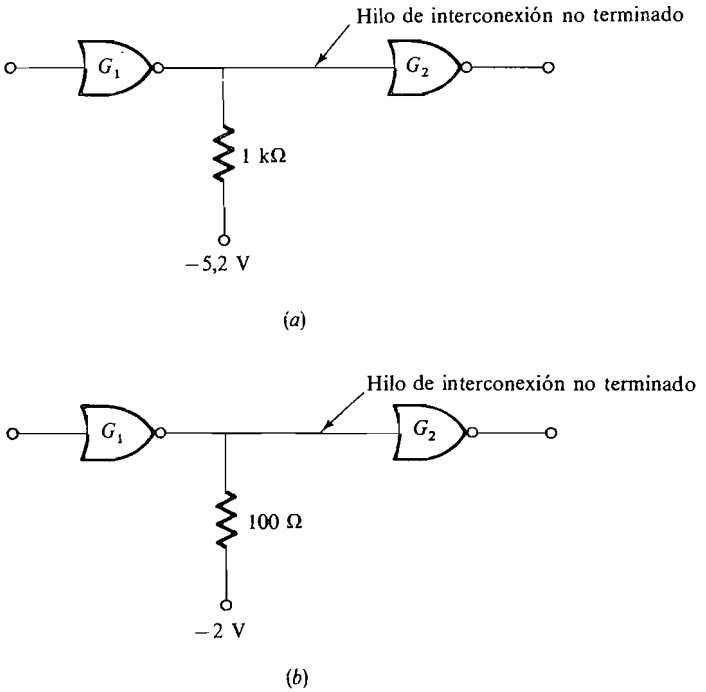


Figura 12.3-7. Terminaciones cuando se utiliza hilo de conexión ordinario: (*a*) tensión de $-5{,}2$ V; (*b*) tensión de -2 V.

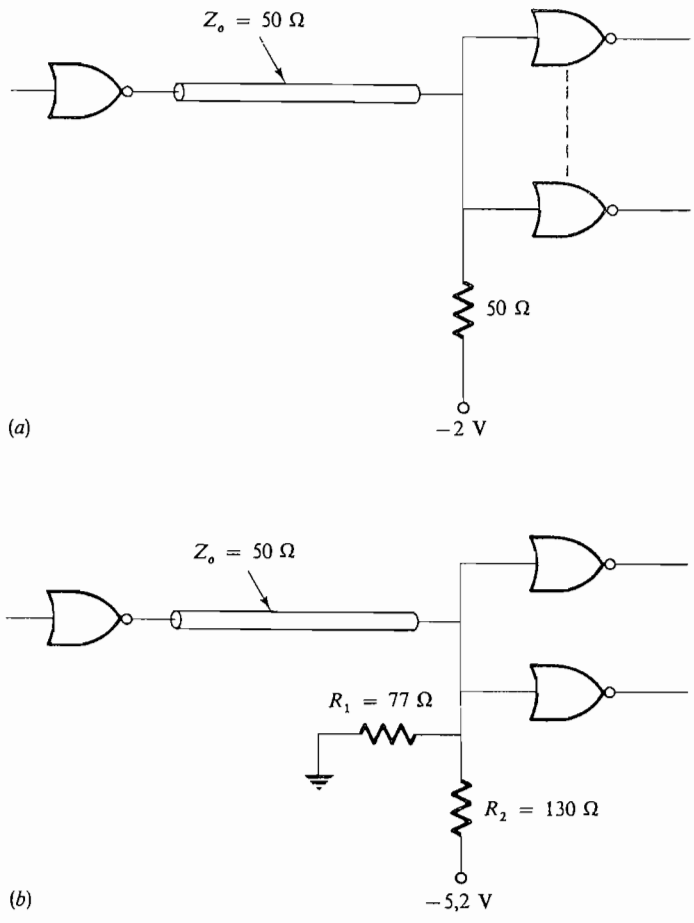


Figura 12.3-8. Interconexiones de la línea de transmisión: (*a*) tensión de −2 V; (*b*) tensión de −5,2 V.

Cuando se conectan puertas ECL que están en diferentes placas de circuito o que están situadas a distancias extremadamente largas de tal manera que no exista conexión común de masa en alta frecuencia, puede ser necesario utilizar un receptor ECL o una combinación excitador-receptor tal como muestra la Figura 12.3-9*a*. El excitador es una puerta O/NO-O de alta corriente que excita a dos cables coaxiales de 50 Ω, cada uno de los cuales está terminado en su impedancia característica. El receptor es un amplificador diferencial con una ganancia en modo diferencial $A_d = 7$ y una ganancia en modo común $A_a = 0{,}16$. Así, la RRMC del receptor es

$$\text{RRMC} = \frac{A_d}{A_a} = \frac{7}{0{,}16} \approx 4 = 33 \text{ dB}$$

La Figura 12.3-9*b* explica el funcionamiento del circuito cuando no se emplea un receptor. Como la tensión en la conexión de «masa» de la puerta G_1 no es la misma que la tensión

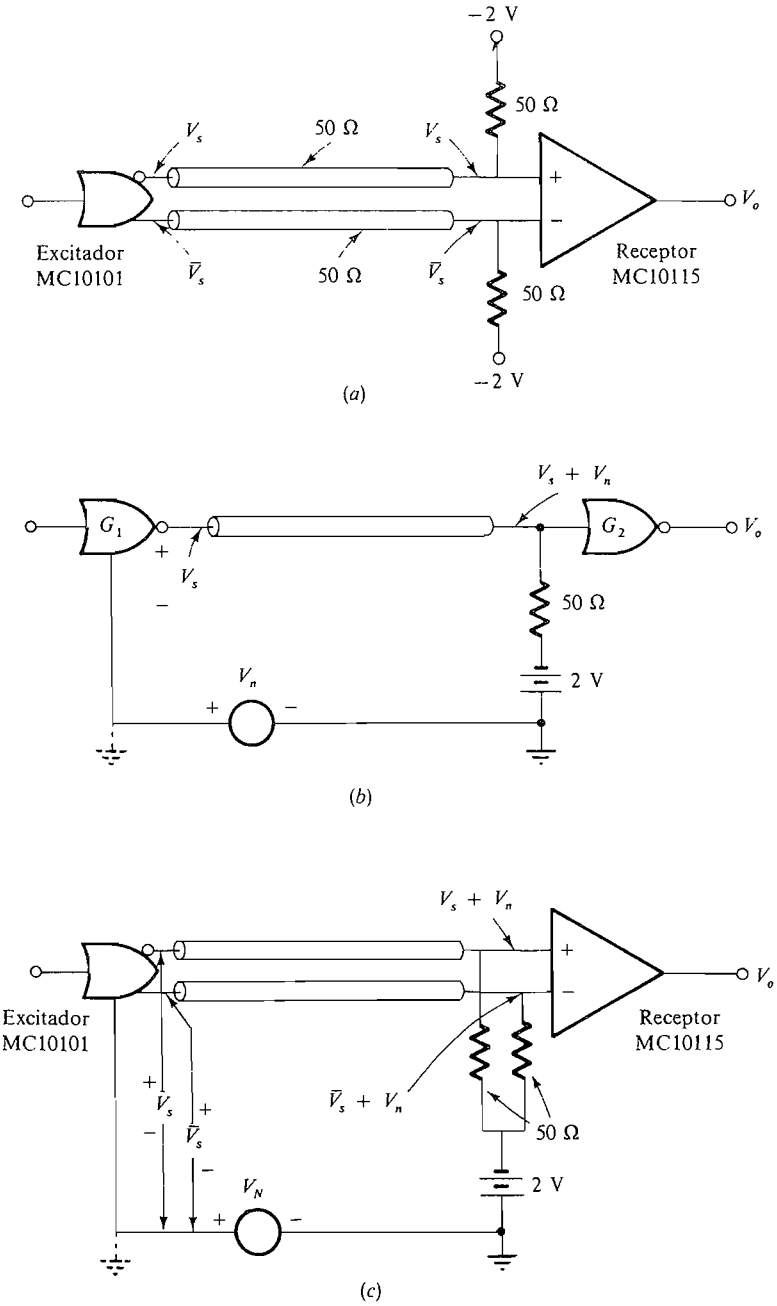


Figura 12.3-9. Técnicas para reducir los efectos de la separación física en circuitos ECL: (*a*) combinación excitador-receptor; (*b*) fuente de ruido efectiva entre masas; (*c*) circuito que muestra el efecto del ruido cuando se usa combinación excitador-receptor.

en la conexión de «masa» de G_2*, puede haber una tensión de ruido V_n entre ellas, como muestra la figura. Entonces la señal recibida por la puerta G_2 es $V_s + V_n$. Suele ocurrir que V_n sea mucho mayor que V_s y a consecuencia de las variaciones de V_n la salida de G_2 cambiará de estado.

La Figura 12.3-9*c* muestra cómo se solventa el problema utilizando un receptor con amplificador diferencial. Si suponemos de momento que la ganancia en modo común $A_a = 0$, entonces

$$V_O = A_d[(V_s + V_n) - (\bar{V}_s + V_n)] = A_d(V_s - \bar{V}_s)$$

y la tensión de ruido queda eliminada. En este circuito el receptor contiene un desplazador de nivel que asegura que V_O es 0,8 ó $-1{,}8$ V, dependiendo de que V_s sea $-0{,}8$ ó $-1{,}8$ V, respectivamente.

En la práctica, no obstante, hay una ganancia en modo común y $A_a \neq 0$. Entonces [según la Ec. (7.8-9)],

$$V_O = A_d[(V_s + V_n) - (\bar{V}_s + V_n)] + A_a\left[\frac{(V_s + V_n) + (\bar{V}_s + V_n)}{2}\right]$$

$$= A_d(V_s - \bar{V}_s) + \mathrm{A}_a\left[V_n + \frac{(V_s + \bar{V}_s)}{2}\right] = A_d(V_s - \bar{V}_s)\left[1 + \frac{V_n + (V_s + \bar{V}_s)/2}{(V_s - \bar{V}_s)\mathrm{RRMC}}\right]$$

Para el receptor 10115 la RRMC = 44, y si $V_n/(V_s - \bar{V}_s) \ll 44$, la puerta cambiará de estado únicamente cuando también V_s cambie de estado.

12.3-7. Especificaciones del fabricante

La hoja de datos de la puerta NO-O cuádruple de dos entradas Motorola Semiconductor MC10102 está en la Figura 12.3-10. A causa de que está encapsulada en 16 patillas sólo hay disponible una salida O en la patilla 9. Todas las salidas de la MECL 10 000 están sin terminar, por lo que deben utilizarse resistencias externas de caída. En esta sección explicaremos algunas de las especificaciones de la hoja de datos.

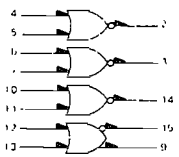
Corriente absorbida de la fuente de alimentación. La MC10102 comprende cuatro puertas NO-O con etapas de salida de seguidor de emisor, como muestra la Figura 12.3-2 y una fuente de tensión de referencia, como la representada en la Figura 12.3-4. La corriente absorbida de la fuente de alimentación I_E, especificada en la hoja de datos, se refiere a la corriente que suministra la fuente V_{EE}. Ambos terminales V_{CC1} y V_{CC2} están conectados a masa utilizando hilos de la menor longitud posible.

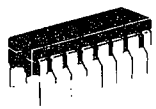
Para calcular la corriente media absorbida I_E necesitamos conocer la corriente de la fuente cuando las entradas están en el estado alto y también cuando están en el estado

* Aunque los dos puntos pueden estar conectados por un hilo, la inductancia del hilo presenta una alta impedancia en frecuencias de 0,1 a 4 GHz que son usuales con ECL.

ELECTRICAL CHARACTERISTICS

Each MECL 10,000 series has been designed to meet the dc specifications shown in the test table, after thermal equilibrium has been established. The circuit is in a test socket or mounted on a printed circuit board and transverse air flow greater than 500 linear fpm is maintained. Outputs are terminated through a 50-ohm resistor to -2.0 volts. Test procedures are shown for only one gate. The other gates are tested in the same manner.





L SUFFIX
CERAMIC PACKAGE
CASE 620

@ Test Temperature	TEST VOLTAGE VALUES (Volts) $V_{IH\ max}$	$V_{IL\ min}$	$V_{IHA\ min}$	$V_{ILA\ max}$	V_{EE}
-30°C	-0.890	-1.890	-1.205	-1.500	-5.2
+25°C	-0.810	-1.850	-1.105	-1.475	-5.2
+85°C	-0.700	-1.825	-1.035	-1.440	-5.2

Characteristic	Symbol	Pin Under Test	MC10102L Test Limits -30°C Min	-30°C Max	+25°C Min	+25°C Typ	+25°C Max	+85°C Min	+85°C Max	Unit	TEST VOLTAGE APPLIED TO PINS LISTED BELOW: $V_{IH\ max}$	$V_{IL\ min}$	$V_{IHA\ min}$	$V_{ILA\ max}$	V_{EE}	(V_{CC}) Gnd
Power Supply Drain Current	I_E	8				20	26			mAdc					8	1,16
Input Current	I_{inH}	12					265			µAdc	12				8	1,16
	I_{inL}	12			0.5					µAdc		12			8	1,16
Logic "1" Output Voltage	V_{OH}	9	-1.060	-0.890	-0.960		-0.810	-0.890	-0.700	Vdc	12				8	1,16
		9	-1.060	-0.890	-0.960		-0.810	-0.890	-0.700		13					
		15	-1.060	-0.890	-0.960		-0.810	-0.890	-0.700			-				
		15	-1.060	-0.890	-0.960		-0.810	-0.890	-0.700			-				
Logic "0" Output Voltage	V_{OL}	9	-1.890	-1.675	-1.850		-1.650	-1.825	-1.615	Vdc		-			8	1,16
		9	-1.890	-1.675	-1.850		-1.650	-1.825	-1.615			-				
		15	-1.890	-1.675	-1.850		-1.650	-1.825	-1.615		12					
		15	-1.890	-1.675	-1.850		-1.550	-1.825	-1.615		13					
Logic "1" Threshold Voltage	V_{OHA}	9	-1.080		-0.980			-0.910		Vdc			12		8	1,16
		9	-1.080		-0.980			-0.910					13			
		15	-1.080		-0.980			-0.910						12		
		15	-1.080		-0.980			-0.910						13		
Logic "0" Threshold Voltage	V_{OLA}	9		-1.655			-1.630		-1.595	Vdc				12	8	1,16
		5		-1.655			-1.630		-1.595					13		
		15		-1.655			-1.630		-1.595				12			
		15		-1.655			-1.630		-1.595				13			
Switching Times (50-ohm load):													Pulse In	Pulse Out	-3.2 V	+2.0 V
Propagation Delay	t_{12-15-}	15	1.0	3.1	1.0	2.0	2.9	1.0	3.3	ns		-	12	15	8	1,16
	t_{12-15+}	15												15		
	t_{12+9-}	9												9		
	t_{12-9+}	9												9		
Rise Time	t_{15+}	15	1.1	3.6	1.1		3.3	1.1	3.7		-			15		
(20 to 80%)	t_{9+}	9												9		
Fall Time	t_{15-}	15									-	-		15		
(20 to 80%)	t_{9-}	9									-	-		9		

Figura 12.3-10. Hoja de datos para el MC10102 que contiene cuatro puertas NO-O de dos entradas. *(Cortesía de Motorola Inc.)*

bajo. Estas corrientes han sido calculadas antes en esta sección y hemos hallado, en la Ecuación (12.3-6), que cuando la entrada era baja, la corriente de emisor era

$$I_{E2} \approx 4 \text{ mA}$$

Por la Ecuación (12.3-11) tenemos para la entrada alta

$$I_{E1} \approx 4{,}6 \text{ mA}$$

El promedio es la mitad de la suma de estas dos corrientes

$$I_{AV} = \frac{4 + 4{,}6}{2} = 4{,}3 \text{ mA}$$

Para hallar la corriente que suministra la fuente de referencia consideremos el circuito de la Figura 12.3-4. Esta corriente es la del emisor de T_5 más la que pasa por los diodos en serie. Como sabemos que la tensión en el emisor de T_5 es $-1{,}3$ V, tenemos

$$I_{E5} = \frac{V_R - V_{EE}}{R_{e5}} + \frac{-1{,}3 - (-5{,}2)}{6{,}1} \approx 0{,}64 \text{ mA}$$

Para hallar la corriente del diodo suponemos que la corriente de base de T_5 es despreciable, por lo que

$$I_D = \frac{V_{CC2} - (V_{EE} + 2V_D)}{800 + 5000} = \frac{0 - (-5{,}2 + 1{,}6}{5{,}8 \times 10^3} = 0{,}62 \text{ mA}$$

Finalmente, el requisito de corriente de la fuente de referencia es

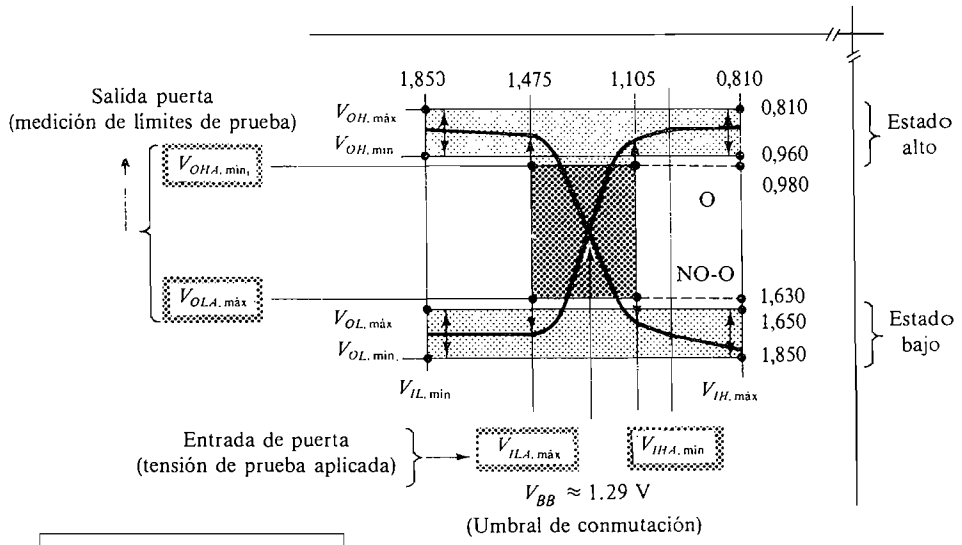
$$I_R = 0{,}64 + 0{,}62 = 1{,}26 \text{ mA}$$

La corriente total absorbida de la fuente V_{EE} requiere cuatro conmutadores de corriente y una fuente de referencia; así

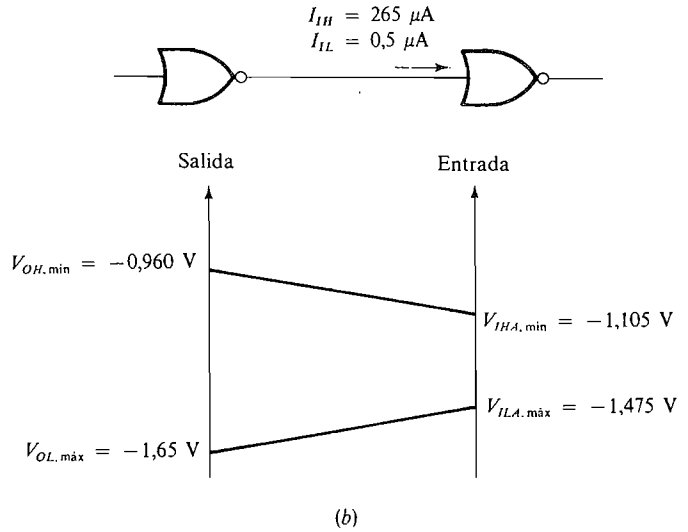
$$I_{V_{EE}} = (4)(4{,}3) + 1{,}26 \approx 18{,}5 \text{ mA}$$

Esto es comparable al valor típico de 20 mA especificado en la hoja de datos.

Niveles lógicos. Los niveles lógicos de la tensión de salida especificados en la hoja de datos se pueden interpretar mejor con las curvas de transferencia de la Figura 12.3-11*a*, que muestran claramente los puntos de prueba de la especificación. La hoja de datos se puede considerar dividida en dos grupos. En el primer grupo $V_{IH,\text{máx}}$ y $V_{IL,\text{mín}}$ son las tensiones de prueba de entrada. Las salidas correspondientes son V_{OH} y V_{OL}, para los cuales se dan los valores máximo y mínimo en la hoja de datos de la Figura 12.3-10 y son designados por $V_{OH,\text{máx}}$, $V_{OH,\text{mín}}$, $V_{OL,\text{máx}}$, y $V_{OL,\text{mín}}$ en la curva de transferencia de la Figura 12.3-11*a*. Por ejemplo, en la hoja de datos para $+25$ °C, $V_{EE} = -5{,}2$ V, tenemos



(*a*)



(*b*)

Figura 12.3-11. (*a*) Curvas de transferencia MECL (serie 10 000) y puntos de prueba de especificación; (*b*) representación alternativa.

los datos siguientes: para $V_{IH,\text{máx}} = -0{,}810$ V y $V_{IL,\text{min}} = -1{,}850$ V aplicados a las patillas 12 y 13, los márgenes de salida (medidos en las patillas 9 y 15) serán

$$V_{OH,\text{min}} = -0{,}960 \text{ V} \qquad V_{OH,\text{máx}} = -0{,}810 \text{ V}$$
$$V_{OL,\text{min}} = -1{,}850 \text{ V} \qquad V_{OL,\text{máx}} = -1{,}650 \text{ V}$$

El segundo grupo se refiere a los umbrales de conmutación, es decir, los valores máximo y mínimo para los cuales están especificadas las características. Estos datos se distinguen por una A en el subíndice. Están obtenidos aplicando una tensión de prueba $V_{ILA,\text{máx}} = -1{,}475$ V y midiendo la salida O para ver que es superior al nivel $V_{OHA,\text{min}} = -0{,}980$ V y la salida NO-O para ver que es inferior al nivel $V_{OLA,\text{máx}} = -1{,}630$ V. Se efectúan verificaciones análogas utilizando una tensión de prueba $V_{IHA,\text{min}} = -1{,}105$ V.

Estas especificaciones aseguran que:

1. El umbral de conmutación ($\approx V_{BB}$) cae dentro del rectángulo más oscuro de la Figura 12.3-11*a*; es decir, la conmutación no comienza fuera de este rectángulo.
2. Los niveles lógicos sin señal o en reposo caen en los rectángulos más claros.
3. Queda garantizada la inmunidad al ruido.

La Figura 12.3-11*b* presenta los niveles de tensión de entrada y salida deducidos de la hoja de datos para una puerta ECL que excita a otra puerta ECL.

Inmunidad al ruido. Los márgenes de ruido garantizados dependen de los parámetros que tiene el subíndice A, definidos como sigue. Para el estado bajo

$$NM_L = V_{ILA,\text{máx}} - V_{OLA,\text{máx}} = -1{,}475 - (-1{,}630) = 155 \text{ mV}$$

Para el estado alto

$$NM_H = V_{OHA,\text{min}} - V_{IHA,\text{min}} = -0{,}980 - (-1{,}105) = 125 \text{ mV}$$

Estos márgenes de ruido corresponden a las condiciones más desfavorables. El menor de los dos es 125 mV, que constituye el margen garantizado en condiciones de subimpulso de señal y perturbaciones de potencia o térmicas. Los márgenes de ruido suelen ser mejores que el valor garantizado en una cuantía de unos 75 mV. Comparando con la Sección 12.2-5 vemos que las puertas ECL son mucho más susceptibles al ruido que las TTL, las cuales tienen márgenes garantizados de 0,4 V.

Fan-out[2]. La entrada diferencial de los circuitos ECL ofrece varias ventajas. Su aptitud para rechazar las señales de entrada en modo común ofrece inmunidad contra el ruido inyectado en la línea de alimentación de V_{EE} y su impedancia de entrada relativamente elevada hace que sea posible excitar con cualquier puerta ECL un gran número de puertas sin deterioro del margen de ruido garantizado. El fabricante especifica un factor de carga de c.c. (el número de entradas de puerta de la misma familia que pueden ser excitadas por una salida de puerta) de 90 para MECL 10 000. Además declara que se obtendrá la mejor prestación con cargas de salida mayores de 10 utilizando líneas de transmisión. Sin embargo, como cada puerta excitada introduce una capacidad (típicamente 3 pF), aumentando la carga de salida, aumenta el retardo de propagación de la puerta. En la Figura 12.3-12

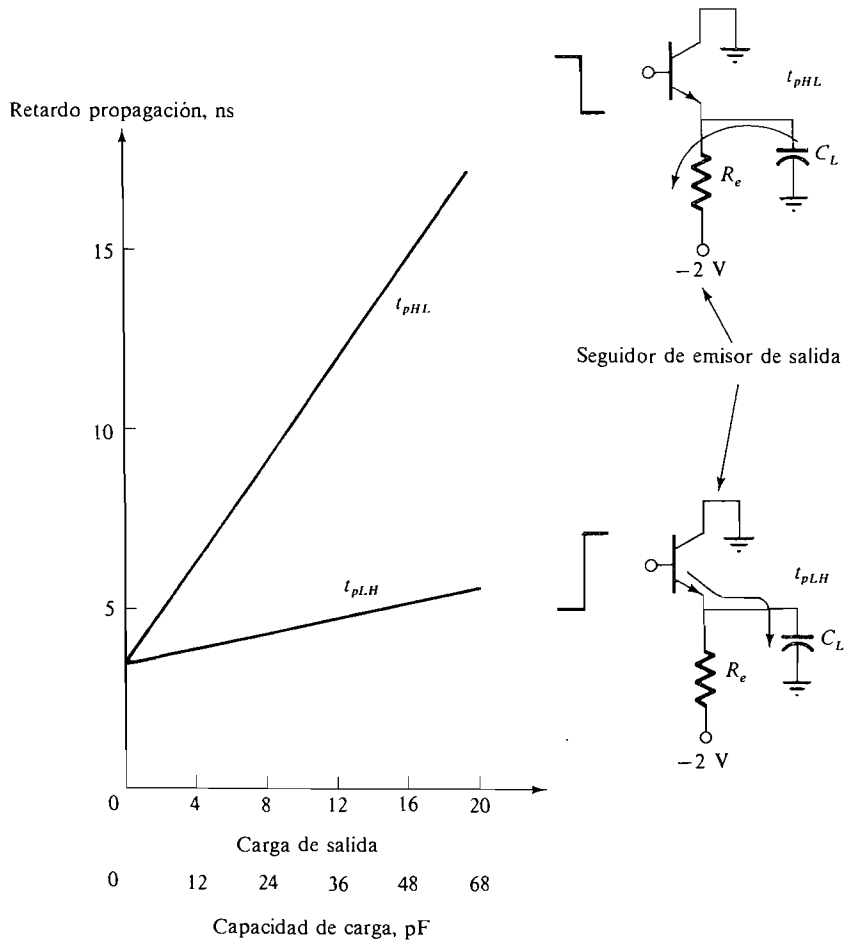


Figura 12.3-12. Retardo de propagación en función de la carga para puertas ECL (T = 25 °C).

están representadas las curvas de retardo de propagación en función de la carga de salida. t_{pLH} es el retardo cuando la salida conmuta del estado bajo al alto, por lo que la capacidad se carga a través de h_{ib}. Cuando la salida conmuta del estado alto al bajo, el seguidor de emisor de salida queda bloqueado durante un corto tiempo, por lo que la capacidad de carga debe descargarse a través de la resistencia de emisor o línea de transmisión. En consecuencia t_{pHL} es mucho mayor que t_{pLH}.

12.4. LOGICA CMOS

Los dispositivos MOS se utilizan mucho en circuitos lógicos. Son considerablemente más lentos que las puertas TTL y ECL pero, a causa de la simplicidad de su geometría y de que son de tamaño mucho menor, pueden obtenerse altos niveles de integración en un chip de

silicio. Esto conduce a la *integración en muy alta escala* (VLSI) en la cual pueden estar contenidos millares de MOSFET en un circuito que ocupa una fracción de área de una pulgada cuadrada. Estos circuitos se utilizan en aplicaciones en que la velocidad no es un factor primordial. Otra ventaja de la lógica MOS es que, como las entradas son puertas aisladas, la carga de c.c. es mínima, con el consiguiente elevado fan-out. Además, la disipación de potencia de c.c. es extremadamente pequeña a causa de la naturaleza complementaria del circuito. Esto constituye una indudable ventaja en muchas aplicaciones, como en las calculadoras electrónicas de bolsillo.

Son posibles tres tipos de puertas lógicas MOS: PMOS, NMOS y CMOS. Debido a que sus velocidades de conmutación son más rápidas, ya que su consumo de potencia de c.c. es extremadamente pequeño, ahora los circuitos CMOS son el tipo más favorecido de lógica MOS con circuitos integrados discretos.

En esta sección estudiaremos las puertas CMOS y sus características.

12.4-1. Puertas básicas CMOS

En la familia CMOS es posible disponer de puertas NO-Y y NO-O. El circuito de la puerta NO-Y de dos entradas está representado en la Figura 12.4-1, en la cual se puede ver que se compone de dos transistores excitadores de canal *n* conectados en serie y dos transistores de carga de canal *p* conectados en paralelo. El funcionamiento del circuito es el siguiente. Consideremos que ambas entradas sean bajas. Entonces ambos dispositivos de canal *p* estarán conduciendo (sus resistencias de canal serán relativamente bajas, del orden de 500 Ω). Los transistores de canal *n* estarán en corte, ya que el nivel bajo de entrada será inferior a su tensión umbral (su resistencia de canal será, por tanto, relativamente elevada). El circuito equivalente divisor de tensión representado en la Figura 12.4-1*b* hace que la tensión de salida V_O sea aproximadamente V_{SS}*, que es un nivel alto. Incluso si sólo una de las entradas está en nivel bajo, el FET correspondiente de cada canal *n* estará en corte y el divisor de tensión equivalente indica que la salida se mantendrá en nivel alto. Unicamente cuando ambas entradas están en nivel alto, los transistores de canal *p* estarán en corte (su resistencia de canal será grande) y los de canal *n* conducirán (su resistencia de canal será baja), por lo que la tensión de salida es aproximadamente 0 V, correspondiente a un nivel bajo.

En la Figura 12.4-2 está representada una puerta NO-O. Aquí los transistores de carga están en serie y los excitadores están en paralelo. Cuando ambas entradas son bajas, ambos dispositivos de canal *p* conducen (resistencia baja), mientras los de canal *n* están en corte (resistencia alta). Entonces la acción del divisor de tensión produce una salida alta (aproximadamente V_{SS}). Con una cualquiera o ambas entradas en nivel alto, uno o los dos dispositivos de canal *p* en serie conmutarán a corte (resistencia alta) y uno o ambos dispositivos de canal *n* en paralelo conmutarán a conducción (resistencia baja). En todas estas combinaciones, la acción del divisor de tensión da una salida baja.

Ambas puertas NO-O y NO-Y pueden admitir más de dos entradas. Esto se realiza añadiendo, para cada entrada, un par de MOSFET adicionales serie-paralelo.

---

* Puesto que hay conectada una tensión de alimentación a la *fuente* del FET de canal *p*, la designaremos V_{SS} para que el subíndice indique el terminal al cual estará conectada la fuente de alimentación.

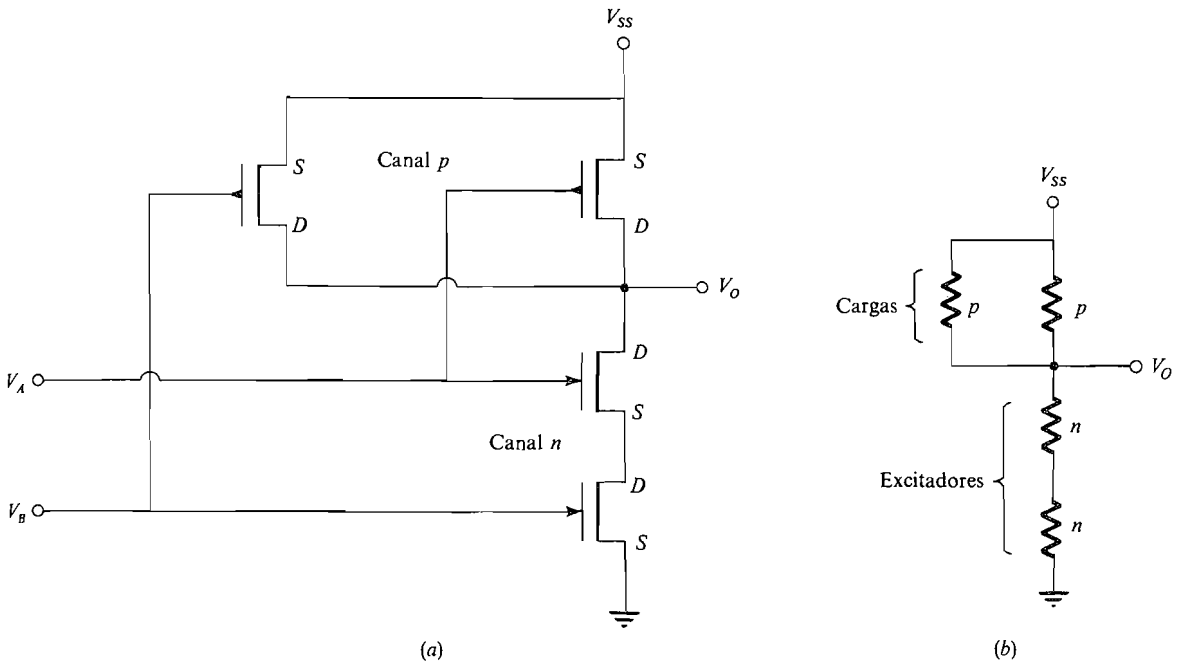


Figura 12.4-1. Puerta NO-Y CMOS: (*a*) circuito; (*b*) circuito equivalente del divisor de tensión.

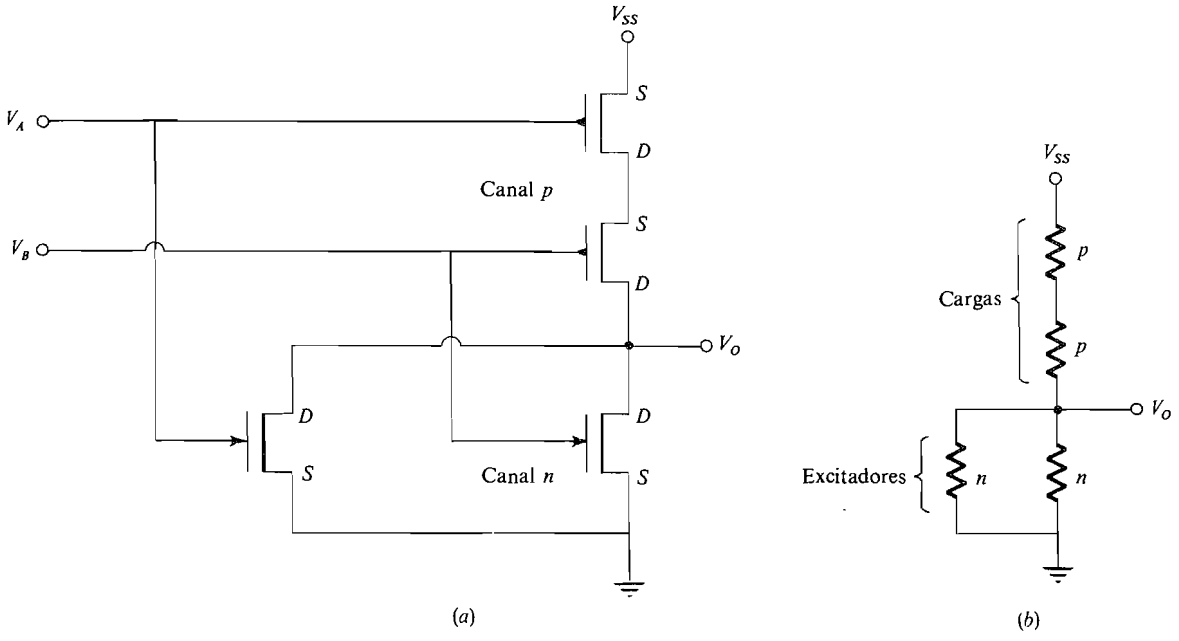


Figura 12.4-2. Puerta NO-O CMOS: (*a*) circuito; (*b*) circuito equivalente del divisor de tensión

12.4-2. Especificaciones del fabricante

Algunas de las características del circuito integrado MC74HC02 de Motorola (que contiene cuatro puertas NOR de dos entradas) se muestran en la Figura 12.4-3*a* y *b*. De las características en continua se puede observar que a 25 °C V_{OL} es menor de 100 mV y V_{OH}

MAXIMUM RATINGS*

Symbol	Parameter	Value	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	−0.5 to +7.0	V
V_{in}	DC Input Voltage (Referenced to GND)	−1.5 to V_{CC} +1.5	V
V_{out}	DC Output Voltage (Referenced to GND)	−0.5 to V_{CC} +0.5	V
I_{in}	DC Input Current, per Pin	±20	mA
I_{out}	DC Output Current, per Pin	±25	mA
I_{CC}	DC Supply Current, V_{CC} and GND Pins	±50	mA
P_D	Power Dissipation, per Package†	500	mW
T_{stg}	Storage Temperature	−65 to +150	°C
T_L	Lead Temperature (10-Second Soldering)	300	°C

*Maximum Ratings are those values beyond which damage to the device may occur
†Power Dissipation Temperature Derating
Plastic "N" Package: −12mW/°C from 65°C to 85°C
Ceramic "J" Package: −12mW/°C from 100°C to 125°C

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however it is advised that normal precautions be taken to avoid applications of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $GND \le (V_{in}$ or $V_{out}) \le V_{CC}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either GND or V_{CC}).

RECOMMENDED OPERATING CONDITIONS

Symbol	Parameter	Min	Max	Unit
V_{CC}	DC Supply Voltage (Referenced to GND)	2.0	6.0	V
V_{in}, V_{out}	DC Input Voltage, Output Voltage (Referenced to GND)	0	V_{CC}	V
T_A	Operating Temperature, 74HC Series 54HC Series	−40 −55	+85 +125	°C
t_r, t_f	Input Rise and Fall Time (Figure 1)	–	500	ns

ELECTRICAL CHARACTERISTICS (Voltages Referenced to GND)

Symbol	Parameter	Test Conditions	V_{CC}	25°C 54HC and 74HC		85°C 74HC	125°C 54HC	Unit
				Typical	Guaranteed			
V_{IH}	Minimum High-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ = 20 μA	2.0 4.5 6.0	1.2 2.4 3.2	1.5 3.15 4.2	1.5 3.15 4.2	1.5 3.15 4.2	V
V_{IL}	Maximum Low-Level Input Voltage	V_{out} = 0.1 V or V_{CC} − 0.1 V $\|I_{out}\|$ = 20 μA	2.0 4.5 6.0	0.6 1.8 2.4	0.3 0.9 1.2	0.3 0.9 1.2	0.3 0.9 1.2	V
V_{OH}	Minimum High-Level Output Voltage	V_{in} = V_{IH} or V_{IL} I_{out} = −20 μA	2.0 4.5 6.0	1.998 4.499 5.999	1.9 4.4 5.9	1.9 4.4 5.9	1.9 4.4 5.9	V
		V_{in} = V_{IH} or V_{IL} I_{out} = −4.0 mA I_{out} = −5.2 mA	4.5 6.0	4.20 5.80	3.98 5.48	3.84 5.34	3.70 5.20	V
V_{OL}	Maximum Low-Level Output Voltage	V_{in} = V_{IH} or V_{IL} I_{out} = 20 μA	2.0 4.5 6.0	0.002 0.001 0.001	0.1 0.1 0.1	0.1 0.1 0.1	0.1 0.1 0.1	V
		V_{in} = V_{IH} or V_{IL} I_{out} = 4.0 mA I_{out} = 5.2 mA	4.5 6.0	0.22 0.18	0.26 0.26	0.33 0.33	0.40 0.40	V
I_{in}	Maximum Input Leakage Current	V_{in} = V_{CC} or GND	6.0	0.00001	±0.1	±1.0	±1.0	μA
I_{CC}	Maximum Quiescent Supply Current (Per Package)	V_{in} = V_{CC} or GND I_{out} = 0 μA	6.0	–	2	20	40	μA

(*a*)

Figura 12.4-3. (*a*) Hoja de características en continua del circuito integrado CD4001M, que contiene cuatro puertas NO-O de dos entradas *(continúa en la página siguiente)*.

SWITCHING CHARACTERISTICS (V_{CC} = 5 V, T_A = 25°C, C_L = 15 pF, Input $t_r = t_f$ = 6 ns)

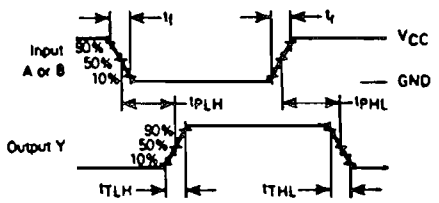
Symbol	Parameter	54HC and 74HC		Unit
		Typical	Guaranteed Limit	
t_{PLH}	Maximum Propagation Delay, Input A or B to Output Y	8	15	ns
t_{PHL}	(Figures 1 and 2)	8	15	
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 2)	5	10	ns

SWITCHING CHARACTERISTICS (C_L = 50 pF, Input $t_r = t_f$ = 6 ns)

Symbol	Parameter	V_{CC}	25°C 54HC and 74HC		85°C 74HC	125°C 54HC	Unit
			Typical	Guaranteed Limit			
t_{PLH}	Maximum Propagation Delay, Input A or B to Output Y (Figures 1 and 2)	2.0	45	90	113	134	ns
		4.5	9	18	23	27	
		6.0	8	15	19	23	
t_{PHL}		2.0	45	90	113	134	ns
		4.5	9	18	23	27	
		6.0	8	15	19	23	
t_{TLH}, t_{THL}	Maximum Output Transition Time, Any Output (Figures 1 and 2)	2.0	38	75	95	110	ns
		4.5	8	15	19	22	
		6.0	6	13	16	19	
C_{in}	Maximum Input Capacitance	–	5	10	10	10	pF
C_{PD}	Power Dissipation Capacitance*	–	20	–	–	–	pF

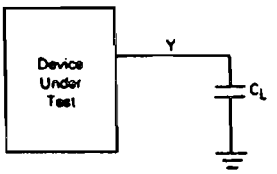
*C_{PD} is used to determine the no-load dynamic power consumption per gate:
$P_D = C_{PD} V_{CC}^2 f + I_{CC} V_{CC}$

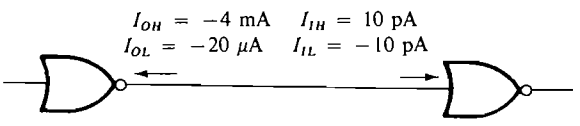
FIGURE 1 – SWITCHING WAVEFORMS

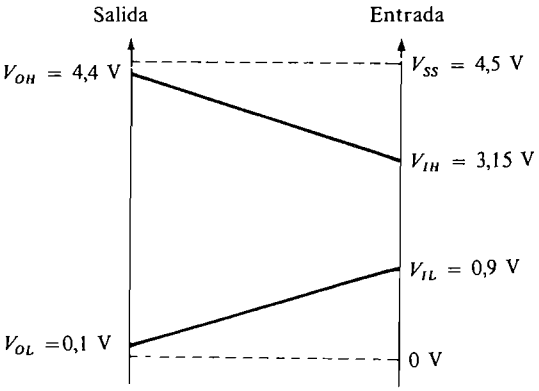


(*b*)

FIGURE 2 – TEST CIRCUIT







(*c*)

Figura 12.4-3 *(Continuación.)* (*b*) Hoja de características de conmutación del circuito integrado MC744CO2; (*c*) ilustración gráfica de características típicas.

está 0,1 V por debajo de V_{SS}. La inmunidad al ruido (margen de ruido) es la misma para el nivel alto y el bajo y a 25 °C está entre el 30 y el 45 por 100 de la tensión de alimentación. Estas características se representan gráficamente en la Figura 12.4-3*c* para $V_{SS} = 4{,}5$ V.

En continua, la disipación de potencia para $V_{SS} = 5$ V y $T = 25$ °C es típicamente de 10 μW, valor extremadamente bajo. Este aumenta linealmente con la frecuencia y depende también de lo capacitiva que sea la carga, como se puede ver en la Figura 12.4-4[4]. La corriente de entrada es típicamente de 0,1 μA, cantidad lo suficientemente pequeña como para poder ser despreciada en la mayoría de los casos.

De las características en alterna se puede ver que el retardo de propagación promedio para $V_{SS} = 5$ V es típicamente 8 ns. El intervalo de transición dado en estas hojas de características representa el tiempo de subida y el tiempo de caída de la señal de salida.

En la Sección 12.6 se establece una comparación de las principales características de las familias lógicas más populares

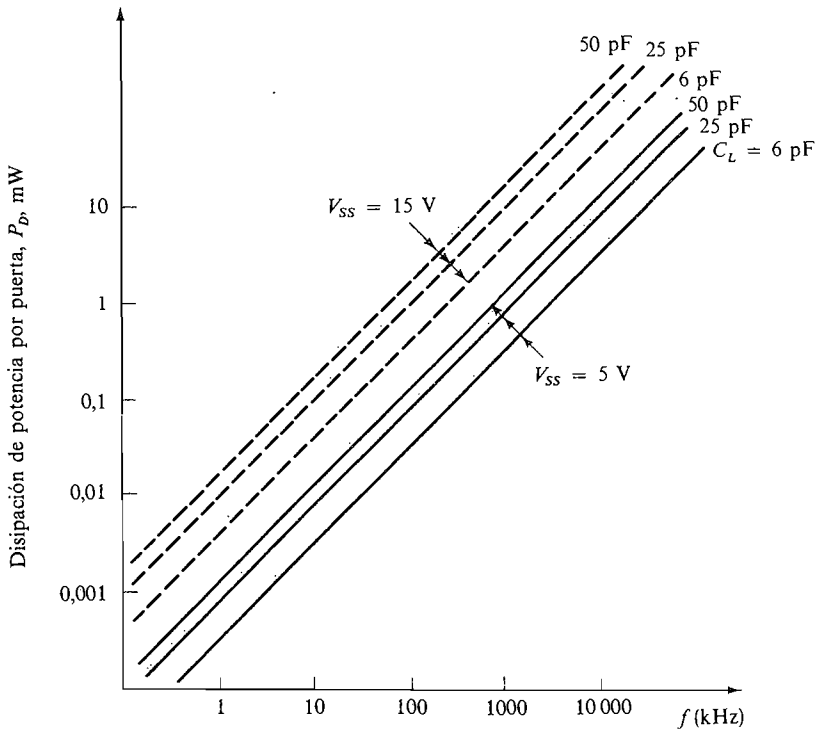


Figura 12.4-4. Disipación de potencia en función de la frecuencia y la capacidad de carga.

12.5. ACOPLAMIENTO (INTERFACE)

A menudo se originan situaciones en que tenemos partes de un sistema digital que requieren puertas lógicas de alta velocidad y otras que pueden tolerar acciones mucho más lentas. En tales caso suele ser ventajoso utilizar más de una familia lógica. Por ejemplo, podemos aprovechar la ventaja que representa la alta velocidad de la lógica TTL Schottky y la alta densidad de integración de la CMOS en el mismo sistema. Cuando se procede así debe tenerse muy en cuenta que las diversas familias lógicas operan con diferentes niveles de tensión y corriente. Así pues, deberá procederse cuidadosamente para que las condiciones de acoplamiento o interface entre ellas conduzcan a un funcionamiento correcto en ambos lados. Los fabricantes ofrecen una gran variedad de circuitos integrados diseñados para que su interconexión sea correcta.

Inferface TTL-CMOS. Consideremos el interface de puertas TTL y CMOS. Supongamos que los requisitos de la fuente de alimentación sean de 5 V para TTL y 5 V para CMOS. La Figura 12.5-1 presenta un diagrama que incluye una escala de tensiones de entrada y salida. Los valores típicos para la serie TTL 74LS y para la serie CMOS 74HC se dan en la Tabla 12.5-1.

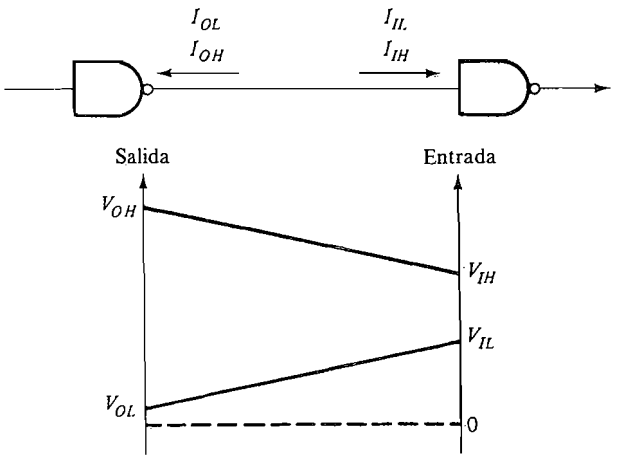


Figura 12.5-1. Niveles de tensión para interface entre TTL y CMOS.

Tabla 12.5-1. Valores típicos para el interface TTL-CMOS

	TTL/AS	CMOS/HC
V_{IH}	2 V	3,2 V
I_{IH}	20 μA	0,01 pA
V_{IL}	0,8 V	1,8 V
I_{IL}	−0,5 mA	−20 μA
V_{OH}	3 V	4,0 V
I_{OH}	−2 mA	−4 mA
V_{OL}	0,5 V	0,26 V
I_{OL}	20 mA	4 mA

Son los dos casos a considerar, dependiendo de cuál es el tipo de puerta excitadora y cuál es el de la carga. En la Figura 12.5-2 tenemos una puerta TTL que excita a N puertas CMOS. Para que esta configuración funcione correctamente, las condiciones en la salida TTL deben ser tales que se satisfagan los requisitos en las entradas de las puertas CMOS. Estos requisitos son

TTL		CMOS	
$-I_{OH}$	$\geqslant$	NI_{IH}	(12.5-1)
I_{OL}	$\geqslant$	$-NI_{IL}$	(12.5-2)
V_{OL}	$\leqslant$	V_{IL}	(12.5-3)
V_{OH}	$\geqslant$	V_{IH}	(12.5-4)

En la Tabla 12.5-1 vemos que, a causa de que la corriente de entrada para las puertas CMOS es tan pequeña, las Ecuaciones (12.5-1) y (12.5-2) deberán satisfacerse fácilmente cualquiera que sea el valor de la carga N de salida. La Ecuación (12.5-3) también se satisface fácilmente. Unicamente es causa de dificultad (12.5-4) porque la salida de nivel alto de la TTL varía desde el valor mínimo de 2,7 V hasta el típico de 3,4 V con corriente de plena carga, mientras que la entrada de nivel alto para la puerta CMOS debe ser mayor que 3,2 V con el fin de que el funcionamiento sea fiable. Puesto que la V_{IH} de la puerta CMOS no puede ser rebajada, la solución consiste en elevar la V_{OH} de la puerta TTL por

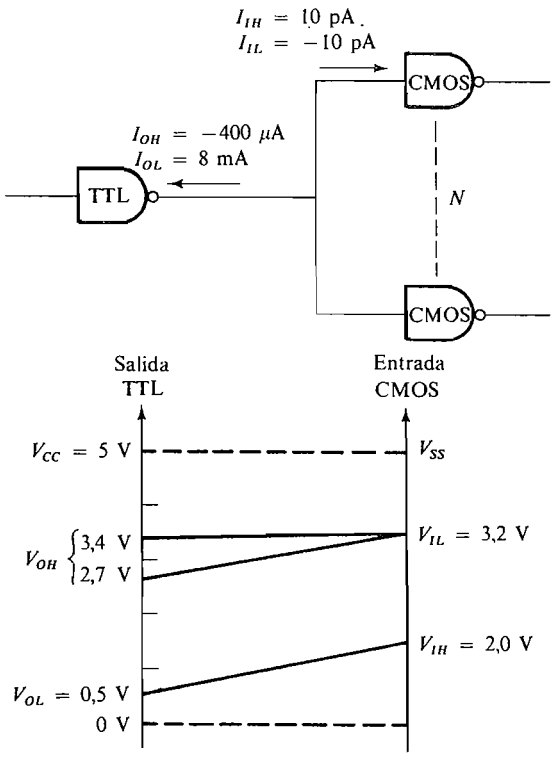


Figura 12.5-2. Puerta TTL excitando N puertas CMOS.

encima de 3,2 V. Una manera de conseguirlo es añadir una resistencia R (típicamente 2 a 6 kΩ) a la salida TTL, como muestra la Figura 12.5-3, de manera que cuando la salida sea alta, $V_O \approx 5$ V. Otra solución consiste en utilizar una puerta TTL de colector abierto en la salida si se dispone de ella.

Cuando se invierte la situación, como representa la Figura 12.5-4 en que la CMOS excita la puerta TTL, las condiciones que deben satisfacerse son

CMOS		TTL	
$-I_{OH}$	$\geqslant$	NI_{IH}	(12.5-5)
I_{OL}	$\geqslant$	$-NI_{IL}$	(12.5-6)
V_{OL}	$\leqslant$	V_{IL}	(12.5-7)
V_{OH}	$\geqslant$	V_{IH}	(12.5-8)

De ellas, únicamente la (12.5-6) origina problemas, ya que la corriente de salida de bajo nivel de la puerta CMOS varía desde 0,4 mA mínima a 1 mA típica, mientras la puerta TTL requiere una corriente de entrada de bajo nivel de 0,36 mA por puerta. Así pues, la CMOS sólo puede excitar una puerta TTL en estado bajo sin ningún factor de seguridad. La solución es emplear algún buffer CMOS entre las dos puertas. Existen varios tipos de buffers; por ejemplo, el CD4010 de National Semiconductor (seis buffers no inversores) puede suministrar hasta 4 mA de corriente de salida de excitación a 25 °C con $V_{DD} = 5$ V ó 10 mA con $V_{DD} = 10$ V.

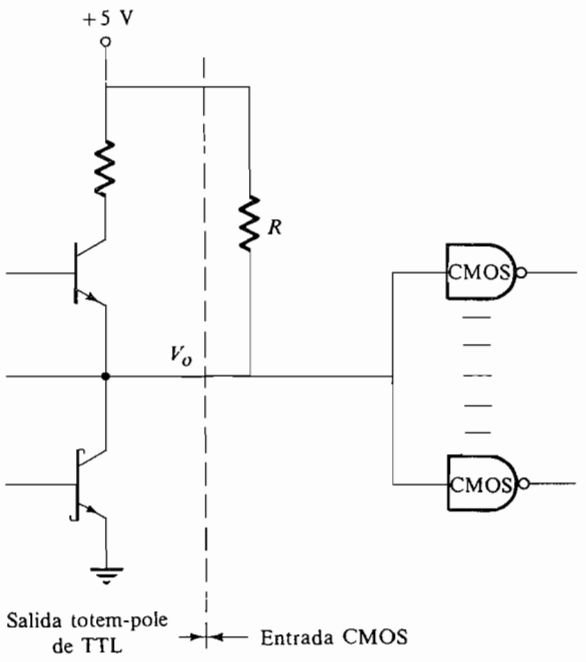


Figura 12.5-3. Puerta TTL modificada para excitar puertas CMOS.

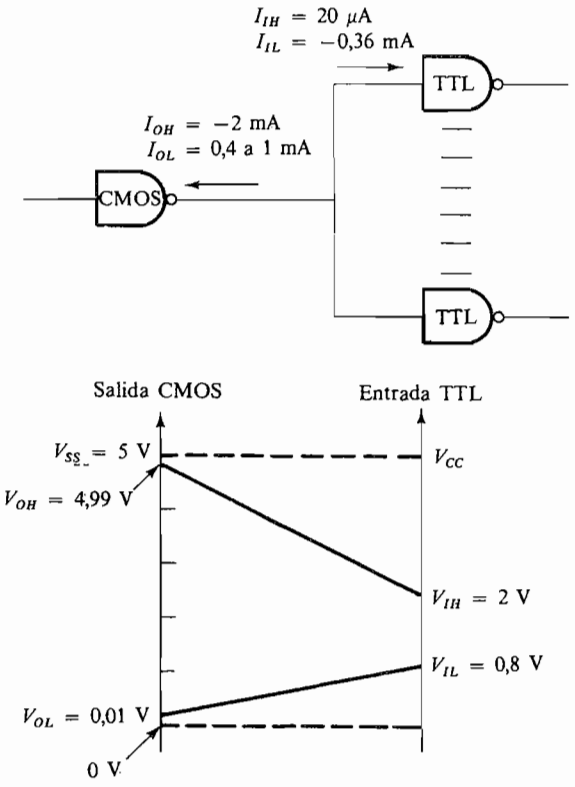


Figura 12.5-4. Circuito de conexión CMOS a TTL.

Interface ECL-TTL. Cuando el interface es entre puertas TTL y ECL, se utilizan chips de traducción (translator), por ejemplo, el 10124 lo hace de TTL a ECL o el 10125 de ECL a TTL. Los retardos típicos de propagación de tales chips son 4 ns.

12.6. COMPARACION ENTRE LAS FAMILIAS LOGICAS

A la hora de redactar este texto, las familias lógicas más populares son TTL, ECL y CMOS. La Tabla 12.6-1 da las características más importantes de cada una de estas familias.

En el diseño, la aplicación propuesta determinará la velocidad (tiempo de retardo de propagación) necesaria. La elección de familias lógicas se hace a base de esta velocidad y una vez determinado el tipo de lógica, se procede a determinar las otras características. En la tabla se ve que la ECL es, con mucho, la más rápida. Sin embargo, hay un considerable sacrificio en cuanto a disipación de potencia e inmunidad al ruido en comparación con los otros tipos. La ECL III tiene el menor retardo de propagación de las dos series ECL, pero esto se consigue a expensas de una alta disipación de potencia. La CMOS es la más lenta de las tres, pero tiene las ventajas de una disipación de potencia extremadamente pequeña y alta inmunidad al ruido.

Tabla 12.6-1. Comparación de familias lógicas

	TTL		ECL		CMOS
	Serie 54AS/74AS	Serie 54ALS/74ALS	Serie 10 000H	Serie III	Serie 74 HC
V_{OL}, V, típica	0,5	0,35	−1,75	−1,75	0,1
V_{OH}, V, típica	3,5	3,4	−0,9	−0,9	V_{CC} − 0,1
Excursión lógica, V	3	3	0,85	0,85	V_{CC} − 0,2
NM_L, V, típica	1,15	1,15	0,27	0,2	2,3
NM_H, V, típica	1,95	1,95	0,23	0,2	2,7
Fan-out	33	20	90	70	>50
Tensión típica de alimentación	5	5	−5,2	−5,2	6
Potencia en reposo disipación por puerta	8 mW	1,2 mW	25 mW	60 mW	2,5 μW
Retardo de propagación, ns	1,7	4	1,1	0,7	8

La familia TTL es la más popular actualmente. Presenta buena excursión lógica e inmunidad al ruido, además de ser muy rápida, especialmente en las versiones Schottky consignadas en la tabla. La serie 54S/74S tiene la velocidad más alta y en este aspecto es la que más se aproxima a la ECL. La 54LS/74LS (Schottky de baja potencia) se caracteriza por una velocidad relativamente alta al mismo tiempo que una disipación de potencia considerablemente más baja. A causa de la popularidad de la TTL existen en el mercado varios centenares de configuraciones diferentes.

La Figura 12.6-1*a* muestra un gráfico del retardo de propagación en función de la disipación de potencia para las puertas CMOS, TTL y ECL. Estas dos propiedades están relacionadas aproximadamente por la ecuación

$$t_{pd}P_d \approx E \tag{12.6-1}$$

donde E es constante y vemos que para disminuir el retardo de propagación hay que disipar más potencia. Obsérvese que $E \approx 50$ pJ para las antiguas puertas TTL 54/74, 54S/74S y ECL III. Sin embargo, para las modernas, como las TTL 54AS/74AS y ECL 10 000, $E \approx 20$ pJ. Si nos referimos a la serie 54ALS/74ALS, en un futuro próximo trabajarán con $E \approx 5$ pJ.

La figura 12.6-1*b* compara la potencia disipada en una puerta en función de la frecuencia para las puertas CMOS, TTL y ECL. Obsérvese que por encima de 80 MHz, la TTL disipa más potencia que la ECL 10 000, y por encima de 150 MHz disipa más potencia que la ECL III.

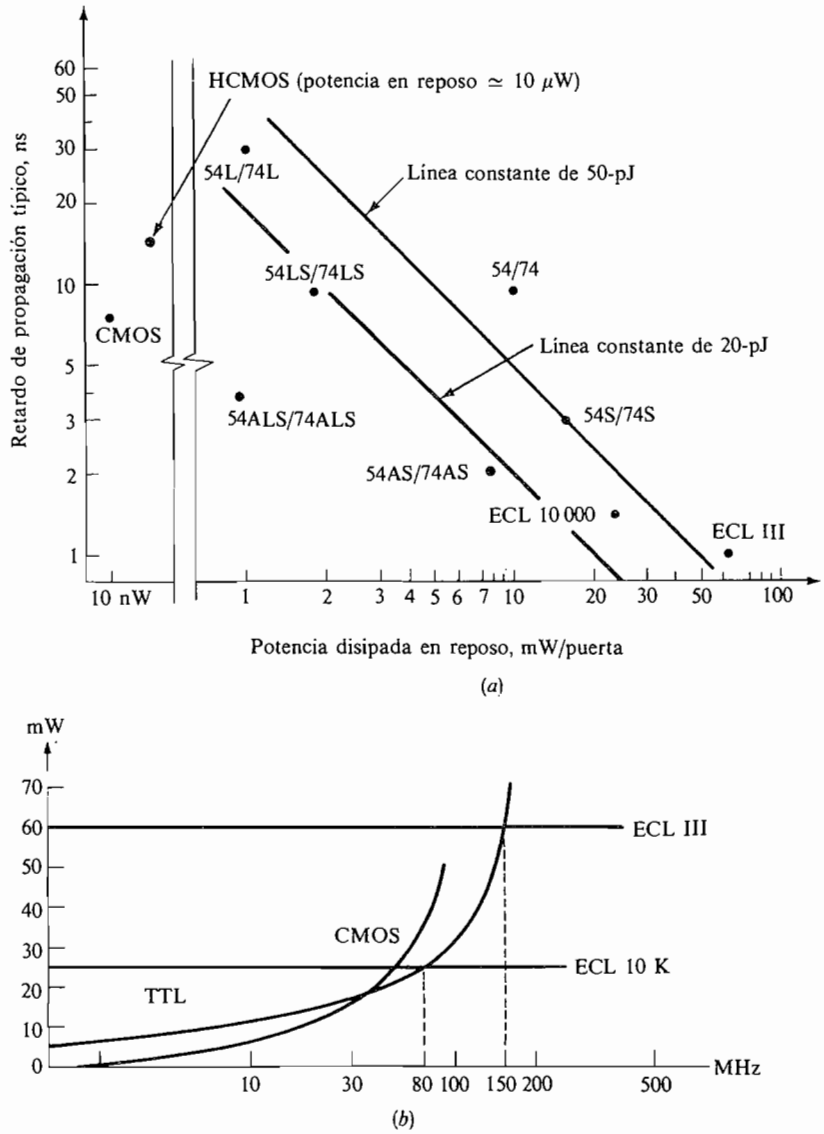


Figura 12.6-1. Comparación de familias lógicas: (*a*) características velocidad-potencia; (*b*) disipación de potencia en función de la frecuencia.

REFERENCIAS

1. R. L. Morris y J. R. Miller (eds): «Designing with TTL Integrated Circuits». McGraw-Hill, Nueva York, 1971.
2. W. R. Blood, Jr.: «MECL System Design Handbook», 4.ª ed., Motorola Semiconductor Products, Inc., 1983.

3. H. Taub y D. L. Schilling: «Digital Integrated Electronics», McGraw-Hill, Nueva York, 1977.
4. «High Speed CMOS Logic Data», Motorola, 1983.
5. «The TTL Data Book», vol. 3, Texas Instruments, 1984.
6. «High Speed CMOS Logic Data Book», Texas Instruments, 1984.
7. «Logic Data Book», vol. 2, National Semiconductor Company, 1984.

PROBLEMAS

12.1-1. Las puertas ECL de la serie 10 000 se caracterizan por las siguientes tensiones de umbral: $V_{IH} = -1{,}105$ V, $V_{OH} = -0{,}960$ V, $V_{IL} = -1{,}475$ V, $V_{OL} = -1{,}65$ V. Hallar la inmunidad al ruido en los estados alto y bajo.

12.1-2. En el inversor con transistor de la Figura 12.1-1*a*, $V_{CC} = 5$ V, $V_{CE,\,sat} = 0{,}2$ V, $V_{BE,\,sat} = 0{,}7$ V y $\beta = 50$. Hallar valores de R_c y R_b para los cuales el transistor esté en el borde de saturación con $I_{c,\,sat} = 10$ mA y $V_{IH} = 2$ V.

12.1-3. En el inversor con transistor de la Figura 12.1-1*a* se conecta una resistencia de caída de base R_2 entre la base y una fuente de alimentación negativa V_{BB}, como muestra la Figura P12.1-3. Los valores del circuito son $R_b = 5$ kΩ, $R_2 = 20$ kΩ, $R_c = 1{,}5$ kΩ, $V_{CC} = 5$ V, $V_{BB} = -5$ V, $\beta_{min} = 20$, $V_{CE,\,sat} = 0{,}2$ V, $V_{BE,\,sat} = 0{,}7$ V y $V_{BE,\,on} = 0{,}5$ V.
(*a*) Hallar la salida cuando la entrada es +5 V. ¿Está saturado el transistor?
(*b*) Hallar V_{BE} y la salida cuando la entrada es 0 V.
(*c*) Hallar los márgenes de ruido y dibujar la característica salida-entrada como en la Figura 12.1-3.

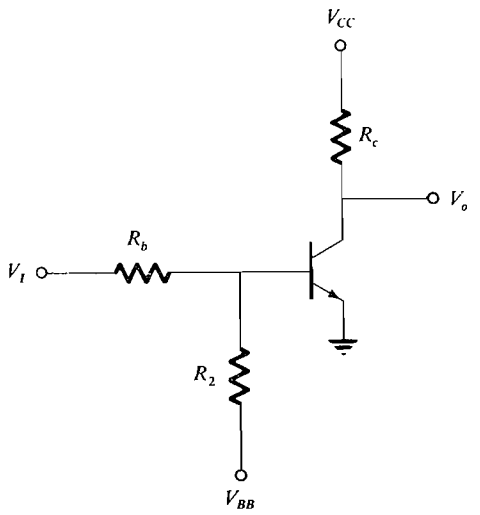


Figura P12.1-3.

12.1-4. En el inversor con transistor del Problema 12.1-2 hallar el fan-out para que V_{OH} no descienda por debajo de 2 V.

12.2-1. En el circuito TTL de la Figura 12.2-1, $V_{CE,\,sat} = 0{,}2$ V, $V_{CC} = 5$ V, $C_L = 5$ pF y $R_c = 1$ kΩ. Demostrar que la salida se carga desde V_{OL} (0,2 V) hasta V_{OH} (3,3 V) en 5.2 ns.

12.2-2. En el circuito de la Figura 12.2-1 $V_{CC} = 5$ V, $\beta = 50$ para todos los transistores, las tensiones de saturación de colector son 0,2 V y las tensiones de conducción de la unión *pn* son 0,7 V. Hallar valores adecuados de R y R_c para que $I_{c,\,sat} = 20$ mA y $V_{IH} = 2{,}4$ V.

12.2-3. En la puerta NO-Y TTL representada en la Figura 12.2-3 se supone que T_1 y T_2 se saturan al mismo tiempo. Hallar la corriente resultante en R_c y las tensiones finales de T_2. ¿Está saturado T_3?

12.2-4. Se supone que dos puertas TTL con carga activa (pull-up), como en la Figura 12.2-3, se conectan inadvertidamente en la configuración Y cableada. Calcular las corrientes respectivas en los circuitos de salida cuando una salida está en el estado alto mientras que la otra está en el estado bajo. Se supone que hay una sola puerta TTL cargando. Demostrar que la puerta con salida alta disipa una gran cantidad de potencia.

12.2-5. En la Figura P12.2-5 está representada una conexión Y cableada de puertas TTL de colector abierto (véase Fig. 12.2-4*c*). Escribir una expresión lógica para la salida y utilizar los teoremas de De Morgan para convertirla a la forma O.

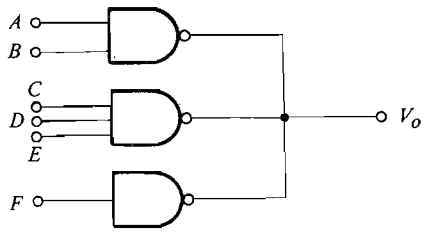


Figura P12.2-5.

12.2-6. En el circuito de la Figura 12.2-4*c* hay tres puertas Schottky de colector abierto para excitar una carga de salida de ocho puertas iguales. Utilizando la hoja de datos del fabricante correspondiente a la serie 54LS/74LS03, determinar un valor adecuado para la resistencia pull-up R_L. Estas hojas de especificación no se dan en el texto.

12.2-7. Para la característica de transferencia TTL de la Figura 12.2-5 demostrar que la pendiente del segmento *ab* es $-1{,}6$. El circuito TTL está representado en la Figura 12.2-3.

12.2-8. Las especificaciones del fabricante para una puerta TTL incluyen una garantía en la salida de la corriente absorbida de 12 mA con $V_{OL} \leqslant 0{,}4$ V y la corriente de fuente de 6 mA con $V_{OH} \geqslant 2{,}4$ V. En la entrada $I_{IH} = 100\ \mu$A cuando $V_I = 2{,}4$ V e $I_{IL} = -0{,}8$ mA cuando $V_I = 0{,}4$ V. Hallar el fan-out de salida para las condiciones de estado bajo y estado alto.

12.2-9. Verifique (12.2-5) y (12.2-6). Suponga para cada transistor $\beta = 50$.

12.3-1. El circuito de una puerta MECL III es idéntico a la puerta serie 10 000 representada en la Figura 12.3-2 excepto para los siguientes valores de los componentes: $R_{c1} = 290\ \Omega$, $R_{c2} = 300\ \Omega$, $R_e = 1{,}18$ kΩ y $V_R = -1{,}175$ V. Hallar V_{OL} y V_{OH} para ambas salidas O y NO-O.

12.3-2. Demostrar que cuando dos o más salidas de seguidor de emisor, como en las puertas ECL 10 000, están conectadas a una carga común, resulta la operación O; es decir, en la Figura P12.3-2 demostrar que $V_O = V_{B3}$ O V_{B4}.

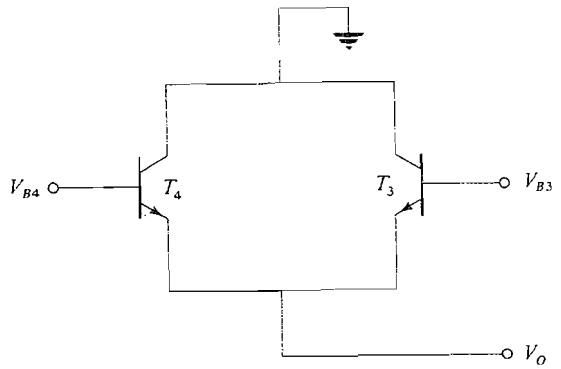


Figura P12.3-2.

12.3-3. El diagrama lógico de la puerta O/NO-O 10105 está representado en la Figura 12.3-5*a*. Utilizando la técnica O/NO-O cableada, explicar cómo se obtienen las operaciones lógicas siguientes utilizando sólo una puerta 10105:

$$L_1 = A + B + \overline{F + G}$$

$$L_2 = \overline{C + D} + \overline{A + B} + F + G$$

$$L_3 = \overline{F + G}$$

12.3-4. En la Figura 12.3-6*a* se supone que $V_{n1} = 1$ mV y $V_{n2} = 0$. Hallar la componente de ruido de la salida para T_2 en corte y T_1 en conducción.

12.3-5. Repetir el Problema 12.3-4 para T_1 en corte y T_2 en condución.

12.3-6. Repetir el Problema 12.3-4 y el 12.3-5 con $V_{n1} = 0$ y $V_{n2} = 1$ mV.

12.3-7. Determinar el fan-out de c.c. para la puerta ECL de la Figura 12.3-2 suponiendo que la salida O excita N puertas iguales. Todos los transistores tienen $h_{fe} = 40$ y las puertas excitadas deben reconocer una tensión de entrada de $-0{,}8$ V como **1** lógico.

12.4-1. Dibujar el esquema de una puerta NO-O CMOS de cuatro entradas.

12.4-2. Dibujar el esquema de una puerta NO-Y CMOS de cuatro entradas.

12.4-3. Dibujar una puerta Y CMOS de dos entradas utilizando únicamente dispositivos FET.

12.5-1. Una puerta TTL debe excitar una carga equivalente a 10 puertas CMOS (los datos para ambas puertas están en la Tabla 12.5-1). Determinar un valor adecuado para la resistencia pull-up R de la Figura 12.5-3.

12.5-2. Una puerta CMOS debe excitar una carga equivalente a seis puertas TTL (los datos de ambas puertas están en la Tabla 12.5-1). ¿Cuáles deben ser las características del buffer conectado entre las puertas?

12.5-3. Cuando se acoplan puertas CMOS a puertas ECL las tensiones positivas de las CMOS deben ser transformadas en tensiones negativas de la ECL. Diseñar un circuito que realice esta transformación. Especificar la carga que representa este circuito.

12.5-4. Repetir el Problema 12.5-3 para un traductor ECL a CMOS.

12.5-5. Repetir el Problema 12.5-3 para TTL a ECL.

12.5-6. Repetir el Problema 12.5-3 para ECL a TTL.

CAPITULO

13 Biestables

INTRODUCCION

En el Capítulo 11 hemos efectuado el análisis de redes combinacionales compuestas de puertas lógicas. Con ello podemos especificar un circuito que realiza cualquier función de varias señales de entrada a condición de que estas señales estén todas disponibles al mismo tiempo. Los circuitos resultantes dan señales de salida cuando se aplican las señales de entrada.

Los circuitos combinacionales solos no son suficientes para satisfacer los muchos requisitos de un sistema digital tal como el computador digital. En efecto, las señales que circulan a través de tal sistema, a menudo deben mantenerse en un cierto punto durante un intervalo suficientemente largo para que otras señales concurran o para que se realicen varias operaciones. A fin de satisfacer estos requisitos necesitamos un *elemento de memoria* en que pueda ser almacenada temporalmente una información digital. Cuando se añaden tales elementos a los circuitos combinacionales decimos que el *circuito* resultante es *secuencial.*

El elemento básico de memoria es el biestable. Este es un circuito, generalmente construido con puertas lógicas, que es capaz de almacenar 1 bit de información durante el tiempo que sea necesario, manteniéndolo disponible para ser utilizado por otros circuitos. Solamente cambiará la información almacenada cuando sean aplicadas señales correctas de control. Los biestables se conectan entre sí en varias configuraciones para formar, entre otros dispositivos, *registros*, que almacenan y manipulan datos de varios bits y *contadores* que cuentan el número de bits aplicados a sus terminales de entrada.

La naturaleza y la complejidad de las operaciones realizadas por un sistema digital requieren algún medio para sincronizar las muchas operaciones que se realizan. Esta es la función del *reloj maestro* o principal, que da un tren de impulsos cuidadosamente regulados. Generalmente los biestables están dispuestos de manera que únicamente puedan cambiar de estado por la aplicación de un impulso de reloj. La manera de efectuarse este cambio depende de cuáles sean sus entradas antes de que lleguen los impulsos de reloj. Así, a

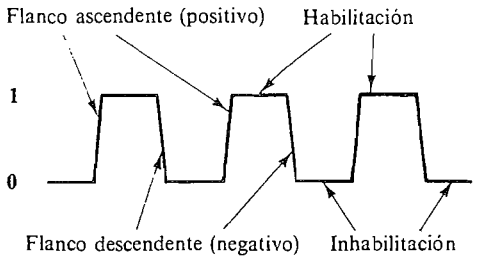


Figura 13.1. Forma de onda de reloj.

menudo es conveniente considerar un sistema secuencial como la forma de resolver una secuencia de problemas combinacionales, cada uno de los cuales dura un período de reloj.

Un sistema sincronizado por reloj como el que acabamos de describir se llama *síncrono*. La alternativa, en la cual las operaciones combinacionales provocan o disparan otras operaciones, es lo que se llama operación *asíncrona*. Esto suele ser insatisfactorio para los sistemas digitales de mayor complejidad a causa de la dificultad de diseño y de mantenimiento.

Aquí conviene introducir algunas definiciones que son importantes en lo que concierne al concepto de impulsos de reloj. Una forma idealizada de impulso de reloj es la representada en la Figura 13.1. Las características importantes de esta forma de onda son las siguientes:

1. La transición de **0** lógico a **1** lógico llamada flanco *positivo* del impulso.
2. La transición de **1** lógico a **0** lógico, llamada flanco *negativo* del impulso.
   La distinción entre estos dos es importante a causa de que, como después veremos, el disparo de nuestros biestables tiene lugar en uno u otro de estos flancos.
3. El tiempo durante el cual el impulso de reloj está en **1** lógico ha sido denominado tiempo de *habilitación* y el tiempo durante el cual está en **0** ha sido denominado tiempo de *inhibición*.

Cuando se trabaja con biestables se suele seleccionar un terminal de entrada de una puerta de entrada para el biestable y utilizarlo ya sea para *habilitar* o *inhibir* el biestable. Si la puerta es Y o NO-Y, esta entrada asumirá el control cuando esté en **0** lógico y la puerta será completamente *inhibida*, puesto que la salida no puede responder a ninguna de las otras entradas; es decir, la salida es la misma si las otras entradas son **0** ó **1** o cualquier combinación de ellas. Cuando la entrada es un **1** lógico, la puerta está habilitada, ya que la salida puede responder a las otras entradas de puerta.

Si la puerta es O o NO-O la señal de *inhibición* es un **1** lógico, porque con un **1** lógico en cualquier entrada la salida de la puerta es la misma cualquiera que sea el estado de las otras entradas. Si la entrada habilitación-inhibición está en **0** lógico, que es la condición de *habilitación*, la salida de la puerta estará determinada por las otras entradas. El lector debe cerciorarse de que asimila completamente estas ideas antes de proseguir el estudio porque intervienen a menudo en los sistemas que nos disponemos a estudiar.

En este capítulo consideraremos los tipos más importantes de biestables. Primero estudiaremos sus características desde el punto de vista operativo en cuanto manipulan ceros y unos lógicos. Luego estudiaremos su realización en las varias familias lógicas.

13.1. EL BIESTABLE *RS*

El biestable es un circuito capaz de almacenar 1 bit y constituye el bloque básico de construcción de los circuitos secuenciales. La Figura 13.1-1*a* muestra un biestable construido con puertas NO-O. Unicamente se utiliza una entrada de cada puerta NO-O; la otra entrada está conectada a **0** lógico (masa en nuestro ejemplo) por lo que no afectará al funcionamiento de la puerta. Así pues, las puertas NO-O actúan como inversores. Las notaciones Q y $\bar{Q}$ de las salidas se explicarán a continuación.

El circuito indica que los dos inversores están conectados en cascada, estando la salida de uno conectada directamente a la entrada del otro. Esta es la realimentación positiva (véase Cap. 10), de la cual resulta una operación inestable en cuanto cada salida está siempre conducida ya sea a saturación o al corte y se mantiene el mismo estado en tanto que esté alimentado. Estos son los llamados estados estables aun cuando sean el resultado de una operación inestable. Si consideramos la saturación como el estado bajo (**0** lógico) y el corte como estado alto (**1** lógico), los dos estados son:

1. $Q = \mathbf{1}$ ($\bar{Q} = \mathbf{0}$), llamado estado SET (o puesta a **1**) en que está almacenado un **1**.
2. $Q = \mathbf{0}$ ($\bar{Q} = \mathbf{1}$), llamado RESET (puesta a **0**) o BORRADO, estado en que está almacenado el **0**.

Se puede ver que estas dos posibilidades son consistentes considerando la representación convencional del circuito de la Figura 13.1-1*b*. Si partimos de $Q = \mathbf{1}$, entonces la conexión realimentada produce $B = \mathbf{1}$, que conduce a través de la puerta 2 NO-O a $\bar{Q} = \mathbf{0}$. La otra conexión realimentada hace $A = \mathbf{0}$, que conduce a través de la puerta 1 NO-O a $Q = \mathbf{1}$, condición que hemos supuesto como de partida. Para el otro estado comenzamos con $Q = \mathbf{0}$, y recorriendo el bucle hallamos fácilmente que $\bar{Q} = \mathbf{1}$ y $Q = \mathbf{0}$, por lo que nuevamente se obtienen condiciones consistentes y tenemos un circuito biestable.

El biestable representado en la Figura 13.1-1 no es de uso práctico porque no tiene terminales de entrada que permitan cambiarlo de estado cómodamente. Para ello empleamos las dos entradas de puerta NO-O previamente conectadas a masa, como muestra la

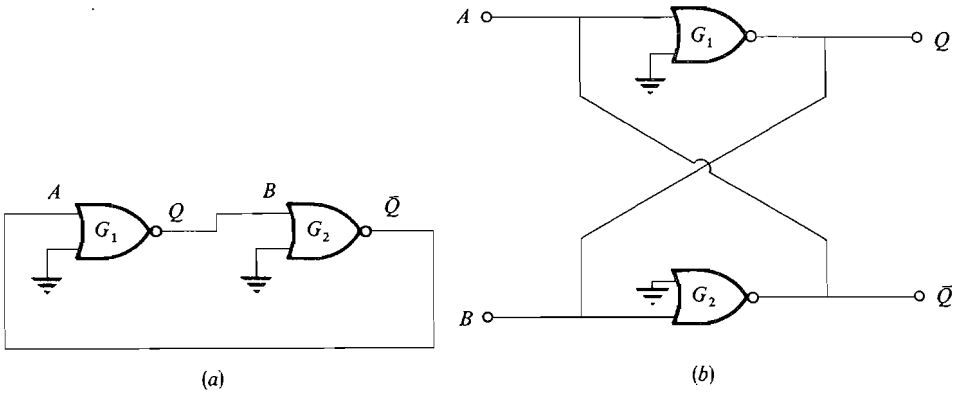
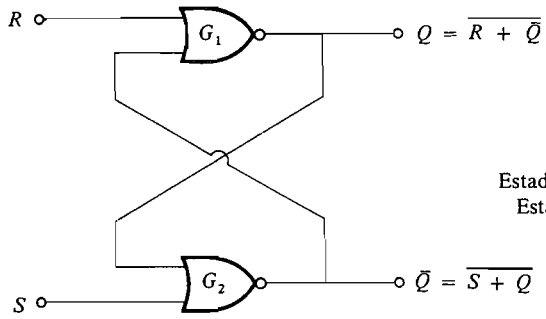


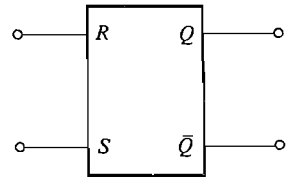
Figura 13.1-1. Biestable con puertas NO-O: (*a*) circuito dibujado para realzar la realimentación positiva; (*b*) representación convencional.



(a)

	S	R	Q_{n+1}
	0	0	Q_n
Estado reset →	0	1	0
Estado set →	1	0	1
	1	1	No permitido

(b)



(c)

Figura 13.1-2. Biestable *RS*: (*a*) circuito NO-O; (*b*) tabla de verdad; (*c*) símbolo de circuito.

Figura 13.1-2*a*. Los dos terminales de entrada se llaman respectivamente SET S y RESET R. En esta forma el circuito se llama biestable *RS* y los significados de las palabras SET y RESET se hacen así evidentes

Las señales aplicadas a los terminales S y R son *entradas de control* (llamadas también *entradas de datos*) y nos permiten almacenar el dígito binario (bit). La determinación de los estados de salida correspondientes a todas las combinaciones posibles de estas entradas conducirán a la tabla de verdad del biestable.

Consideremos que $S = R = \mathbf{0}$, como está indicado en la primera fila de la tabla de verdad de la Figura 13.1-2*b*. Para estas entradas particulares tenemos precisamente las condiciones que se mantenían cuando estudiamos el circuito de la Figura 13.1-1. Hemos hallado que entonces el circuito tenía dos estados estables, $Q = \mathbf{1}$ ($\bar{Q} = \mathbf{0}$) o $Q = \mathbf{0}$ ($\bar{Q} = \mathbf{1}$), y en tanto que $S = R = \mathbf{0}$, las puertas NO-O no son afectadas por las entradas de control y el estado del biestable *RS* no cambiará. Así está indicado en la tabla de verdad (Fig. 13.1-2*b*) donde la notación debe ser interpretada como sigue:

$$Q_n = \text{valor de } Q \textit{ antes que } S = R = \mathbf{0} \text{ se imponga}$$
$$Q_{n+1} = \text{valor de } Q \textit{ después que } S = R = \mathbf{0} \text{ fue impuesta}$$

Se utilizan los subíndices n y $n + 1$ a causa de que, en general, serán varios los instantes durante los cuales cambiarán las entradas de control. Cuando ambas pasen a **0** lógico, la salida permanecerá en el estado que tenía antes del cambio. Con respecto a los terminales de salida, generalmente es cómodo considerar al terminal Q como salida principal aunque estén disponibles las señales Q y $\bar{Q}$. Cuando la salida Q es alta (**1** lógico), decimos que el biestable está en SET (tiene un **1** almacenado), y cuando la salida Q es baja (**0** lógico), decimos que está en RESET (**0** lógico almacenado).

Supongamos ahora $S = \mathbf{0}$ y $R = \mathbf{1}$. En el circuito vemos que la salida de la puerta NO-O superior será

$$Q = \overline{R + \bar{Q}} = \overline{\mathbf{1} + \bar{Q}} = \bar{\mathbf{1}} = \mathbf{0} \tag{13.1-1}$$

Como las dos entradas de la puerta NO-O inferior son **0**, es decir, $Q = \mathbf{0}$ y $S = \mathbf{0}$, su salida es

$$\bar{Q} = \overline{S + Q} + \overline{\mathbf{0} + \mathbf{0}} = \mathbf{1} \tag{13.1-2}$$

Así, el único estado posible para esta combinación de las dos entradas de control es $Q = \mathbf{0}$ ($\bar{Q} = \mathbf{1}$). Como antes dijimos, este estado se llama reset (o borrado). Si ahora se cambia la entrada R a **0**, de modo que $S = R = \mathbf{0}$, las entradas a la puerta NO-O superior serán $R = \mathbf{0}$ y $\bar{Q}_{n+1} = \mathbf{1}$, por lo que se mantiene el estado que existía antes del cambio ($Q_n = \mathbf{0}$). El biestable nos ha recordado cuál era el estado de su salida antes de que tuviera lugar el cambio de las entradas de control y podemos comprobar que el biestable se encontraba en estado de reset ($S = \mathbf{0}$, $R = \mathbf{1}$) antes del cambio. Esta aptitud para recordar un estado previo es lo que distingue al biestable de los circuitos combinacionales estudiados en el capítulo anterior.

A fin de conseguir el estado set (fila 3 de la tabla de verdad) debemos tener $S = \mathbf{1}$ y $R = \mathbf{0}$. Entonces, puesto que $S = \mathbf{1}$, la salida de la puerta NO-O inferior será

$$\bar{Q} = \overline{S + Q} = \overline{\mathbf{1} + Q} = \mathbf{0} \tag{13.1-3}$$

y la salida de la puerta NO-O superior será

$$Q = \overline{R + \bar{Q}} = \overline{\mathbf{0} + \mathbf{0}} = \mathbf{1} \tag{13.1-4}$$

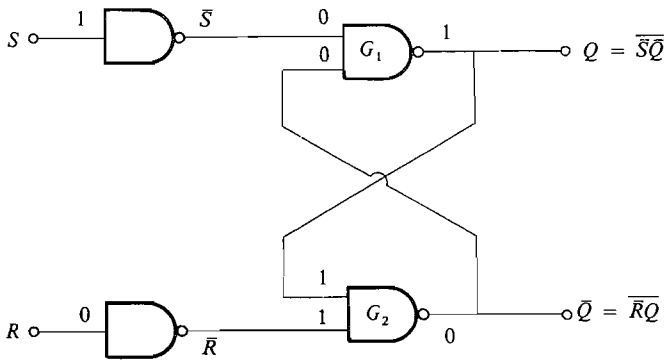
Finalmente, si $S = R = \mathbf{1}$, la conclusión hubiese sido que ambas salidas son **0**, lo que contradice nuestro supuesto de que las dos salidas son complementarias. Además, si los estados de las entradas son $S_n = R_n = \mathbf{1}$ y los siguientes estados son $S_{n+1} = R_{n+1} = \mathbf{0}$, entonces los siguientes estados de las salidas, Q_{n+1} y $\bar{Q}_{n+1}$, dependerán de la característica de retardo relativo de las entradas *set* y *reset* de G_1 y G_2. Dado que se desconocen estas características no se permite la condición $S = R = \mathbf{1}$. Más adelante se verá otro tipo de biestable, el *JK*, que evita esta ambigüedad.

Resumiendo, hemos visto que el biestable *R* construido con puertas NO-O de acoplo cruzado obedece a la tabla de verdad de la Figura 13.1-2*b*. Es capaz de almacenar un **1** o un **0** en su terminal de salida bajo el control de las entradas *R* y *S*. El símbolo de circuito de este biestable es el de la Figura 13.1-2*c*.

Biestable *RS* construido utilizando puertas NO-Y. Utilizando dos puertas inversoras y dos puertas NO-Y, como muestra la Figura 13.1-3*a*, es posible obtener la misma tabla de verdad que la correspondiente al biestable de la puerta NO-O de la Figura 13.1-2. Consideremos en primer lugar la acción del circuito vista desde los terminales $\bar{S}$ y $\bar{R}$. Para $\bar{S} = \bar{R} = \mathbf{0}$, tenemos

$$Q = \bar{S}\bar{Q} = \overline{\mathbf{0} \cdot \bar{Q}} = \mathbf{1} \tag{13.1-5}$$

$$\bar{Q} = \bar{R}Q = \overline{\mathbf{0} \cdot Q} = \mathbf{1} \tag{13.1-6}$$



(*a*)

S	R	S	R	Q_{n+1}
1	1	0	0	No permitido
1	0	0	1	1
0	1	1	0	0
0	0	1	1	Q_n

(*b*)

Figura 13.1-3. Biestable *RS* utilizando puertas NO-Y: (*a*) circuitos y niveles lógicos cuando $S = 1$ y $R = 0$; (*b*) tabla de verdad.

Lo mismo que en el biestable de la puerta NO-O, esta combinación no está permitida. Cuando $\bar{S} = 0$ y $\bar{R} = 1$, hallamos los valores lógicos indicados en el circuito de la Figura 13.1-3*a*, los cuales muestran que el biestable está en SET ($Q = 1$). De la misma manera se pueden comprobar las otras dos filas de la tabla de verdad de la Figura 13.1-3*b*. Si se añaden a la tabla de las columnas S y R, ésta es idéntica a la de la Figura 13.1-2*b* y, por tanto, el biestable de puerta NO-Y con inversores es idéntico en cuanto a comportamiento externo al biestable de la puerta NO-O; ambos están representados por la tabla de verdad de la Figura 13.1-2*b* y el símbolo de circuito de la Figura 13.1-2*c*.

Supresión del efecto de rebote de contactos en un interruptor. Una aplicación interesante del biestable *RS* es la supresión del efecto de rebote de contactos en la salida de un pulsador accionado a mano. En la aplicación habitual se utiliza un biestable *RS* construido con puertas NO-O, como el de la Figura 13.1-4*a*; el interruptor está normalmente puesto a 1 (set) en la posición *A* y se le utiliza para aplicar un impulso igual al intervalo de tiempo que el operador mantiene oprimido el botón. Una vez que éste es liberado, un muelle interno restaura el contacto del interruptor a la posición *A*. El problema es que rebota cuando llega a la posición *B* en el instante en que comienza el impulso y luego rebota de nuevo cuando vuelve a la posición *A* al final del impulso. Esto provoca impulsos indeseados que podrían ser causa de falso disparo en un sistema lógico. La Figura 13.1-4*b* muestra las formas típicas que podrían ocurrir durante el ciclo de conmutación. Los detalles del proceso son los siguientes:

1. Antes del instante t_1 el contacto del interruptor está en la posición *A*, por lo que $V_A = 5$ V y $V_B = 0$ V. Así $S = 1$ y $R = 0$. Según la tabla de verdad de la Figura 13.1-2*b* el biestable está en SET y, por tanto, $Q = 1$, $\bar{Q} = 0$, como se muestra.
2. En el instante t_1 el operador oprime el botón y el contacto del interruptor sale de la posición *A* y comienza a moverse hacia *B*. Tan pronto como deja el contacto *A*, la tensión V_A disminuye hasta 0 V, hasta el instante t_2, cuando el contacto alcanza *B*, haciendo que V_B aumente hasta 5 V. El intervalo de tiempo entre t_1 y t_2 puede

ser de hasta algunos milisegundos. Desde t_1 hasta t_2, S y R están en **0** lógico y el biestable mantendrá el estado SET que tenía antes del instante t_1.

3. En t_2, R pasa a **1** lógico con S en **0** lógico y el biestable se pone a **0** o RESET. Esto está representado en las formas de onda Q y $\bar{Q}$, pasando Q al estado bajo y $\bar{Q}$ al estado alto.
4. Entre t_2 y t_3 el contacto rebota varias veces desde el terminal B. En un buen interruptor el contacto no rebotará hasta A. Durante el tiempo en que el interruptor está rebotando tendremos $R = \mathbf{1}$, $S = \mathbf{0}$ o bien $R = S = \mathbf{0}$, por lo que la salida se mantiene en el estado RESET independientemente del número de veces que rebote el contacto.
5. En t_4 el operador libera el botón pulsador y el contacto se separa de B, llegando a A en t_5.
6. Entre t_4 y t_5 $R = S = \mathbf{0}$, por lo que el biestable se mantiene en el estado RESET.
7. En t_5 tenemos $S = 1$, $R = \mathbf{0}$ por lo que el biestable vuelve al estado SET, como muestran las formas de onda Q y $\bar{Q}$.
8. Entre t_5 y t_6 hay varios rebotes de contacto en A, y en este intervalo $S = \mathbf{1}$, $R = \mathbf{0}$ o bien $S = R = \mathbf{0}$, y se mantiene el estado SET.

Las formas de onda de Q y $\bar{Q}$ indican que tenemos disponible en la salida del biestable la forma de onda depurada que deseamos con cualquiera de las transiciones de estados alto-bajo-alto o bajo-alto-bajo.

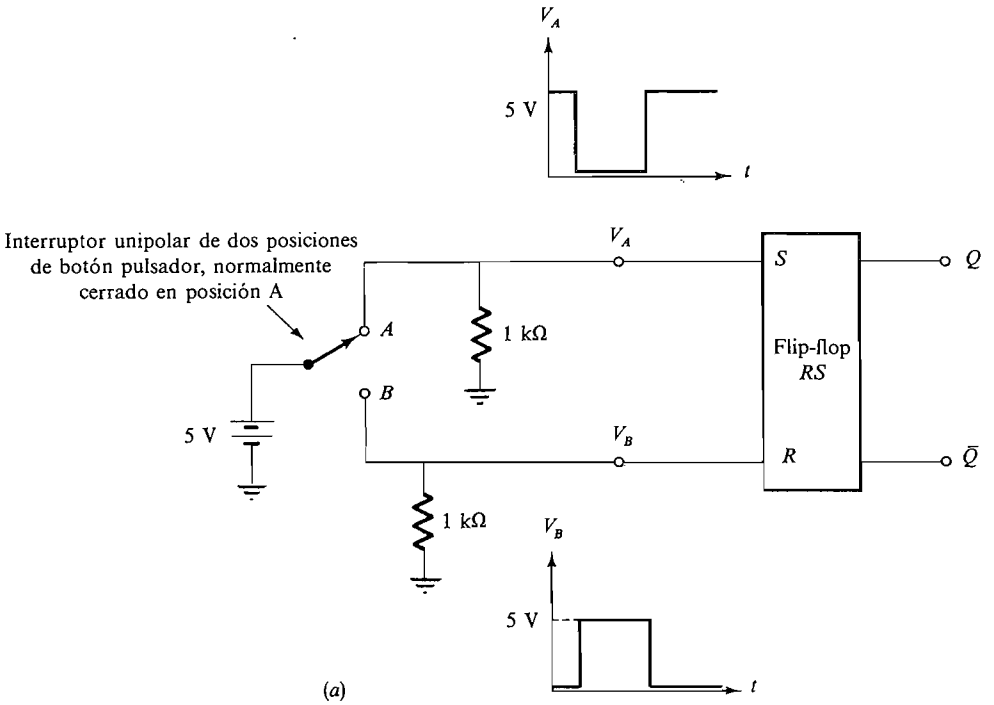
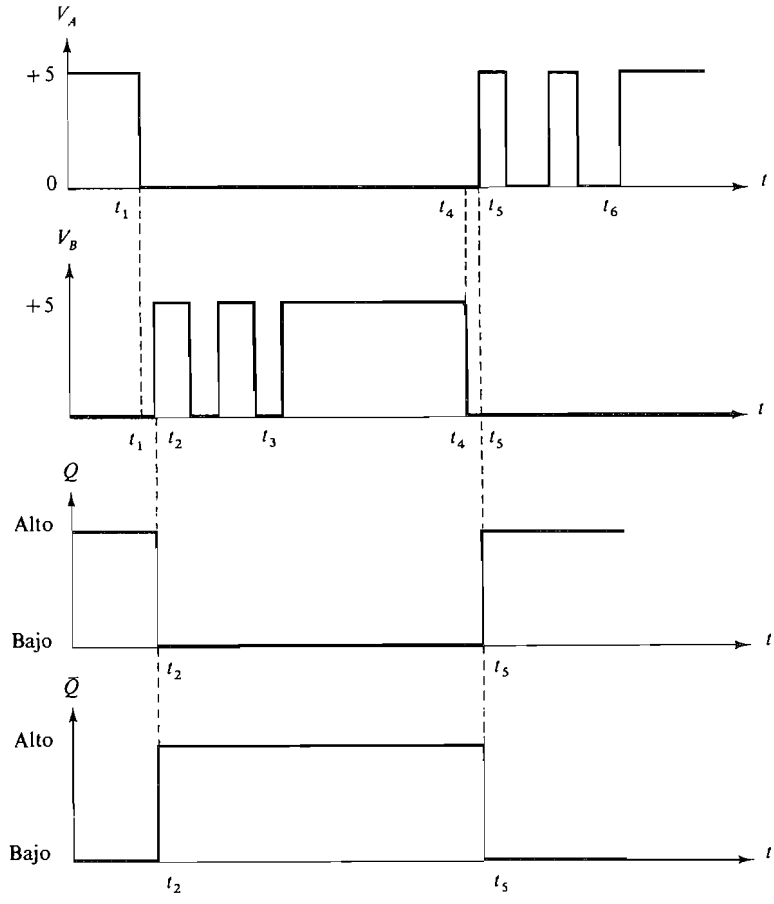


Figura 13.1-4. Interruptor sin rebotes: (*a*) circuito. (*Continúa en la página siguiente.*)



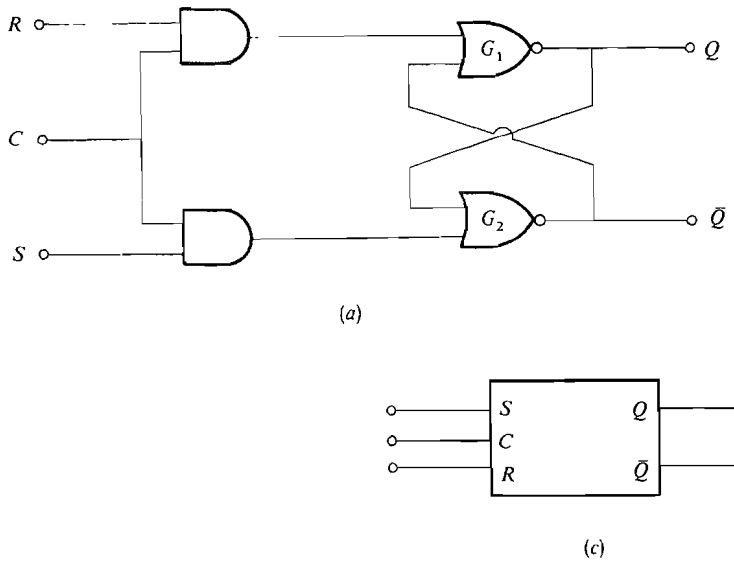
(*b*)

Figura 13.1-4. (*Continuación*). Interruptor sin rebotes: (*b*) formas de onda.

Para que el biestable cambie del estado set al estado reset, el botón pulsador debe mantenerse en la posición B durante un tiempo mayor que la suma de los retardos de propagación de las dos puertas que forman el biestable. Esto se puede ver considerando la Figura 13.1-2. Cuando R pasa al estado **1**, Q pasa al estado **0** después del retardo presente en la puerta G_1 y entonces $\bar{Q}$ pasa a **1** después de un retardo adicional de propagación en la puerta G_2. Sólo después de $\bar{Q} = \mathbf{1}$ puede volver R a **0** sin que el biestable cambie nuevamente de estado, ya que $\bar{Q} = \mathbf{1}$ inhibe a la puerta G_1.

13.1-1. El biestable *RS* síncrono

En un sistema digital que tenga muchas puertas y biestables es imposible garantizar que las señales de control S y R lleguen en los tiempos precisos necesarios para las operaciones lógicas deseadas. Pueden ser generadas órdenes lógicas falsas en ciertas condiciones a



S_n	R_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	No permitido

(b)

Figura 13.1-5. Biestable *RS* sincronizado (cerrojo): (*a*) circuito; (*b*) tabla de verdad; (*c*) símbolo de circuito.

causa de que una señal llegue antes que otra. Esta dificultad se puede solventar permitiendo que el biestable cambie de estado solamente en sincronismo con un impulso de reloj externo. De esta manera las formas de onda de salida están sincronizadas con el reloj y no dependen del tiempo de llegada de las señales S y R.

Aclaramos el concepto de sincronización externa del reloj en el circuito de la Figura 13.1-5*a* que muestra un biestable *RS* con dos puertas Y adicionales en la entrada. Se asigna a cada puerta Y una señal de reloj que realiza la sincronización mientras las señales S y R constituyen las otras entradas. Así, las entradas al biestable de puertas NO-O pueden ser activadas ahora únicamente cuando el impulso de reloj es alto. De esta manera las entradas S y R determinarán el estado final del biestable, pero el instante en que el biestable puede cambiar de estado está determinado por la señal de reloj. Las señales de control pueden llegar en instantes diferentes sin que esto afecte al estado de la salida. Para que este sistema funcione correctamente, las señales S y R deben llegar mientras el impulso de reloj está en estado bajo, tiempo durante el cual las puertas Y están inhibidas. La tabla de verdad correspondiente a este circuito se da en la Figura 13.1-5*b* y, según puede verse, es idéntica a la tabla de verdad del biestable *RS* de la Figura 13.1-2. El biestable *RS* síncrono se denomina *latch* (cerrojo) en la literatura de los fabricantes.

La Figura 13.1-6 muestra una serie de formas de onda para ilustrar todas las transiciones de estado posibles del biestable *RS*. Antes del primer impulso de reloj S y R son **0** y el biestable está en el estado reset, por lo que $Q = \mathbf{0}$. De acuerdo con la tabla de verdad, el resultado de $R = S = \mathbf{0}$ es que no se produce cambio alguno. Así, la condición reset se mantiene durante el intervalo $n = \mathbf{1}$.

En el intervalo entre los impulsos 1 y 2 vemos que $S = \mathbf{1}$ y R se mantiene en **0**. Esto conduce al estado set cuando se aplica el impulso 2 y tenemos $Q = \mathbf{1}$. La salida se mantiene en estado alto a través del tercer impulso a causa de que S y R no cambian.

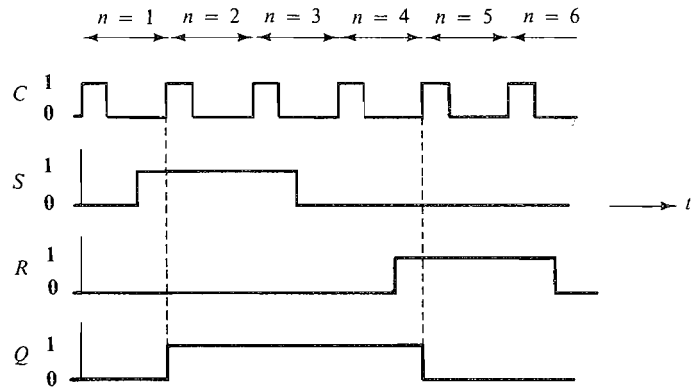
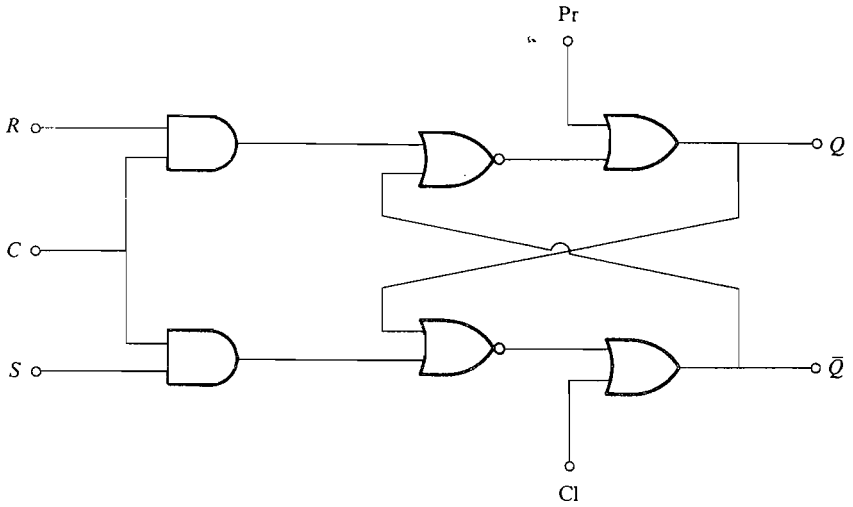


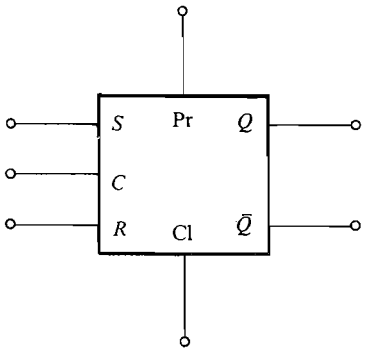
Figura 13.1-6. Formas de onda en el biestable *RS* sincronizado.



(*a*)

Pr	Cl	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	No permitido

(*b*)



(*c*)

Figura 13.1-7. Entradas asíncronas: (*a*) circuitos; (*b*) tabla de verdad; (*c*) símbolo de circuito.

Durante el intervalo $n = 3$ la entrada S pasa al estado **0**, por lo que $S = R = \mathbf{0}$ y en consecuencia Q no cambia en el intervalo $n = 4$. Entre los impulsos cuarto y quinto R pasa a **1** y S se mantiene en **0**, por lo que el biestable está en el estado reset cuando es aplicado el impulso 5 y se mantiene en este estado durante el intervalo $n = 6$. Esto completa todas las combinaciones posibles de las entradas con excepción de $R = S = \mathbf{1}$, que no está permitida. Si esta condición se aplica inadvertidamente, la salida será impredecible.

Entradas asíncronas (directas). En la explicación precedente hemos supuesto siempre un cierto estado inicial del biestable y hemos considerado un cambio de estado por aplicación únicamente del impulso de reloj. En la práctica suele ser conveniente disponer de medios por los cuales podamos poner el biestable en el estado preset para que $Q = \mathbf{1}$ o borrar el biestable a fin de que $Q = \mathbf{0}$ independientemente de las entradas S y R y del impulso del reloj C. La Figura 13.1-7 ilustra un circuito en que las señales preset (Pr) y borrado (Cl) son prioritarias sobre todas las demás entradas. Cuando Pr = Cl = **0**, estas señales no tienen efecto sobre las puertas O a las cuales son aplicadas y el estado del biestable está determinado por las entradas C, S y R. Cuando Pr = **1** y Cl = **0**, la salida de la puerta O de arriba es **1** y la de las otras O es **0**, independientemente de los niveles lógicos de todas las demás señales. Así el terminal Pr pone en el estado preset al biestable para que $Q = \mathbf{1}$ independientemente de C, S y R. De la misma forma, cuando Pr = **0** y Cl = **1**, el biestable se borra ($Q = \mathbf{0}$) (véase Prob. 13.1-6) independientemente de C, S y R.

La Figura 13.1-7*b* es una tabla de verdad de las entradas de Pr y Cl. Estas entradas se denominan *asíncronas*, puesto que el biestable cambia de estado independientemente del impulso de reloj. También se las denomina entradas de puesta a **1** directa (set) S_d y de puesta a **0** directa (reset) R_d. Obsérvese que las entradas Pr y Cl no pueden estar en el estado **1** simultáneamente.

13.2. EL BIESTABLE *RS* MAESTRO-SEGUIDOR (MASTER-SLAVE)

En muchas de las aplicaciones de los biestables es conveniente determinar los estados de las entradas S y R, luego desacoplar las entradas del biestable para que no se noten los cambios subsiguientes en S y R y, finalmente, después de desacopladas las entradas, cambiar las salidas Q y $\bar{Q}$ del biestable. En la práctica hay dos maneras de realizar esta secuencia de operaciones, la estructura master-slave (maestro-seguidor) y la de activación por flancos. En esta sección estudiamos el biestable representado en la Figura 13.2-1. El biestable activado por flancos se describe en la Sección 13.4.

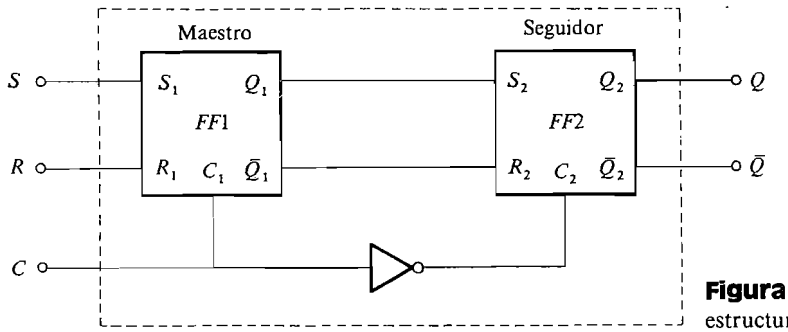


Figura 13.2-1. Biestable de estructura maestro-seguidor.

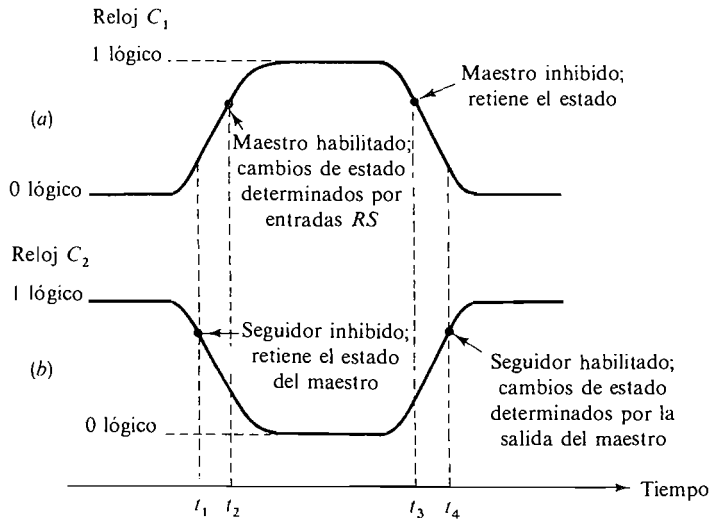


Figura 13.2-2. Formas de onda del impulso de reloj que muestran los eventos habidos en el disparo del biestable maestro-seguidor: (*a*) impulso de reloj aplicado al maestro; (*b*) impulso de reloj invertido aplicado al seguidor.

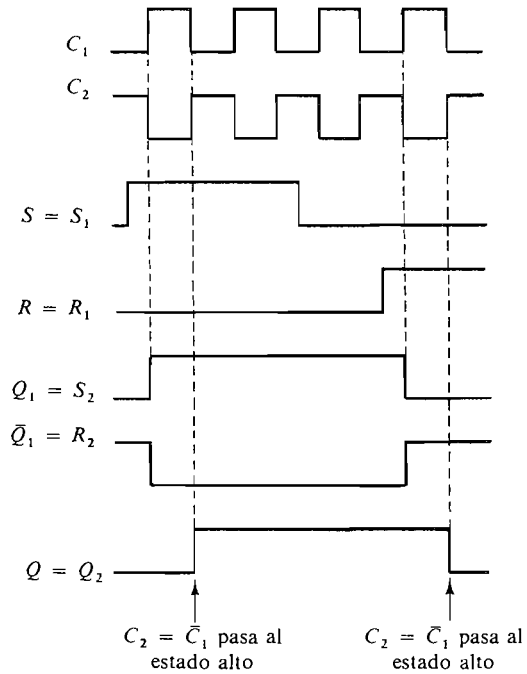


Figura 13.2-3. Formas de onda que muestran los posibles estados del biestable maestro-seguidor *RS*.

El master-slave emplea dos biestables, FF_1 y FF_2, que funcionan en oposición de fase. Así, cuando el impulso de reloj es de nivel alto, C_1 es también alto y los estados de las entradas S y R hacen que Q_1 y $\bar{Q}_1$ del biestable maestro FF_1 cambie de estado cuando sea necesario. Sin embargo, durante este tiempo el impulso de reloj C_2 es bajo y FF_2 no cambia de estado. Cuando el impulso de reloj C pasa al estado bajo, C_1 está en el estado bajo y FF_1 se desacopla de las entradas S y R. Ahora el impulso de reloj C_2 es alto y el biestable seguidor FF_2 responde a sus entradas S_2 y R_2. Por tanto, las salidas Q y $\bar{Q}$ del biestable maestro-seguidor cambian de estado únicamente después de que el impulso de reloj C ha vuelto al estado **0**.

En la Figura 13.2-2 están representadas las formas de onda del impulso de reloj y su efecto sobre el funcionamiento del circuito. Las formas de onda típicas están representadas en la Figura 13.2-3. Es importante recordar que Q sólo cambia de estado cuando el impulso de reloj C_1 vuelve al estado bajo.

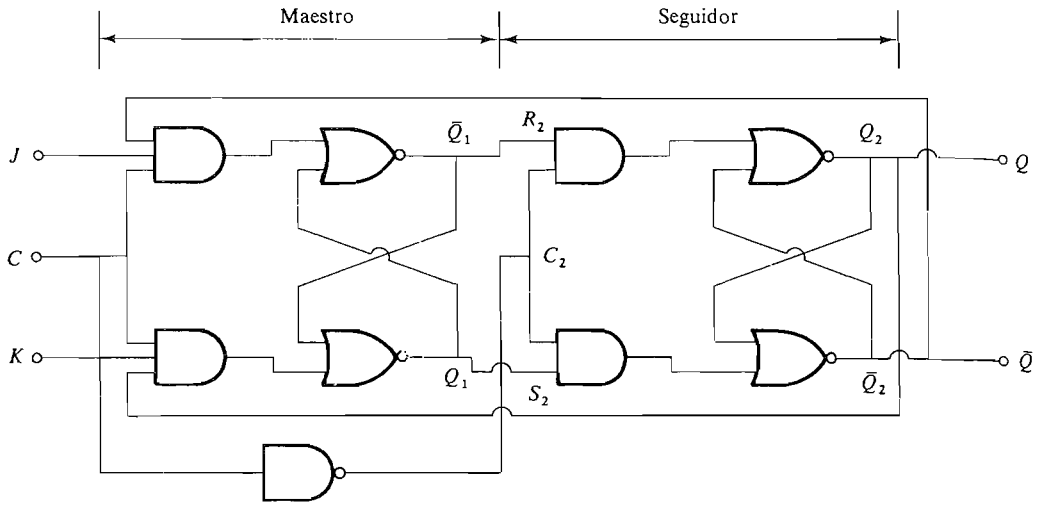
13.3. EL BIESTABLE *JK*

En el biestable *RS* hemos visto que cuando ambas entradas S y R son un **1** lógico aparece una ambigüedad. Esto se evita con el biestable *JK* que se estudia en esta sección.

El biestable *RS* sincronizado de la Figura 13.2-1 es convertible fácilmente para que realice la operación *JK* añadiendo un terminal a cada una de las puertas Y de entrada del biestable maestro y haciendo una conexión de realimentación desde estos terminales hasta las salidas, como muestra la Figura 13.3-1*a*. La entrada S (S_1 del biestable maestro de la Figura 13.2-1) se llama ahora entrada J, y la entrada R (R_1 del biestable maestro) se llama entrada K. Antes de añadir la conexión de realimentación, las entradas S y R encaminaban o «dirigían» la forma de onda de reloj a una u otra puerta Y de entrada. Si la entrada S estaba en estado alto, la puerta era habilitada y el impulso de reloj era dirigido a través de la puerta para poner en estado set al biestable. La adición de la realimentación permite que el estado de salida del biestable participe en la función de dirigir el impulso de reloj a una u otra puerta.

La tabla de verdad del biestable *JK* está en la Figura 13.3-1*b*. Las primeras tres filas son idénticas a las correspondientes de la tabla de verdad del *RS* sincronizado. La operación del circuito es la siguiente:

1. Consideremos la primera fila. Cuando $J_n = K_n = \mathbf{0}$, ambas puertas de entrada Y están inhibidas por lo que el impulso de reloj no afectará al estado del biestable y tendremos $Q_{n+1} = Q_n$.
2. En la segunda fila tenemos dos posibilidades. Primera, $J_n = \mathbf{0}$, $K_n = \mathbf{1}$ y $Q_n = \mathbf{0}$; es decir, el biestable está en estado reset. Aquí la puerta Y superior está inhibida a causa de que $J_n = \mathbf{0}$ y la puerta Y inferior está inhibida a consecuencia de la conexión de realimentación por ser $Q_n = \mathbf{0}$. Así pues, el estado del biestable no cambiará por la aplicación de un impulso de reloj. Si ahora $J_n = \mathbf{0}$, $K_n = 1$ y $Q_n = \mathbf{1}$, el biestable está en el estado set, la puerta superior Y está inhibida puesto que $J_n = \mathbf{0}$, pero la puerta Y inferior está habilitada, ya que $Q_n = \mathbf{1}$ y $K_n = \mathbf{1}$, y el impulso de reloj hará que el biestable cambie al estado reset.
3. En la tercera fila, por las mismas razones, se ve que la aplicación de un impulso de reloj hará que el biestable cambie al estado set si no lo estaba ya.



(*a*)

J_n	K_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	$\bar{Q}_n$

(*b*)

Figura 13.3-1. Biestable maestro-seguidor *JK*: (*a*) circuito; (*b*) tabla de verdad.

4. Finalmente, en la cuarta fila tenemos $J_n = K_n = \mathbf{1}$. Así, el estado de la salida de Q y de $\bar{Q}$ determinará cuál de las puertas Y está habilitada. Si $Q_n = \mathbf{1}$, la puerta Y inferior está habilitada debido a la conexión de realimentación y un impulso de reloj pondrá en reset al biestable para $Q_{n+1} = \mathbf{0}$. Si $Q_n = \mathbf{0}$ ($\bar{Q}_n = \mathbf{1}$), la puerta Y superior está habilitada y un impulso de reloj pondrá en estado set al biestable *JK* para $Q_{n+1} = \mathbf{1}$. Cada uno de estos casos conduce a $Q_{n+1} = \bar{Q}_n$. Para describir esta operación, mediante la cual cada vez que llega el impulso de reloj cambia el estado del biestable, se dice que el biestable bascula. La acción es análoga a la de un conmutador normal de palanca y el basculamiento tiene lugar cuando $J_n = K_n = \mathbf{1}$, lo que diferencia el biestable *JK* del biestable *RS*.

EJEMPLO 13.3-1

Las formas de onda *C*, *J* y *K* representadas en la Figura 13.3-2*a* son aplicadas al biestable maestro-seguidor *JK*. Representar la forma de onda de salida *Q* suponiendo que el estado inicial es $Q = \mathbf{0}$.

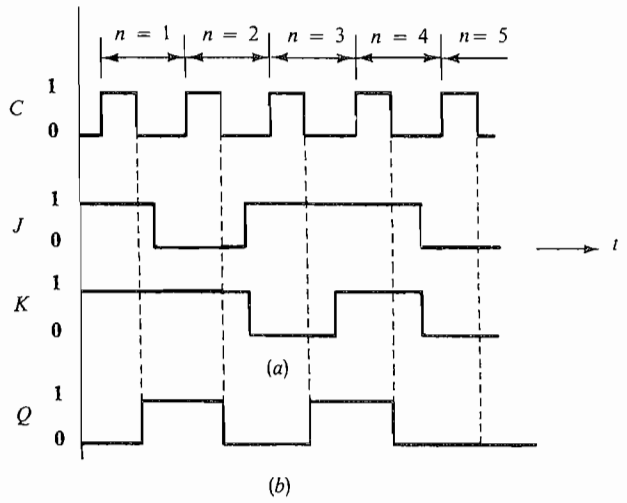


Figura 13.3-2. Formas de onda para el Ejemplo 13.2-1: (*a*) entrada; (*b*) salida.

Solución

La forma de onda Q está representada en la Figura 13.3-2*b*. Obsérvese que como este biestable es maestro-seguidor, Q cambia únicamente cuando el impulso de reloj vuelve al estado bajo. Las acciones específicas son las siguientes:

Impulso de reloj 1: J y K están a **1** antes de este impulso, por lo que Q bascula, pasando a **1** en el flanco descendente del impulso.

Impulso de reloj 2: $J = \mathbf{0}$ y $K = \mathbf{1}$ antes del impulso. Como esta es la condición de reset, Q pasa a **0**.

Impulso de reloj 3: $J = \mathbf{1}$ y $K = \mathbf{0}$; esta es la condición set, por lo que Q pasa a **1**.

Impulso de reloj 4: $J = \mathbf{1}$ y $K = \mathbf{1}$, por lo que el biestable bascula, pasando a **0**.

Impulso de reloj 5: Aquí $J = K = \mathbf{0}$. Como esta es la condición en que no hay cambio, Q se mantiene en **0**.

13.4. BIESTABLE *JK* ACTIVADO POR FLANCOS

Un biestable activado por flancos es aquél en que las entradas pueden cambiar cuando el impulso de reloj está en estado bajo o en estado alto sin que esto sea causa de cambio en la salida Q. Unicamente cambia la salida durante la operación transitoria del biestable motivada por el flanco descendente del impulso de reloj.

En la Figura 13.4-1*a* está representado el biestable 74/54S114 Schottky activado por flancos. Cuando el impulso de reloj está en el estado bajo, las puertas G_1 y G_2 están inhibidas y los cambios de las entradas J y K no pueden afectar la salida del biestable. Para ver lo que ocurre cuando el impulso de reloj está en el estado alto supongamos $Q_n = \mathbf{1}$ ($\bar{Q}_n = \mathbf{0}$). Entonces, puesto que $C = \mathbf{1}$ y $Q_n = \mathbf{1}$, la salida de $G_3 = \mathbf{1}$; por tanto $\bar{Q}_n$ se mantiene en **0** independientemente de la entrada J o K. Además, puesto que $\bar{Q}_n = \mathbf{0}$, las salidas de las puertas G_5 y G_6 están en estado bajo y $Q_n = \mathbf{1}$ independientemente de J o K.

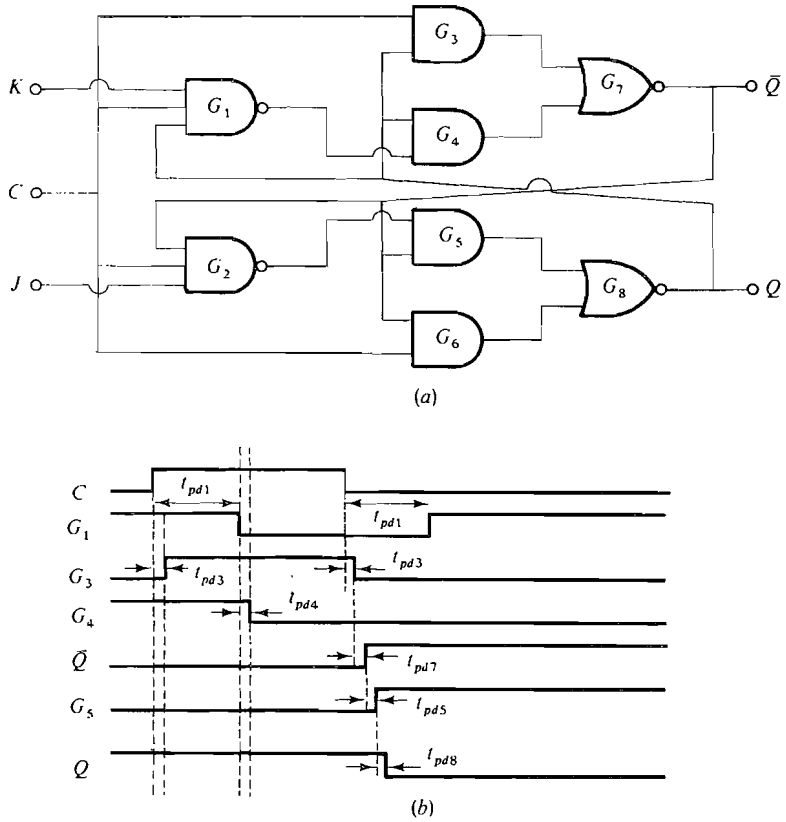


Figura 13.4-1. Biestable JK activado por flancos: (a) circuito; (b) formas de onda, $J = K = \mathbf{1}$.

Ahora vemos que el biestable cambia de estado en el flanco de bajada del impulso de reloj. Este es el flanco que inhibe las puertas G_1 y G_2. Supongamos que $J = K = \mathbf{1}$, por lo que estaremos en el modo de basculamiento, y sea $Q_n = \mathbf{1}$ ($\bar{Q}_n = \mathbf{0}$).

Con referencia a la Figura 13.4-1a y las formas de onda de la Figura 13.4-1b supongamos que el impulso de reloj pase de **0** a **1**. Entonces G_1 está habilitada y su salida desciende después de un retardo de tiempo t_{pd1}. Simultáneamente G_3 está habilitada y su salida asciende después de un retardo t_{pd3}. Se ve que el retardo en G_1 excede en mucho del retardo en G_3. El biestable está construido para que los retardos en G_1 y G_2 sean mayores que los retardos en cualquiera de las demás puertas. Con el fin de explicar con claridad la operación hemos supuesto arbitrariamente una relación 8:1 en el retardo de propagación. Después de que G_1 pasa a **0**, la salida de G_4 es **0**. Las salidas Q y $\bar{Q}$ no cambian.

Ahora supongamos que el impulso de reloj vuelve al estado **0** y que, por consiguiente, inhibe las puertas G_1 y G_2. Después de un retardo t_{pd1}, G_1 pasa al estado **1**. Sin embargo, después de un retardo mucho más corto t_{pd3}, G_3 pasa al estado **0**. Ahora las salidas de G_3 y G_4 están en el estado **0** y, por consiguiente, la salida de G_7, que es $\bar{Q}$, sube al estado **1**. Con $\bar{Q}$ en estado alto, la salida de la puerta G_5 pasa también al estado alto y Q desciende.

Se deja para los problemas demostrar que para que el biestable activado por flancos funcione correctamente,

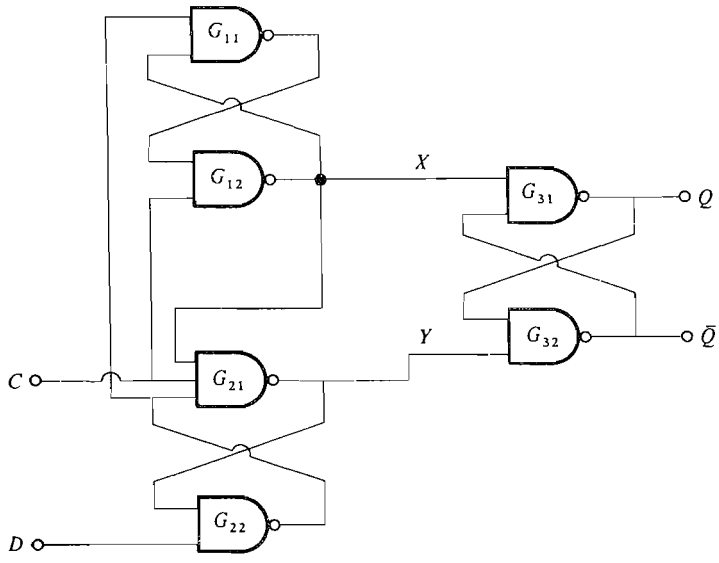
$$t_{pdi} \geq 4t_{pdj} \qquad \begin{matrix} i = 1, 2; \\ j = 3, 4, 5, 6, 7, 8 \end{matrix}$$

Se puede ver que los cambios en J o en K afectan a las salidas de las puertas G_1 y G_2 respectivamente, siempre y cuando la señal de reloj C está alta. Cuando el reloj C está a nivel bajo los cambios en las señales J o K no afecten a las puertas G_5 y G_4. Así pues, el valor de J y K en el instante anterior a que la señal C cambie de **1** a **0** se ve en las salidas del biestable, Q y $\bar{Q}$, en el instante después del cambio de la señal C de **1** a **0**. En este sentido, el biestable activado por flanco es similar al biestable maestro-seguidor descrito en la Sección 13.2.

13.5. EL BIESTABLE *D* (RETARDADO)

En un sistema digital síncrono suele ser necesario disponer de una señal retardada exactamente un ciclo del reloj y para esta operación existe un biestable especial llamado biestable D (7474) que utiliza puertas NO-Y, cuya tabla de verdad está en la Figura 13.5-1*b*. Su función consiste en transferir los datos de la línea D a la salida Q en el siguiente impulso de reloj. En el biestable activado por flancos representado se produce el cambio cuando el impulso de reloj pasa al estado alto. La operación del biestable se explica mejor considerando cada línea de la tabla de verdad:

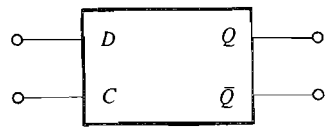
1. $C = \mathbf{0}$ (reloj bajo); las salidas de las puertas G_{21} y G_{12} están ambas en estado alto, es decir, $X = Y = \mathbf{1}$, por lo que las puertas G_{31} y G_{32} están habilitadas. En esta condición es válido cualquiera de los estados $Q = \mathbf{0}$, $\bar{Q} = \mathbf{1}$ o $Q = \mathbf{1}$, $\bar{Q} = \mathbf{0}$, por lo que Q se mantiene en el valor que tenía previamente; es decir, $Q_{n+1} = Q_n$. La entrada D no afecta a la salida.
2. $C = \mathbf{1}$ (reloj en nivel alto). Si inicialmente $X = \mathbf{0}$, esto supone que $Y = \mathbf{1}$, es decir, $Q = \mathbf{1}$, con lo que los cambios en la entrada D no tienen efecto sobre la salida. Si en el instante inicial $X = \mathbf{1}$ y, por tanto, $Y = \mathbf{0}$; entonces $Q = \mathbf{0}$ y los cambios en la señal D no afectan a la salida. Cuando $C = \mathbf{1}$ se observa fácilmente que $X = \bar{Y}$, luego es imposible que $X = \mathbf{1}$ e $Y = \mathbf{1}$ o bien que $X = \mathbf{0}$ e $Y = \mathbf{0}$. Así, en este caso los cambios en el estado de D no alteran las salidas del biestable, Q y $\bar{Q}$.
3. $D_n = \mathbf{1}$, C cambiando a nivel alto, Y se mantendrá a **1** tal y como estaba mientras C se encontraba en nivel bajo. Si las entradas a la puerta G_{12} pasan a nivel alto, entonces $X = \mathbf{0}$, Q_{n+1} pasa a **1** y $\bar{Q}_{n+1}$ pasa a **0**. Mientras C está a nivel alto los cambios en D no producen cambios en X, Y o Q. Cuando C vuelve a nivel bajo, Y continúa en estado alto y X pasa a nivel alto con lo que el biestable G_{31}-G_{32} permanece en su estado previo, esto es, $Q_{n+1} = Q_n = \mathbf{1}$.
4. $D_n = \mathbf{0}$, C pasando a nivel alto. En este caso Y pasa a valer **0** (las tres entradas de la puerta G_{21} son **1**) mientras X permanece a **1**. De esta forma $Q_{n+1} = \mathbf{0}$. Mientras $C = \mathbf{1}$ los cambios en D no afectarán a X, Y o Q. Cuando C vuelve a nivel bajo X continua a **1** mientras Y pasa también a nivel alto, con lo que las salidas permanecen en su estado previo, esto es, $Q_{n+1} = Q_n = \mathbf{0}$.



(a)

C	D_n	X	Y	Q_{n+1}	$\bar{Q}_{n+1}$
0	X	1	1	Q_n	$\bar{Q}_n$
↓	1	0	1	1	0
↓	0	1	0	0	1

(b)



(c)

Figura 13.5-1. Biestable tipo D: (*a*) diagrama lógico (los circuitos de preset y borrado han sido omitidos); (*b*) tabla de verdad; (*c*) símbolo lógico.

Estos pasos o escalones demuestran que los datos existentes en la entrada D cuando el impulso de reloj está bajo serán transferidos a la salida Q cuando el impulso de reloj pase al estado alto, es decir, en el flanco ascendente del impulso de reloj. También muestran que mientras el impulso de reloj esté en nivel alto los cambios habidos en D no tienen efecto sobre la salida Q. (Véase Prob. 13.5-1).

EJEMPLO 13.5-1

La Figura 13.5-2*a* muestra formas de onda típicas del impulso de reloj y de la entrada D. Dibujar la forma de onda de salida Q suponiendo que el biestable está inicialmente en SET.

Solución

La forma de onda resultante está representada en la Figura 13.5-2*b*. Obsérvese que la salida Q implica el mismo estado que la entrada D, pero la salida está sincronizada

con el flanco ascendente del impulso de reloj. Así pues, en t_1, $D = Q = \mathbf{1}$. En t_3, Q pasa a **0**; en t_4, D pasa a **1** y Q le sigue en t_5. En t_6, D pasa a **0** y Q le sigue en t_7. En t_8, D pasa a **1** mientras el reloj está todavía en **1**; sin embargo, el cambio a **1** no ocurre en Q hasta el flanco ascendente de reloj en t_9.

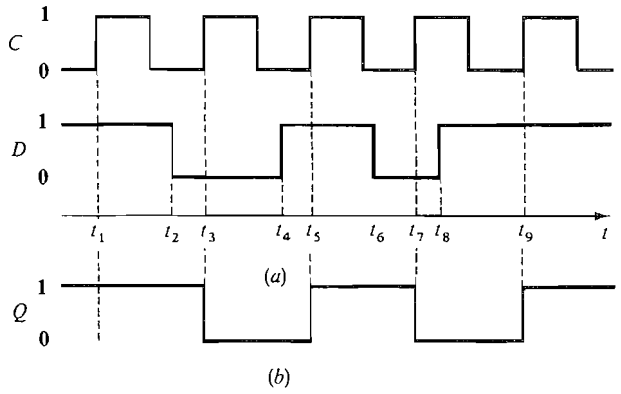


Figura 13.5-2. Formas de onda para el Ejemplo 13.5-2: (*a*) entrada; (*b*) salida.

Latch. En la Figura 13.5-3 aparece el diagrama lógico del latch D. Este es un biestable sincronizado que no es maestro-seguidor ni activado por flancos. El *latch* D es un dispositivo mucho menos complicado que el biestable D activado por flancos representado en la Figura 13.5-1 y, por lo tanto, menos costoso. Sin embargo, mientras el biestable D se puede utilizar como módulo o célula de almacenamiento en un registro de desplazamiento (Sec. 14.1), el *latch* D no puede ser utilizado para ello. Su funcionamiento se describe en el Problema 13.5-3.

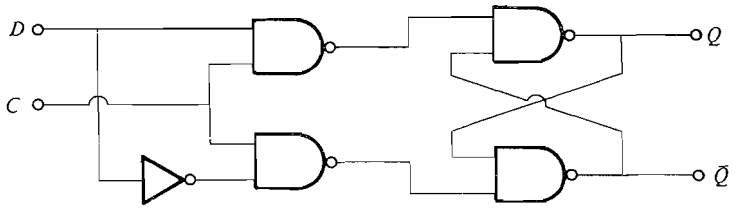


Figura 13.5-3. *Latch D.*

13.6. BIESTABLES EXISTENTES EN EL MERCADO

En esta sección consideramos brevemente los tipos de biestables disponibles en las diferentes familias lógicas. Como hemos señalado, en la actualidad la mayoría de diseños utilizan las tecnologías Schottky TTL, ECL o CMOS. Hemos tabulado las características más importantes de cada familia para su comparación.

13.6-1. TTL

La familia TTL tiene las seis series siguientes, de las cuales solamente las cuatro últimas se utilizan de forma intensiva en nuevos diseños:

1. Estándar 54/74
2. Alta velocidad 54/74H
3. Schottky 54/74S
4. Schottky de bajo consumo 54/74LS
5. Schottky avanzada de bajo consumo 54/74ALS
6. Schottky avanzada 54/74AS y rápida 54/74F

Los distintos tipos de biestables están disponibles en alguna o todas de estas series. Por ejemplo, el catálogo de 1987 de National Semiconductor ofrece 69 circuitos integrados con biestables; 29 son *JK* y 39 son del tipo *D*. A continuación se ofrecen ejemplos de algunos de estos biestables:

1. 54/7470 *JK* activado por flanco ascendente. Las entradas son J_1, J_2, J, K_1, K_2, $\bar{K}$, preset, clear y clock, disponible únicamente en la serie estándar. Aparece un solo biestable en cada encapsulado de 14 terminales.
2. 54/7472 *JK* maestro-seguidor. Entradas J_1, J_2, J_3, K_1, K_2, K_3, preset, clear y reloj. Disponible en las series estándar 54/74, 54/74H y 54/74LS. Uno por encapsulado de 14 terminales.
3. 54/7474 doble biestable tipo *D* disparado por flanco de subida. Entradas *D*, preset, clear y clock. Disponible en los cuatro tipos. Dos unidades completamente independientes por cada encapsulado de 14 terminales.

Especificaciones del fabricante. En la Figura 13.6-1 está reproducida la hoja de datos de un biestable *JK* maestro-seguidor TTL. Incluye un esquema completo de la unidad, la tabla de verdad, la forma de onda típica de reloj con la descripción del funcionamiento en cada punto importante del impulso de reloj. El esquema es muy complicado y contiene 22 transistores, 8 de ellos con emisores múltiples y 11 diodos.

En la tabla de condiciones recomendadas de funcionamiento hay algunos términos que requieren definición, todos los cuales están ilustrados por las formas de onda representadas en la Figura 13.6-2 (véase pág. 692).

1. Anchura de impulso t_p. Este es el tiempo transcurrido entre los puntos del 50 por 100 del impulso y los valores mínimos son 20 ns para el impulso de reloj y 25 ns para los impulsos preset o borrado.
2. Tiempo de establecimiento $t_{\text{establecimiento}}(t_{\text{setup}})$. Intervalo de tiempo durante el cual las entradas J o K deben ser estables antes del flanco de activación del impulso de reloj con el fin de que los niveles J o K sean sincronizados fiablemente en el biestable. Se recordará que en la unidad maestro-seguidor *JK* el flanco de activación es el descendente. La condición recomendada es que t_{setup} sea, por lo menos, igual a la anchura del impulso de reloj, es decir, 20 ns. Todas las mediciones se hacen en los puntos correspondientes al 50 por 100, como se muestra.
3. Tiempo de mantenimiento de entrada $t_{\text{mantenimiento}}(t_{\text{hold}})$. Es el intervalo de tiempo durante el cual las entradas de datos deben ser constantes después de que el flanco

de activación del impulso de reloj ha descendido por debajo del punto del 50 por 100 para asegurar el funcionamiento correcto del biestable. Para la mayoría de los biestables TTL, $t_{hold} \simeq 0$.

La hoja de datos incluye también las características eléctricas y de conmutación. Los diversos parámetros asociados con estas características han sido definidos en la Sección 12.3-5. Es interesante notar que el tiempo de retardo de propagación del biestable 7472 es aproximadamente doble que el tiempo de retardo de la puerta NO-Y 7400. Así pues, en cuanto concierne al tiempo de transmisión de señal, el biestable es equivalente a dos puertas en cascada.

13.6-2. ECL

La familia ECL es la más rápida de las familias lógicas que corrientemente se pueden adquirir. Sin embargo, la alta velocidad se obtiene a costa de una mayor disipación de potencia.

Los tipos ECL más generalizados son la serie 10 000 y el MECL III (Motorola). Con la serie 10 000 pueden ser superadas velocidades de conmutación de 250 MHz, mientras con los MECL III estas cifras son 500 MHz. Existen biestables *D* ECL que funcionan a 4 GHz. La disipación de potencia de la serie 10 000 es aproximadamente 118 mW por biestable, mientras la serie MECL II requiere 220 mW.

Entre los biestables típicos disponibles en la serie 10 000 tenemos

1. MC10131 doble tipo *D* maestro-seguidor.
2. MC10135 doble *JK* maestro-seguidor.
3. MC10176 séxtuple tipo *D* maestro-seguidor (reloj común)

Para MECL III una selección es

1. MC1666 doble *RS* sincronizado.
2. MC1668 doble latch sincronizado. Esta unidad es una combinación de latch síncrono y biestable *RS*. Cuando el reloj está en estado bajo, las entradas *RS* controlan el estado de la salida. Cuando el reloj está en estado alto, la salida sigue a la entrada *D*.
3. MC1670 tipo *D* maestro seguidor.

13.6-3. CMOS

La familia CMOS es la más lenta de todas las familias lógicas, pero tiene como ventaja un bajo consumo. La máxima frecuencia de reloj para el doble biestable de tipo *D* 74HC74 es de 30 MHz, mientras que el promedio de disipación por encapsulado es típicamente de 20 μW. Hay 18 biestables diferentes en el catálogo de Motorola, incluyendo:

1. 74HC74 doble *D* con set-reset.
2. 74HC73 doble *JK* con reset.

DESCRIPTION

These J-K flip-flops are based on the master-slave principle and each has AND gate inputs for entry into the master section which are controlled by the clock pulse. The clock pulse also regulates the state of the coupling transistors which connect the master and slave sections. The sequence of operation is as follows:

1. Isolate slave from master
2. Enter information from AND gate inputs to master
3. Disable AND gate inputs
4. Transfer information from master to slave.

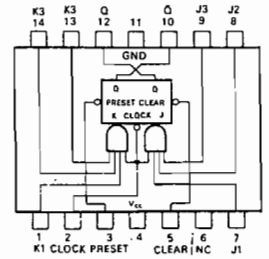
TRUTH TABLE

LOGIC

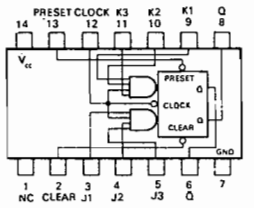
t_n		t_{n+1}
J	K	Q
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q}_n$

PIN CONFIGURATIONS

W PACKAGE



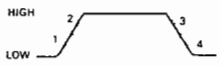
A,F PACKAGE



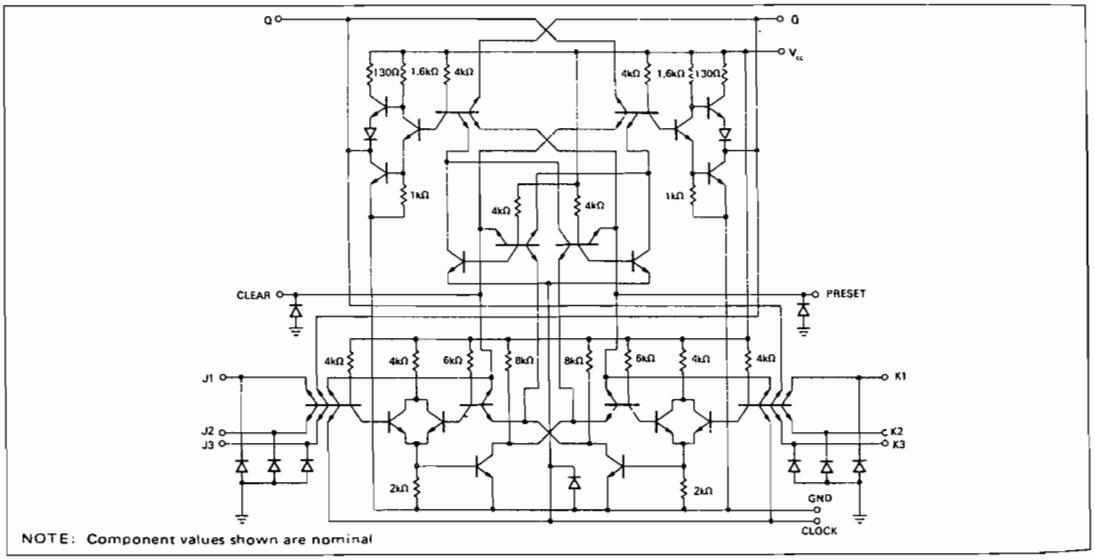
NOTES:

1. $J = J1 \cdot J2 \cdot J3$
2. $K = K1 \cdot K2 \cdot K3$
3. t_n = Bit time before clock pulse.
4. t_{n+1} = Bit time after clock pulse.
5. NC = No Internal Connection.

CLOCK WAVEFORM



SCHEMATIC DIAGRAM



NOTE: Component values shown are nominal

Figura 13.6-1. Hoja de datos de un biestable *JK* maestro-seguidor. (*Cortesía de Signetics, Inc.*)

RECOMMENDED OPERATING CONDITIONS

		MIN	NOM	MAX	UNIT
Supply Voltage V_{CC}: S5472 Circuits		4.5	5	5.5	V
N7472 Circuits		4.75	5	5.25	V
Operating Free-Air Temperature Range, T_A:	S5472 Circuits	-55	25	125	°C
	N7472 Circuits	0	25	70	°C
Normalized Fan-Out From each Output, N				10	
Width of Clock Pulse, $t_{p(clock)}$		20			ns
Width of Preset Pulse, $t_{p(preset)}$		25			ns
Width of Clear Pulse, $t_{p(clear)}$		25			ns
Input Setup Time, t_{setup}		$\geq t_{p(clock)}$			
Input Hold Time, t_{hold}		0			

ELECTRICAL CHARACTERISTICS (over recommended operating free-air temperature range unless otherwise noted)

PARAMETER		TEST CONDITIONS*			MIN	TYP**	MAX	UNIT
$V_{in(1)}$	Input voltage required to ensure logical 1 at any input terminal	V_{CC} = MIN			2			V
$V_{in(0)}$	Input voltage required to ensure logical 0 at any input terminal	V_{CC} = MIN					0.8	V
$V_{out(1)}$	Logical 1 output voltage	V_{CC} = MIN,	I_{load} = -400μA		2.4	3.5		V
$V_{out(0)}$	Logical 0 output voltage	V_{CC} = MIN,	I_{sink} = 16mA			0.22	0.4	V
$I_{in(0)}$	Logical 0 level input current at J1, J2, J3, K1, K2, or K3	V_{CC} = MAX,	V_{in} = 0.4V				-1.6	mA
$I_{in(0)}$	Logical 0 level input current at preset, clear, or clock	V_{CC} = MAX,	V_{in} = 0.4V				-3.2	mA
$I_{in(1)}$	Logical 1 level input current at J1, J2, J3, K1, K2, or K3	V_{CC} = MAX,	V_{in} = 2.4V				40	μA
		V_{CC} = MAX,	V_{in} = 5.5V				1	mA
$I_{in(1)}$	Logical 1 level input current at preset, clear, or clock	V_{CC} = MAX,	V_{in} = 2.4V				80	μA
		V_{CC} = MAX,	V_{in} = 5.5V				1	mA
I_{OS}	Short circuit output current†	V_{CC} = MAX,	V_{in} = 0	S5472	-20		-57	mA
				N7472	-18		-57	
I_{CC}	Supply current	V_{CC} = MAX,	V_{in} = 5V			10	20	mA

SWITCHING CHARACTERISTICS, V_{CC} = 5V, T_A = 25°C, N = 10

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
f_{clock}	Maximum clock frequency	C_L = 15pF,	R_L = 400Ω	15	20		MHz
t_{pd1}	Propagation delay time to logical 1 level from clear or preset to output	C_L = 15pF,	R_L = 400Ω		16	25	ns
t_{pd0}	Propagation delay time to logical 0 level from clear or preset to output	C_L = 15pF,	R_L = 400Ω		25	40	ns
t_{pd1}	Propagation delay time to logical 1 level from clock to output	C_L = 15pF,	R_L = 400Ω	10	16	25	ns
t_{pd0}	Propagation delay time to logical 0 level from clock to output	C_L = 15pF,	R_L = 400Ω	10	25	40	ns

* For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.

** All typical values are at V_{CC} = 5V, T_A = 25°C.

† Not more than one output should be shorted at a time.

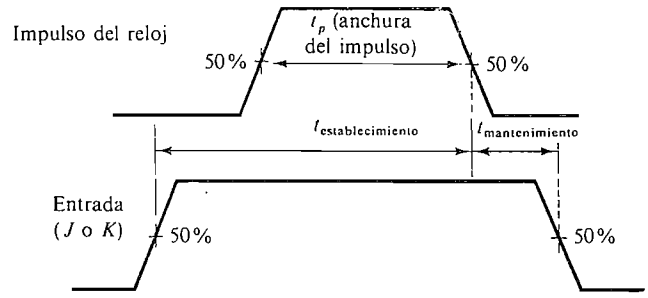


Figura 13.6-2. Formas de onda que ilustran los intervalos de temporización del impulso.

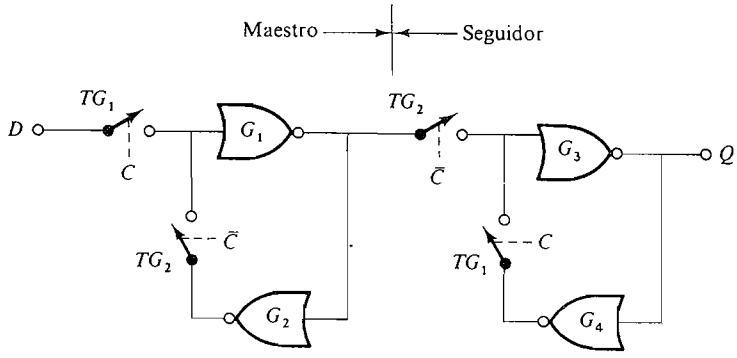


Figura 13.6-3. Biestable CMOS tipo *D*.

Los biestables CMOS no están construidos de la misma manera que las otras familias sino que en ellos se utilizan los interruptores FET descritos en la Sección 3.9. La Figura 13.6-3 muestra el circuito de una unidad maestro-seguidor tipo *D*. Los interruptores (*TG* significa puerta de transmisión) están controlados por el impulso de reloj; una señal de reloj alta hace que el interruptor se abra (estado de corte) y una señal de reloj baja hace que el interruptor se cierre o conduzca. TG_1 está controlado por la señal de reloj C mientras TG_2 esta controlado por $\bar{C}$. Las dos puertas NO-O G_1 y G_2 forman el biestable maestro cuando el interruptor TG_2 está cerrado y las puertas G_3 y G_4 forman el biestable seguidor cuando TG_1 está cerrado.

El funcionamiento del circuito es como sigue. Consideremos que el impulso de reloj está en estado alto por lo que TG_1 está abierto y TG_2 está cerrado. El biestable maestro tendrá en su salida los datos del ciclo anterior, los cuales alimentan al seguidor a través de TG_2. Ahora, cuando el impulso de reloj pasa al estado bajo, TG_2 se abre, TG_1 se cierra y el seguidor actúa como un biestable. Los datos recibidos del maestro aparecen en la salida. Si tanto TG_1 como TG_2 estuviesen cerrados al mismo tiempo, habría un camino directo de la entrada a la salida. Para evitar esto, las señales de sincronización aplicadas a las puertas de transmisión están combinadas de modo que TG_2 se abre antes de que TG_1 se cierre.

13.7. COMPARACION DE LOS BIESTABLES DE LAS DIVERSAS FAMILIAS

En la tabla 13.7-1 comparamos las características de biestables de las familias ECL, TTL y CMOS. Como hemos visto en una comparación análoga de las puertas lógicas en el Capítulo 12, la ECL es la más rápida pero disipa una potencia considerable mientras la CMOS es la más lenta y disipa una potencia relativamente pequeña. La TTL Schottky disipa mucha más potencia que la ECL a frecuencias de conmutación muy altas.

Tabla 13.7-1

	STTL	LSTTL	ASTTL	ALSTTL	10KH ECL	III ECL	CMOS	74HCMOS
Frecuencia máxima de conmutación MHz	125	45	134	50	250	500	10	30
Potencia de disipación, mW	150	50	26	6	140	220	10	65

PROBLEMAS

13.1-1. Las formas de onda de la Figura P13.1-1 son aplicadas al biestable *RS* de la Figura 13.1-2*a*. Dibujar la forma de onda Q resultante suponiendo que Q está inicialmente en estado bajo.

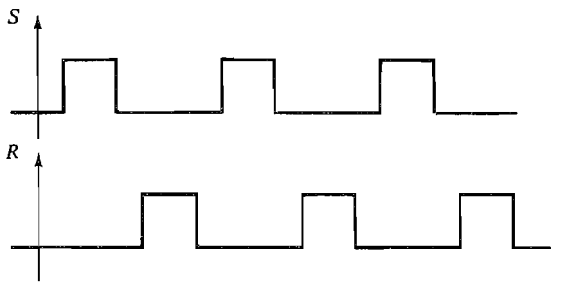


Figura P13.1-1.

13.1-2. Repetir el Problema 13.1-1 para las formas de onda de la Figura P13.1-2.

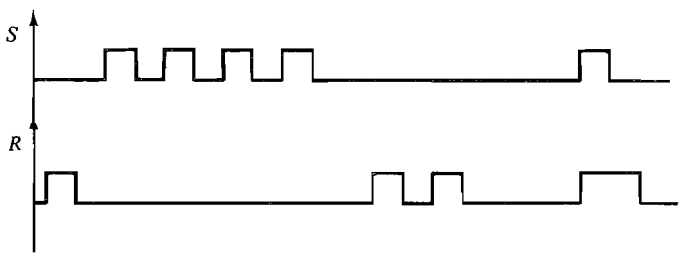


Figura P13.1-2.

13.1-3. El circuito de la Figura P13.1-3 representa un biestable en que se utilizan inversores con transistores, de acoplo cruzado, para los cuales $V_{CE,\,sat} = 0$ y $V_{BE,\,sat} = 0{,}7$ V. Suponiendo que T_1 está en conducción y T_2 en corte, hallar todas las corrientes y tensiones del circuito y demostrar que la suposición conduce a condiciones consistentes.

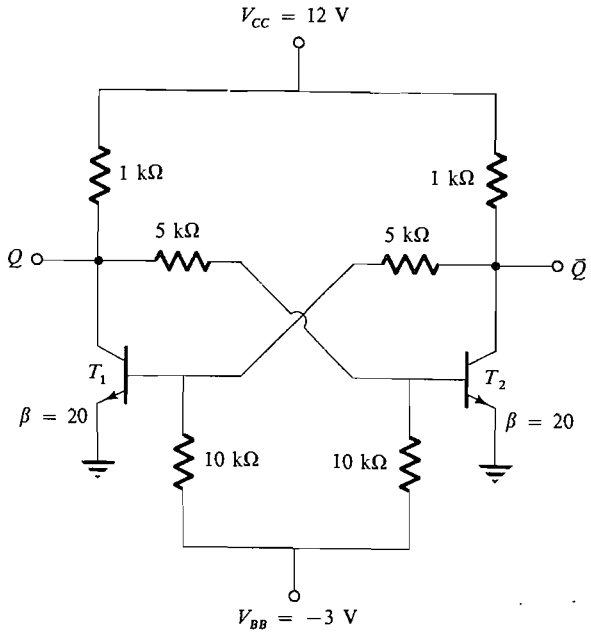


Figura P13.1-3.

13.1-4. Idear un circuito que active el biestable de la Figura P13.1-3, es decir, que conmute para que T_1 esté en corte y T_2 esté en conducción.

13.1-5. Las formas de onda de la Figura P13.1-5 son aplicadas al biestable *RS* sincronizado de la Figura 13.1-5*a*. Dibujar la forma de onda resultante Q suponiendo que Q está inicialmente en estado alto.

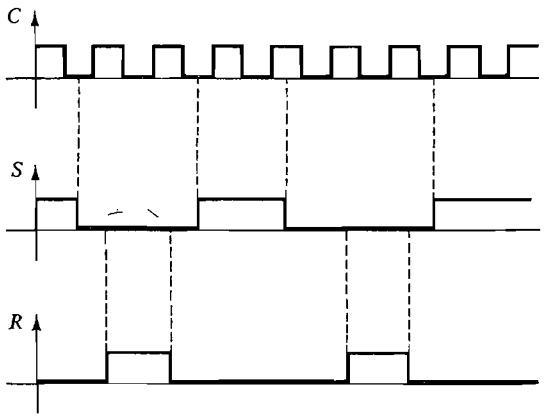


Figura P13.1-5.

13.1-6. Se aplican las formas de onda de la Figura 13.1-6 al biestable *RS* con entradas síncronas representado en la Figura 13.1-7. Dibujar la forma de onda de salida Q suponiendo que Q está inicialmente en estado bajo.

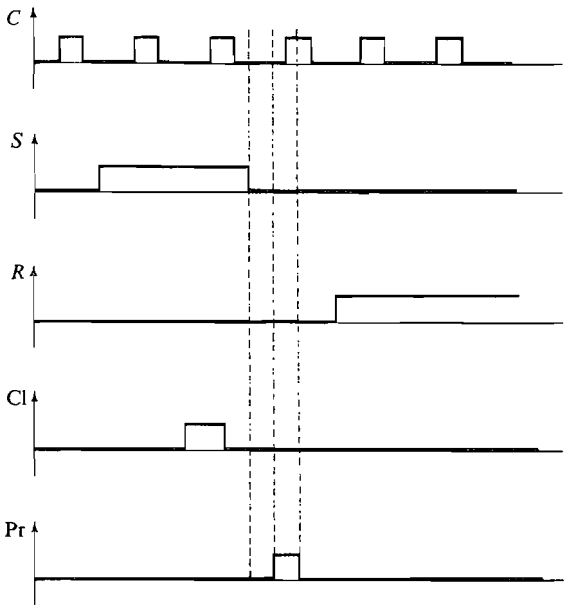


Figura P13.1-6.

13.2-1. Las formas de onda de la Figura P13.1-5 se aplican al biestable *RS* maestro-seguidor de la Figura 13.2-1. Dibujar la forma de onda resultante Q suponiendo que Q está inicialmente en estado bajo.

13.2-2. Repetir el Problema 13.2-1 para las formas de onda de la Figura P13.1-6. Suponer que la acción de Pr y Cl es la misma que la de un biestable que no es del tipo maestro-seguidor.

13.3-1. Repetir el Ejemplo 13.3-1 suponiendo que todas las puertas tienen un tiempo de retardo de propagación t_{pd} por puerta que es el 5 por 100 de la anchura de un impulso de reloj. Representar C, C_2, J, K, Q_1, $\bar{Q}_1$, Q_2 y $\bar{Q}_2$ teniendo en cuenta el tiempo de propagación.

13.3-2. Las formas de onda de la Figura P13.3-2 se aplican al biestable *JK* maestro-seguidor de la Figura 13.3-1. Dibujar la forma de onda de la salida Q suponiendo que Q está inicialmente en estado bajo.

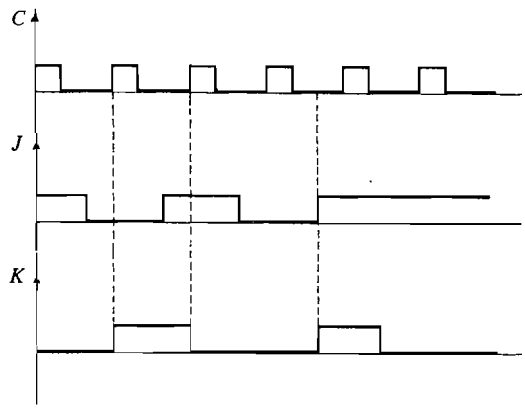


Figura P13.3-2.

13.3-3. El biestable JK maestro-seguidor con $J = K = 1$ se denomina biestable tipo T (báscula). Dibujar la forma de onda Q si la entrada del impulso de reloj es una onda cuadrada de 1 MHz.

13.3-4. Hallar un par de formas de onda J y K que produzcan la forma de onda Q representada en la Figura P13.3-4. Se supone que se trata de un biestable maestro-seguidor.

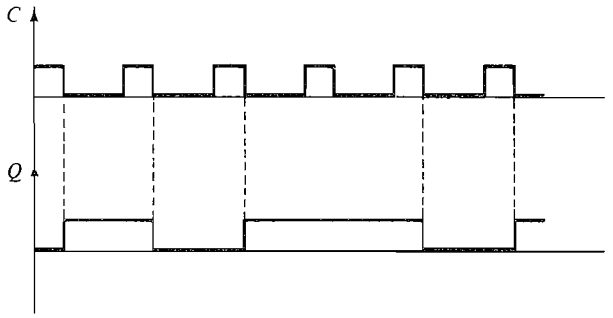


Figura P13.3-4.

13.4-1. Las formas de onda de la Figura P13.3-2 se aplican al biestable JK disparado por flancos de la Figura 13.4-1*a*. Se supone que el retardo en las puertas 1 y 2 es el 50 por 100 de la anchura de un impulso de reloj y que es cinco veces mayor que el retardo de las puertas 3 a 8. Representar la forma de onda de salida Q. Suponer que Q está inicialmente en estado bajo.

13.4-2. De acuerdo con lo explicado en la Sección 13.4, demostrar que se debe tener $t_{pd1,2} \geq 4t_{pd3\,a\,8}$.

13.5-1. Se aplican las formas de onda de la Figura P13.5-1 al biestable D representado en la Figura 13.5-1*a*. Suponiendo que Q está inicialmente en estado bajo, representar la forma de onda Q.

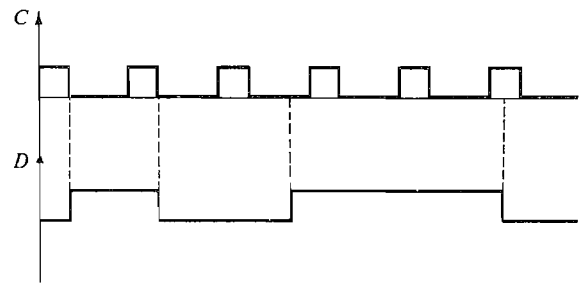


Figura P13.5-1.

13.5-2. Empleando únicamente biestables D diseñar un biestable JK. Explicar el funcionamiento del biestable D *latch* que se muestra en la Figura 13.5-3. Para la señal de reloj y la entrada D de la Figura 13.5-2 obtener la salida Q. Suponer que cada puerta tiene el mismo tiempo de retardo de propagación t_{pd}.

13.6-1. En el circuito de la Figura P13.6-1, los biestables JK TTL son de tipo maestro-seguidor.
(*a*) Dibujar Q_1 y Q_2 suponiendo tiempos de retardo despreciables.
(*b*) Se supone un tiempo de establecimiento de entrada t_{setup} de 20 ns, un tiempo de mantenimiento $t_{hold} = 0$ y un tiempo de propagación t_{pd} del impulso de reloj para la salida de 40 ns en cada biestable; determinar la máxima frecuencia de reloj para que el funcionamiento sea fiable.

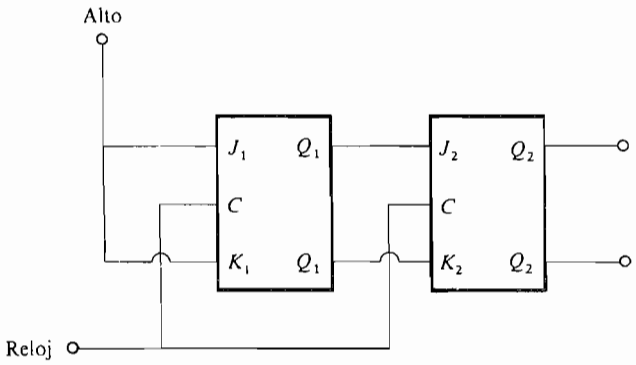


Figura P13.6-1.

13.6-2. Repetir la parte (*b*) del Problema 13.6-1 para un biestable ECL, en el cual t_{setup} = 2,5 ns, t_{hold} = 1,5 ns y t_{pd} (impulso de reloj para la salida) = 3 ns.

13.6-3. Repetir la parte (*b*) del Problema 13.6-1 para un biestable CMOS en el cual t_{setup} = 70 ns, t_{hold} = 0 y t_{pd} (impulso de reloj para la salida) = 175 ns.

CAPITULO

14

Registros, contadores y circuitos aritméticos

INTRODUCCION

En este capítulo consideramos algunos de los circuitos más importantes utilizados en sistemas digitales, tales como el *registro*, dispositivo que se utiliza para almacenar y transferir los datos; el *contador*, que efectúa lo que indica justamente su nombre; los *circuitos aritméticos*, especialmente los que suman números binarios, y el *gate-array* (matriz de puertas), que es un dispositivo que contiene gran cantidad de puertas y biestables y cuya configuración es programable. Se hará especial énfasis en aquellos dispositivos que están disponibles actualmente en circuito integrado.

14.1. REGISTROS DE DESPLAZAMIENTO

Los registros son dispositivos que se utilizan para almacenar y/o desplazar los datos dados por fuentes externas. Están construidos mediante la conexión de varios biestables en cascada. Como hemos visto en el Capítulo 13, un solo biestable puede almacenar 1 bit de datos, por lo que un registro de n bits requerirá n biestables. En sistemas digitales los registros se utilizan generalmente para el almacenamiento *temporal* de datos.

Hay dos tipos de datos que nos conciernen, *serie* y *paralelo*. Los datos serie consisten en una secuencia en el tiempo de dígitos binarios que son transferidos por una sola línea; la transferencia de datos en paralelo significa que todos los bits de un grupo dado son transferidos simultáneamente en líneas separadas. La función desplazamiento de un registro permite que los datos almacenados se desplacen en serie de una etapa a otra entrando o saliendo del registro. Los desplazamientos de datos son el desplazamiento serie a derecha o a izquierda y el desplazamiento paralelo entrando y saliendo del registro. Además, el registro se utiliza para la conversión de datos de serie a paralelo y viceversa.

14.1-1. Registros de desplazamiento con entrada serie

La Figura 14.1-1*a* muestra un registro de desplazamiento de 4 bits que utiliza biestables de tipo *D*. Para explicar su funcionamiento consideremos la palabra de datos **1011** como

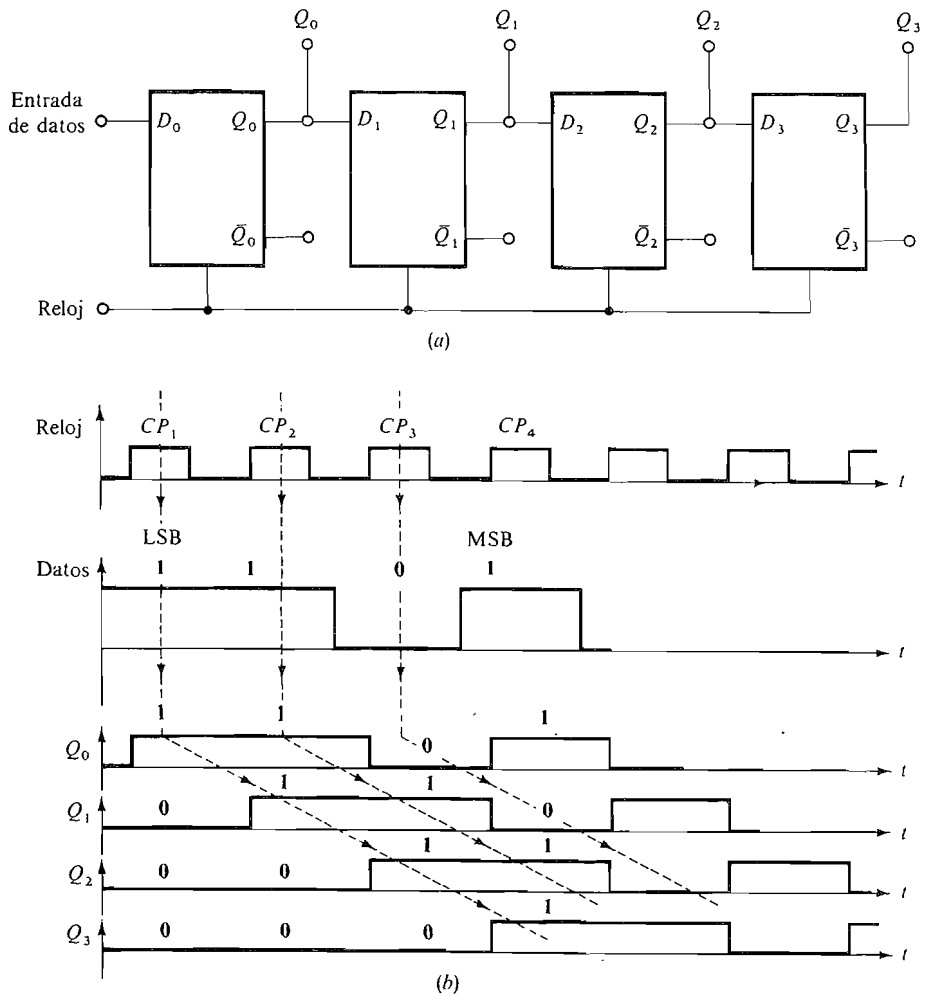


Figura 14.1-1. Registro de desplazamiento de cuatro bits: (*a*) diagrama lógico; (*b*) formas de onda.

entrada. Suponemos que el registro está inicialmente borrado; es decir, en $t = 0$, Q_0 a Q_3 están todos en estado **0**. La forma de onda serie de entrada que contiene la palabra de datos está representada en la Figura 14.1-1*b*. Recordemos (Sec. 13.5) que el biestable tipo *D* transfiere los datos a la salida en el flanco ascendente del impulso de reloj. Así, en el flanco ascendente del impulso de reloj 1 (CP_1) el primer bit aparece en el terminal Q_0. Cuando es aplicado el segundo impulso de reloj, el bit en Q_0 se transfiere a Q_1 mientras el siguiente bit de la palabra es transferido a Q_0. A continuación CP_3 hace que el bit presente en Q_1 aparezca en Q_2, que el bit existente en Q_0 aparezca en Q_1, y que el bit siguiente de datos aparezca en Q_0. La operación continúa de esta manera hasta que la palabra completa presente en CP_4 haya sido desplazada de izquierda a derecha en el registro. Si la palabra de datos debe ser almacenada, los impulsos de reloj deben ser detenidos en este punto.

Los datos se pueden tomar del registro en cualquiera de las formas serie o paralelo. Para la extracción serie sólo es necesario aplicar cuatro impulsos adicionales de reloj; entonces los datos aparecen en el terminal Q_3 en la forma serie. Después de que haya sido expulsado el último bit, el registro aparecerá borrado hasta que se introduzcan nuevos datos.

La frecuencia de reloj necesaria no tiene que ser la misma mientras se está sacando la información que la que había cuando se estaba introduciendo la información, por lo que el registro puede actuar como un cambiador de frecuencia.

Para poder leer los datos en la forma paralelo sólo es necesario introducir previamente los datos en serie, como se ha explicado. Una vez almacenados los datos, cada bit aparece en una línea de salida separada, Q_0 a Q_3 en la Figura 14.1-1*a*, por lo que todos los bits están disponibles simultáneamente, tal como se requiere para la salida en paralelo.

14.1-2. Registros de desplazamiento con entrada paralelo y salida serie

El registro de desplazamiento 54/7494 de 4 bits representado en la Figura 14.1-2 es un ejemplo de registro cuyos biestables pueden efectuar las funciones de preset y borrado asíncronamente. Esta unidad puede ser cargada en serie síncronamente o en paralelo asíncronamente y tiene salida serie síncrona. Es borrada (todas las salidas de los biestables en nivel bajo) aplicando un nivel de tensión alto a la entrada de borrado mientras las entradas internas de preset (designadas *A*, *B*, *C* y *D*) están inactivas (nivel alto). Esta operación es independiente del nivel de entrada del impulso de reloj.

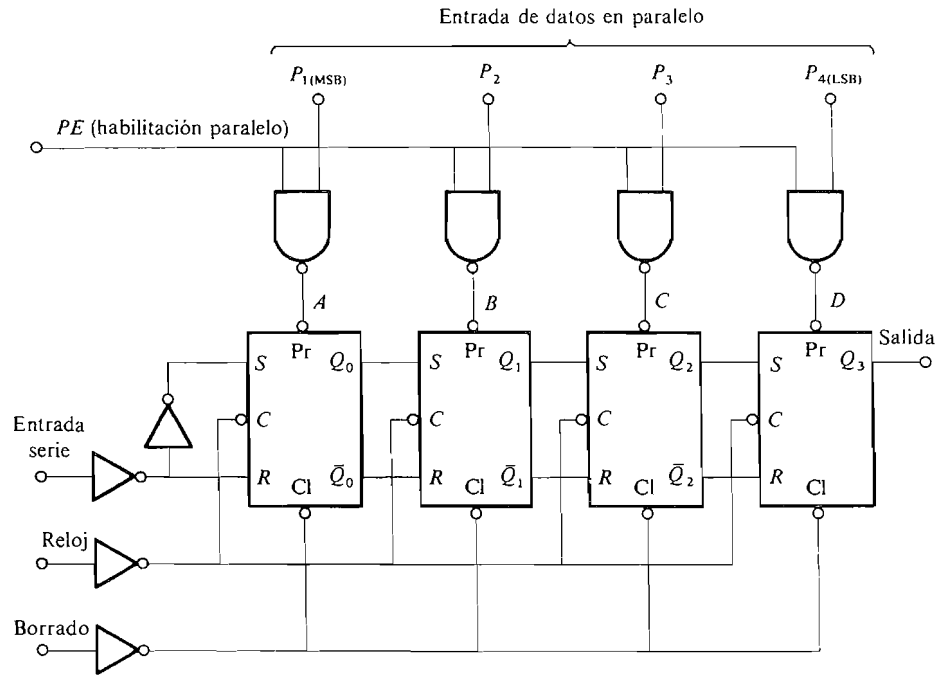


Figura 14.1-2. Registro de desplazamiento 54/7494 de 4 bits simplificado.

Para la carga en paralelo se borran todas las etapas (la entrada de borrado está en nivel alto). Las puertas NO-Y que alimentan los terminales preset (puesta previa a **0**) están inicialmente inhibidas mediante la aplicación de una tensión de habilitación paralelo (PE) de preset de nivel bajo. A continuación, se aplica la palabra de datos a las entradas de datos en paralelo P_1, P_2, P_3 y P_4 y luego se aplica un nivel de tensión alto al terminal PE, que habilita las puertas NO-Y. Esto transfiere la palabra de datos a los terminales preset internos A, B, C y D y, por tanto, a las salidas de los biestables, independientemente del impulso de reloj. Ahora el nivel PE pasa al estado bajo inhibiendo las puertas NO-Y, y la aplicación de tres impulsos de reloj hace que aparezca la palabra de datos en forma serie en el terminal de salida Q_3.

En el registro 54/7494 la información es transferida a las salidas en el flanco ascendente del impulso de reloj y de esta manera la información estará disponible en la entrada RS de cada biestable antes del flanco ascendente de la forma de onda del reloj. El impulso de reloj estará en nivel bajo cuando el registro se cargue síncronamente. Cuando el impulso de reloj esté alto y durante las transiciones de los impulsos de reloj la entrada de borrado debe estar en nivel bajo y el impulso que habilita el preset debe estar inactivo (nivel bajo).

14.1-3. Registro de desplazamiento universal

En la Figura 14.1-3*a* hemos representado el diagrama lógico del registro de desplazamiento Fairchild 9300. Esta unidad se puede adquirir como TTL estándar y Schottky y puede funcionar en los modos síncronos serie y paralelo con desplazamiento a la izquierda y a la derecha. Contiene cuatro biestables maestro-seguidor síncronos con entradas D. Las puertas lógicas de las entradas D dan la versatilidad necesaria para las muchas funciones que realiza esta unidad. Por ejemplo, con la línea $\overline{PE}$ de habilitación en paralelo en nivel bajo, las puertas Y G_0 a G_3 están habilitadas y, por consiguiente, conectan las entradas asíncronas de preset P_0 a P_3 a las entradas D de las cuatro etapas. Estas entradas determinan entonces las salidas de cada uno de los biestables D. Mientras la línea $\overline{PE}$ está en nivel bajo, el registro tiene esencialmente cuatro biestables D separados con una señal de reloj común a causa de que las puertas Y A_1 a A_3, que conectan Q_0 a D_1, Q_1 a D_2 y Q_2 a D_3, están inhibidas.

Cuando la señal $\overline{PE}$ está en nivel alto, las puertas Y A_1 a A_3 están habilitadas y las salidas Q_0, Q_1 y Q_2 están conectadas a las entradas D_1, D_2 y D_3, respectivamente, formando así un registro de desplazamiento de 4 bits.

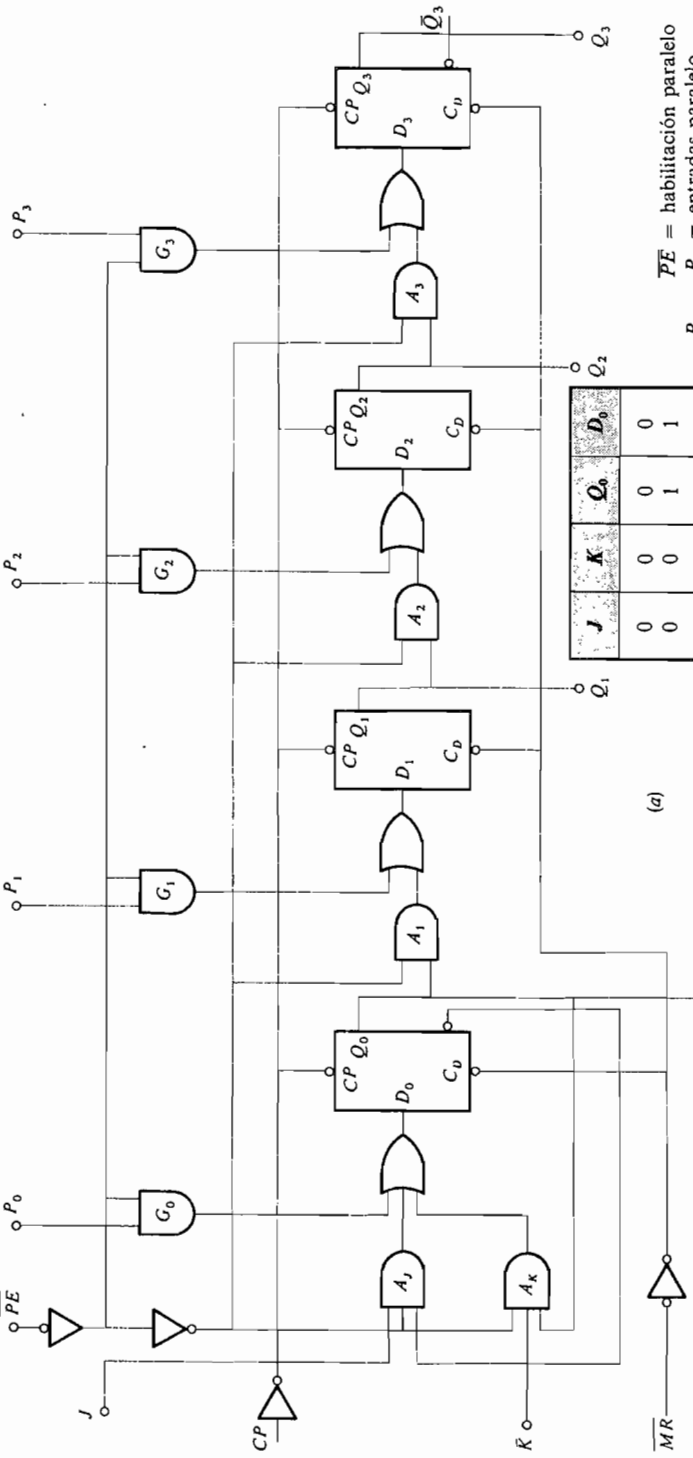
Cuando $\overline{PE}$ está en nivel alto, las puertas A_J y A_K están habilitadas y la entrada D_0 es

$$D_0(n + 1) = J\bar{Q}_0(n) + \bar{K}Q_0(n) \tag{14.1-1}$$

Aquí $Q_0(n)$ es el valor actual de Q_0 y $D_0(n + 1)$ es el valor que tendrá $Q_0(n + 1)$ después del impulso de reloj. La tabla de verdad para (14.1-1) está en la Figura 14.1-3*b*.

En este dispositivo las salidas cambian de estado después de la transición del impulso de reloj de nivel bajo a nivel alto. La acción de la entrada $\overline{MR}$ (reset del biestable maestro) es para poner a cero todas las etapas cuando el nivel de la entrada es bajo, independientemente de todas las demás.

Como ejemplo de las formas de onda que aparecen con este registro, consideremos la que se va a utilizar para la conversión paralelo-serie en el modo de desplazamiento a la



J	K	Q_0	D_0
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Figura 14.1-3. Registro de desplazamiento 9300/74195 Fairchild de 4 bits: (*a*) circuito; (*b*) tabla de verdad.

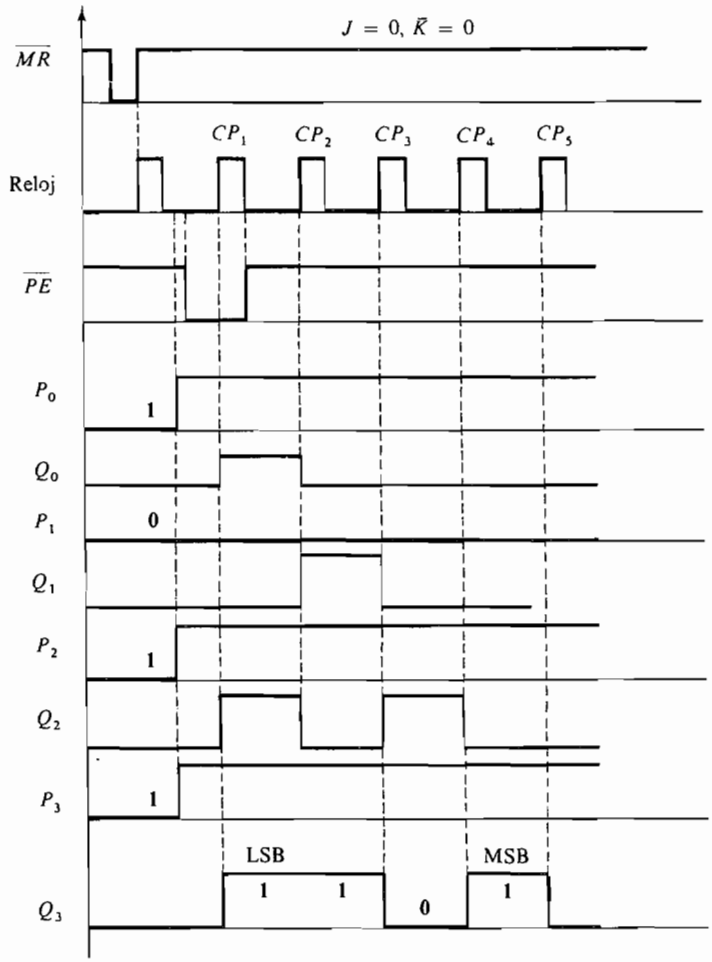


Figura 14.1-4. Formas de onda en el convertidor paralelo-serie.

derecha. En este caso ajustamos $J = \bar{K} = \mathbf{0}$ poniendo, por tanto, a **0** las salidas A_J a A_K. Esto permite desplazar todas las entradas aplicadas a P_0, así como las aplicadas a las entradas P_1 a P_3, a través de los biestables D.

Sea $P_0P_1P_2P_3 = \mathbf{1011}$ la palabra de datos, como muestra la Figura 14.1-4. Como ahora el desplazamiento es a la derecha, las entradas a los biestables en los extremos de la izquierda están ordenadas de modo que la salida Q_0 sea **0** después del primer desplazamiento. Esto se cumplirá puesto que $J = \bar{K} = \mathbf{0}$. La secuencia en el tiempo de los eventos es como sigue:

1. La señal $\overline{MR}$ (reset del biestable maestro) pasa a nivel bajo, poniendo a cero todos los biestables.
2. Las entradas paralelo P_0, P_1, P_2 y P_3 son aplicadas a sus terminales respectivos.
3. La señal $\overline{PE}$ pasa a nivel bajo durante un impulso de reloj, cargando todas las entradas paralelo en sus respectivos biestables.

4. Cada impulso de reloj hace que los datos se desplacen una etapa o posición a la derecha en la transición del impulso de reloj nivel bajo-nivel alto, produciendo la forma de onda de salida Q_3 representada.
5. El quinto impulso de reloj vuelve a poner a cero la salida.

Para que el 9300 opere como registro normal o estándar de desplazamiento serie en la entrada y en la salida unimos los terminales J y $\overline{K}$. Este nuevo terminal es ahora el terminal de entrada de datos. Luego ajustamos $\overline{PE} = 1$ para inhibir las puertas G_0 a G_3 y habilitar las puertas A_J, A_K y A_1 a A_3.

Para que el 9300 funcione como registro serie a la izquierda en la entrada y en la salida conectamos Q_3 a P_2, Q_2 a P_1 y Q_1 a P_0. Los datos de entrada son aplicados a P_3 y $\overline{PE} = 0$, por lo que se inhiben las puertas A_J, A_K, A_1, A_2 y A_3 y se habilitan las puertas G_0 a G_3. Cuando ocurre el impulso de reloj, el bit de datos existente en P_3 es transferido a Q_3. Puesto que Q_3 está conectado a P_2 y, por tanto, a D_2, la salida de Q_3 es desplazada hasta Q_2. Análogamente el bit de datos existente en Q_2 es desplazado hasta Q_1 y el nivel de salida de Q_1 es desplazado hasta Q_0.

El lector debe consultar la correspondiente información que facilitan los fabricantes para otros modos de funcionamiento[1-3].

14.1-4. Registro de desplazamiento FIFO

El registro de desplazamiento *primero en entrar-primero en salir* (FIFO) está representado en la Figura 14.1-5. Consiste en un registro estándar de desplazamiento a la derecha con capacidad de entrada en paralelo; el uso de estas entradas en paralelo es lo que distingue al registro FIFO del registro usual de desplazamiento.

El bit de entrada de datos D pasa a través de la puerta G_D cuando el impulso de entrada de reloj (CL_i) está en nivel alto. El biestable D que acepta este bit de datos se elige siempre de manera que sea el primer registro vacío. Por ejemplo, si todo el registro está borrado, los desplazamientos se ordenan de modo que, utilizando las puertas G_0 a G_7, el primer bit de datos entre en FF_0. Si aparece un segundo bit de datos antes de que llegue un segundo impulso de reloj (CL_o), este bit será almacenado en FF_1. Ahora supongamos que los datos están almacenados en FF_0 a FF_4 cuando llega el primer impulso CL_o. Entonces son desplazados fuera los datos almacenados (el primer bit que llega es el primero que sale). Si ahora llega otro bit, es almacenado en el primer registro vacío FF_4.

Como resultado de este proceso de ordenación de desplazamientos, los datos pueden entrar en el registro con una velocidad y salir con otra. Si el registro está completamente vacío, el impulso CL_o no desplaza el registro y si éste está lleno y llega otro bit, el registro se desplaza hacia la derecha y queda almacenado el nuevo bit en FF_7. Los circuitos que efectúan estas dos operaciones no están representados.

El ordenamiento se realiza por un circuito que opera de manera similar a la de un contador reversible (Prob. 14.2-7). El contador cuenta en sentido ascendente siempre que llega el impulso de entrada de reloj CL_i y en sentido descendente cuando llega el impulso de salida de reloj CL_o. Las ocho salidas del contador gobiernan el desplazamiento de los datos de entrada. En cada instante solamente está en nivel alto una de las ocho salidas. Así, si q_2 está en nivel alto, significa que los impulsos CL_i que han llegado son dos más que los impulsos CL_o y, por tanto, debemos insertar el siguiente bit en FF_2. Como consideración

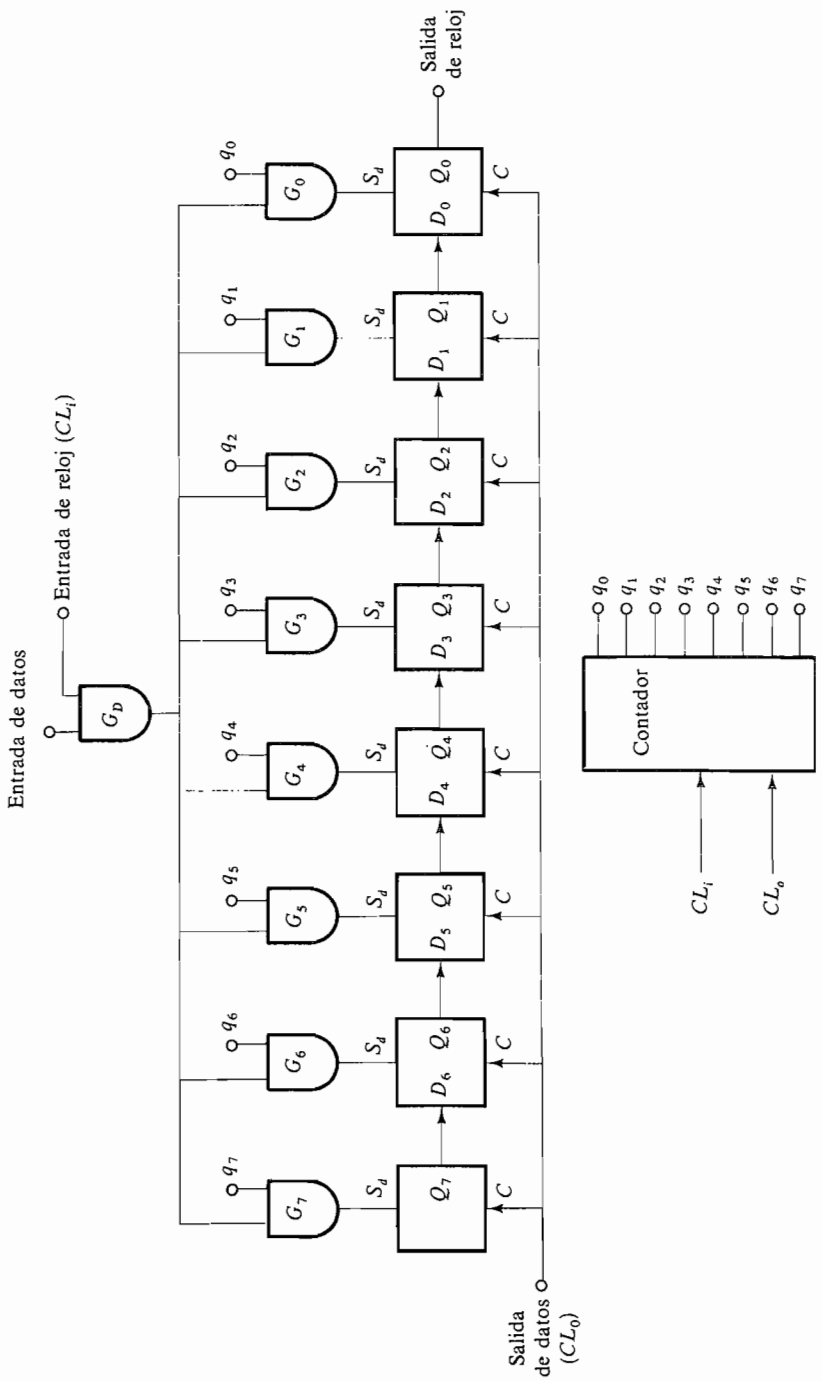


Figura 14.1-5. Esquema simplificado de un registro de desplazamiento FIFO.

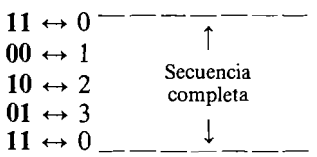
práctica hay que señalar que el contador no funcionará correctamente si coinciden los flancos de los impulsos CL_i y CL_o.

14.2. CONTADORES

Las aplicaciones de los contadores electrónicos digitales son numerosas. Incluyen los circuitos de control en los grandes computadores digitales, aplicaciones industriales tales como contar el número de revoluciones de un motor en un intervalo de tiempo dado y la división de frecuencia necesaria para producir las señales de horas, minutos y segundos en los relojes digitales de pulsera.

Se fabrican muchos tipos diferentes de contadores electrónicos; todos ellos pueden ser de tipo asíncrono o síncrono y suelen estar construidos con biestables *JK*.

Antes de comenzar el estudio detallado de los contadores conviene definir alguna terminología. Naturalmente, los contadores digitales generan ceros y unos. Sin embargo, no siempre cuentan en lo que consideramos la secuencia numérica binaria normal **0, 1, 10, 11, 100, 101**, ..., sino que a menudo emplean alguna secuencia arbitraria que debe ser decodificada. Por ejemplo, un contador capaz de cuatro estados (0 a 3) puede contar de acuerdo con la secuencia:



Si se quiere una cuenta decimal real, se debera incluir un circuito decodificador. En el ejemplo anterior el contador pasa por cuatro estados antes de su reciclado y este número representa el módulo del contador; se le denomina también contador de módulo cuatro. Como cada biestable tiene dos estados posibles, un contador con N biestables tiene un máximo de 2^N estados, siendo cada estado una combinación diferente de los ceros y unos almacenados en los biestables individuales. Así, el módulo máximo de un contador de N biestables es 2^N. Generalmente se usa un número de estados menor que el máximo, como, por ejemplo, en un contador de cuatro biestables utilizado para contar hasta 10 (contador de una década o de módulo 10). Aquí sólo se utilizan 10 de los 16 estados posibles.

En las secciones siguientes estudiaremos las características de varios contadores diferentes.

14.2-1. El contador asíncrono

En la Figura 14.2-1*a* está representado un contador asíncrono de tres etapas que utiliza biestables *JK*. En él se utiliza la máxima capacidad de cuenta de las tres etapas (módulo 8). Los biestables están conectados para cambiar de estado en la transición descendente o de bajada de la forma de onda aplicada a la entrada de reloj. La señal de entrada cuyos impulsos deben ser contados es aplicada a la entrada del reloj del primer biestable FF_0 y la

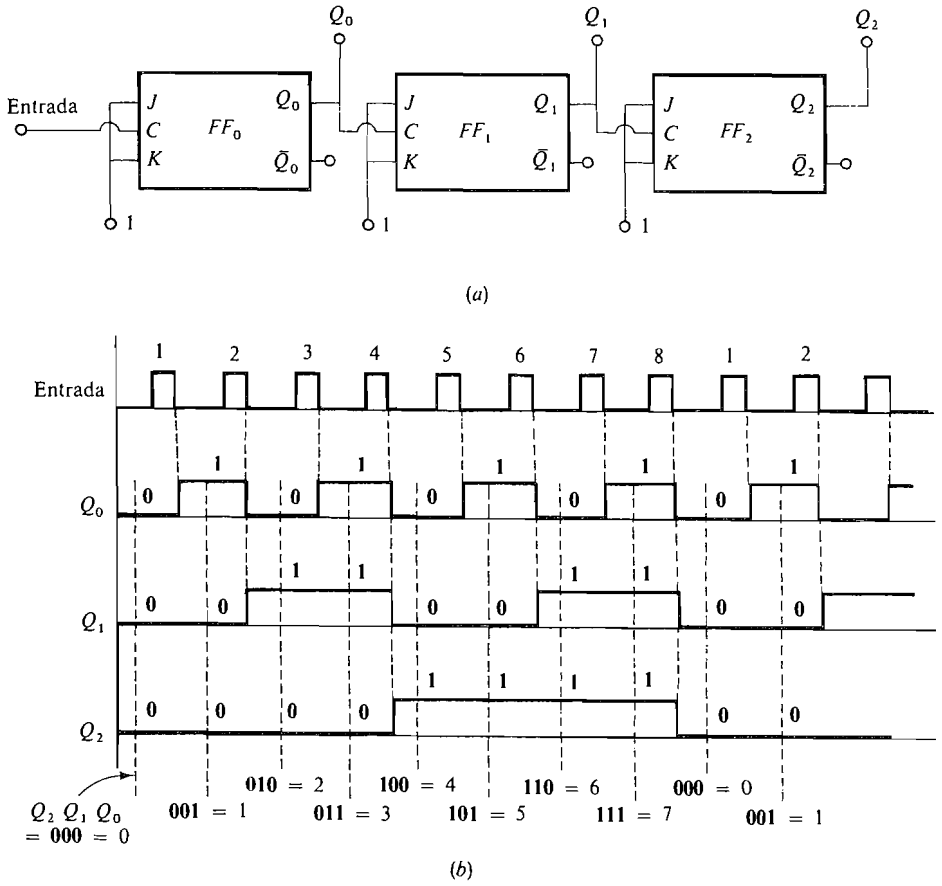


Figura 14.2-1. Contador asíncrono de módulo 8: (*a*) diagrama lógico; (*b*) formas de onda.

salida de cada biestable se conecta directamente a la entrada del reloj de la etapa siguiente. Las formas de onda en el terminal de entrada y en los tres terminales de salida están representadas en la Figura 14.2-1*b*. Por conveniencia para la explicación, la entrada se representa como periódica aunque puede ser completamente arbitraria. Obsérvese que cada salida es **0** antes de comenzarse la cuenta. Esto se hace en la práctica utilizando una entrada de borrado para cada biestable (no representada en el diagrama). La salida Q_0 se obtiene teniendo en cuenta que FF_0 cambia de estado únicamente cuando la entrada pasa de nivel alto a nivel bajo y análogamente Q_1 cambia de estado únicamente cuando Q_0 cambia de nivel alto a nivel bajo y así sucesivamente. La cuenta se obtiene observando la secuencia $Q_2Q_1Q_0$ que comienza en **000** = 0. En el diagrama se representan algunos de los pasos bajo la forma de onda Q_2, y vemos que los ciclos se cuentan de 0 a 7, después de lo cual el contador vuelve a su estado inicial. La cuenta decimal real se puede obtener asignando a Q_2 un peso de $2^2 = 4$, a Q_1 un peso de $2^1 = 2$ y a Q_0 un peso de $2^0 = 1$. Así, la fórmula para la cuenta C es

$$C = Q_2 \times 2^2 + Q_1 \times 2^1 + Q_0 \times 2^0 \qquad (14.2\text{-}1)$$

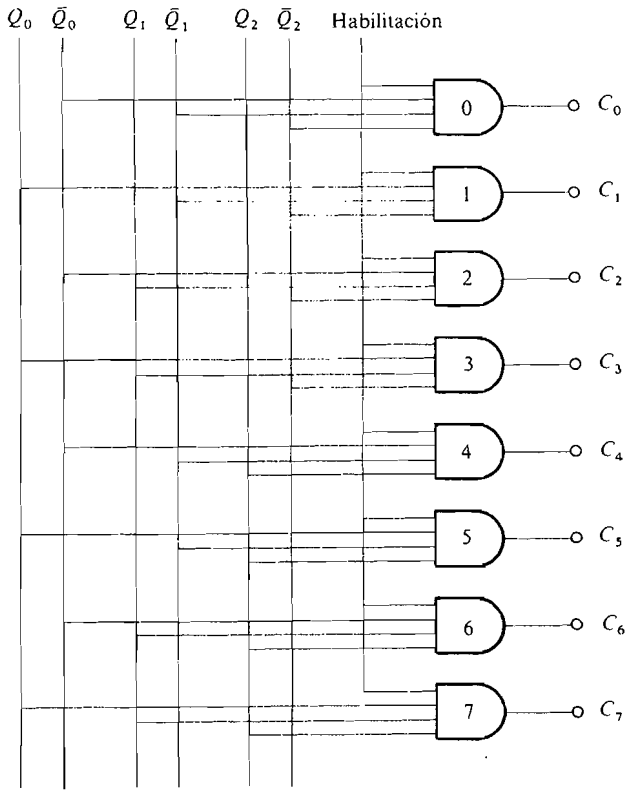


Figura 14.2-2. Decodificador binario-decimal.

Si es necesario obtener la salida decimal para la visualización o por otra razón, habrá que utilizar un decodificador binario-decimal como el representado en la Figura 14.2-2. El circuito comprende ocho puertas Y de cuatro entradas, una para cada una de las salidas posibles. Una entrada de cada puerta Y es una señal de habilitación y las otras tres provienen de los biestables del contador; la salida de cada puerta Y se puede utilizar para activar un dispositivo de visualización. El funcionamiento del circuito se comprende fácilmente considerando que la señal de habilitación está a nivel alto, por lo que las puertas están habilitadas, y considerando, por ejemplo, la puerta 0. La salida de esta puerta es

$$C_0 = \bar{Q}_2\bar{Q}_1\bar{Q}_0 \qquad (14.2\text{-}2a)$$

Cuando la cuenta es **0**, por lo que $Q_2 = Q_1 = Q_0 = \mathbf{0}$, hallamos que $C_0 = \mathbf{1}$. Se comprueba fácilmente que las salidas de las demás puertas son **0**. También como ejemplo consideremos la puerta 5. Aquí

$$C_5 = Q_2\bar{Q}_1Q_0 \qquad (14.2\text{-}2b)$$

Cuando la cuenta es 5, tenemos $Q_2Q_1Q_0 = \mathbf{101}$, por lo que $C_5 = \mathbf{1}$. Nuevamente se comprueba fácilmente que las salidas de las demás puertas son **0**. Cada una de las otras salidas deben ser **1** cuando la cuenta está en el valor correspondiente.

La entrada de habilitación es necesaria a causa de los errores de decodificación que resultan cuando se tienen en cuenta retardos de propagación finitos[4]. Las formas de onda de la Figura 14.2-1 se repiten en la Figura 14.2-3 incluyendo los retardos de propagación. Las dos últimas formas de onda de la figura son la salida ideal del decodificador en la puerta C_0 y la salida real C_0 cuando la señal de habilitación está puesta continuamente a **1**. El *error de decodificación* es la diferencia entre estas dos. Además de que la anchura real del impulso C_0 se ha reducido por el efecto acumulativo del retardo de propagación, vemos que se han añadido a C_0 impulsos adicionales indeseados. Para evitar que estos impulsos sean causa de cuentas falseadas se hace que la señal de habilitación sea de nivel bajo para que queden inhibidas todas las puertas Y excepto en el corto intervalo en que la señal de habilitación está en nivel alto. Durante este intervalo se lee la salida del decodificador. La señal de habilitación debe ser cuidadosamente diseñada para que cubra un corto intervalo que evite los impulsos indeseados o aleatorios.

Por este motivo al contador representado en la Figura 14.2-1 se le denomina en inglés *ripple* (rizado) *counter*. Consideremos en esta figura la entrada después de siete impulsos. Las salidas Q_0, Q_1 y Q_2 están altas. Cuando se aplica el octavo impulso de entrada, Q_0 pasa del nivel alto al nivel bajo; esto hace que Q_1 pase del nivel alto al nivel bajo, lo que a su vez hace que Q_2 pase del nivel alto al nivel bajo. Así, el flanco de bajada del octavo impulso causa una transición en cada uno de los sucesivos biestables, con el consiguiente efecto de ondulación o rizado en el contador. Es precisamente el retardo originado por esta fluctuación lo que produce una limitación de la máxima frecuencia de la señal de entrada.

Consideremos que en un contador asíncrono de N etapas el impulso $(2^N - 1)$-ésimo de entrada ha vuelto justamente al estado bajo y que cada biestable Q_0, ..., Q_{N-1} está en el estado alto. Después de que ocurre el siguiente impulso de entrada, la salida Q_0 pasa al

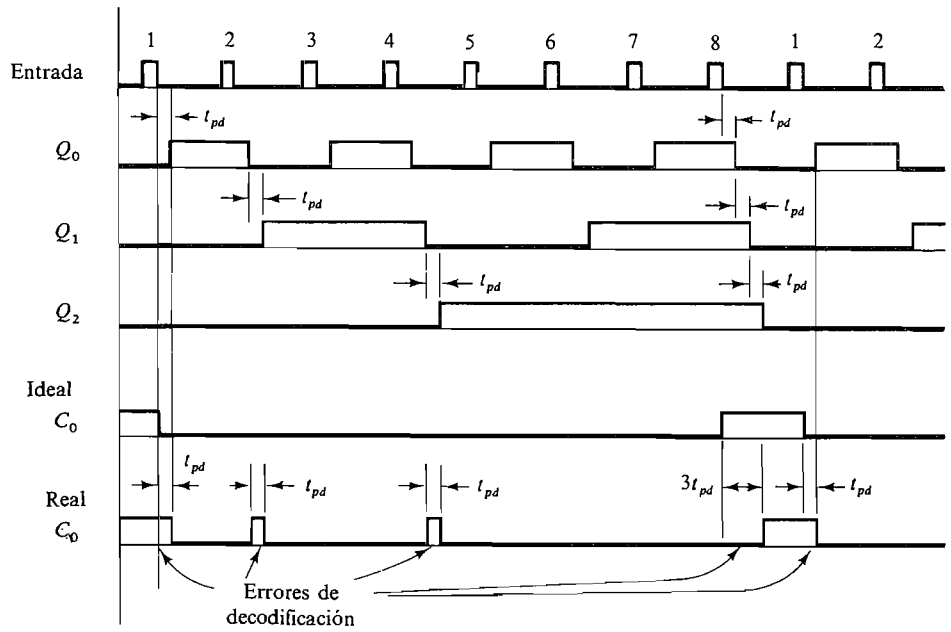


Figura 14.2-3. Formas de onda que ilustran el efecto del retardo de propagación.

estado bajo después de un tiempo t_{pd}, Q_1 pasa al estado bajo después de un tiempo adicional t_{pd}, etc. Si designamos por T_i el período de la forma de onda de entrada (supuesta periódica para esta explicación) y por T_s el intervalo de tiempo necesario para la habilitación, entonces, para poder leer la salida del contador se debe tener

$$T_i \geq Nt_{pd} + T_s \tag{14.2-3a}$$

donde N es el número de biestables, cada uno de los cuales tiene un retardo t_{pd}. Como $f_i = 1/T_i$ la máxima frecuencia de entrada es

$$f_i \leq \frac{1}{Nt_{pd} + T_s} \tag{14.2-3b}$$

Es interesante destacar que si el tiempo de habilitación $T_s \leq t_{pd}$ del primer biestable, entonces las salidas del contador podrán ser habilitadas mientras el contador está cambiando de estado. En tal caso, el tiempo T_s puede omitirse de (14.2-3*b*).

Los contadores asíncronos no están restringidos a este tipo de contaje que acabamos de describir. También existen en forma de cuenta descendente (Prob. 14.2-16) en que es almacenado un número en el contador y cuando son aplicados impulsos, el valor almacenado en el contador disminuye. Se suelen incluir circuitos lógicos para indicar cuándo llega a cero la cuenta. Tal contador se deberá utilizar en relojes que cuentan los segundos que transcurren antes de que se dispare un misil.

El contador representado en la Figura 14.2-1 es un contador de módulo 2^3. Si se utilizasen N biestables se obtendría un contador de módulo 2^N. Para convertir el contador de módulo 2^N en uno de módulo que no sea 2^N, tal como **11**, etc., basta efectuar algunos cambios sencillos (véanse Probs. 14.2-6 a 14.2-8).

División de frecuencia. La forma de onda de la Figura 14.2-1 indica que la forma de onda de la salida Q_0 tiene una frecuencia exactamente igual a la mitad de la que tiene la forma de la entrada, que la frecuencia de salida Q_1 es la cuarta parte de la frecuencia de entrada y que la frecuencia de salida Q_2 es la octava parte de la frecuencia de entrada. Así pues, el circuito actúa como *divisor de frecuencia*. En un circuito de N biestables la frecuencia de entrada es dividida por 2^N en pasos de 2.

El error de decodificación mencionado a propósito del uso del circuito como contador no afecta a su operación como divisor de frecuencia. El límite superior de la frecuencia de entrada del divisor de frecuencia es la máxima velocidad a que puede conmutar el primer biestable en el conjunto o cascada. Como los biestables segundo y siguientes conmutan a frecuencias mitad o menores que la del primero, no afectan a la máxima frecuencia de entrada que puede ser aceptada.

14.2-2. Contadores síncronos

El problema principal de los contadores asíncronos es el retardo acumulativo de los biestables cuando la cuenta progresa a lo largo de la línea. Esto se suprime en el contador síncrono en que todos los biestables están controlados por un reloj común. La Figura 14.2-4 es el circuito de un contador síncrono paralelo de 4 bits. Los dos primeros

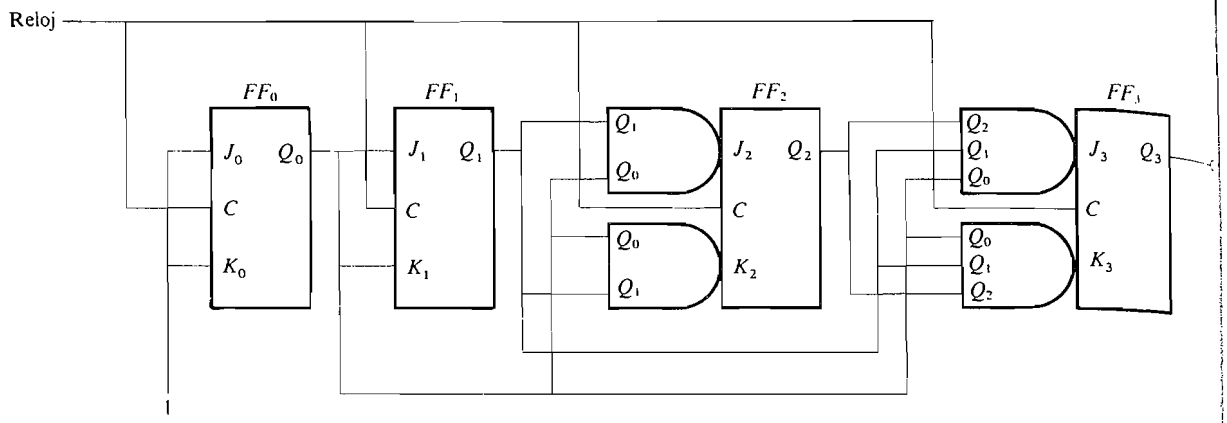


Figura 14.2-4. Circuito del contador síncrono paralelo.

Tabla 14.2-1. Tabla de estados para el contador de la Figura 14.2-4

Estado	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
⋮	⋮	⋮	⋮	⋮

biestables tienen cada uno una entrada J y una entrada K; sin embargo, FF_2 requiere dos entradas J y dos entradas K conectadas a una puerta Y; FF_3 requiere 3, etc.

La Tabla 14.2-1 muestra los 16 estados del contador. En ella se observa lo siguiente:

1. FF_0 debe cambiar de estado con cada impulso de reloj. Esto se realiza fácilmente conectando J_0 y K_0 a un nivel alto, como muestra la Figura 14.2-4.

2. FF_1 debe cambiar de estado siempre que $Q_0 = \mathbf{1}$. Esto se consigue conectando J_1 y K_1 directamente a Q_0.
3. FF_2 cambia de estado únicamente cuando $Q_0 = Q_1 = \mathbf{1}$. Así pues, Q_0 y Q_1 están conectados a través de puertas Y a J_2 y K_2 como se muestra.
4. FF_3 cambia de estado únicamente cuando $Q_0 = Q_1 = Q_2 = \mathbf{1}$. Esto requiere puertas Y de tres entradas que conecten Q_0, Q_1 y Q_2 a J_3 y K_3.
5. Cada etapa siguiente (no representada en la figura) requiere una entrada adicional para la puerta Y.

Las formas de onda y las salidas de los biestables individuales son las mismas que las representadas en la Figura 14.2-1. Una desventaja de este tipo de contador es que la fuente de los impulsos de reloj debe ser capaz de suministrar los impulsos a todos los biestables del contador. Además el *fan-out* de cada biestable aumenta en 1 por cada etapa añadida al contador. Como el retardo de propagación de un biestable aumenta con la carga, esto limita la velocidad alcanzable con el contador. En el circuito se ve que FF_0 tiene la mayor carga de salida y, por consiguiente, el máximo tiempo de retardo de propagación. Este tiempo se suele especificar por los fabricantes como función del *fan-out*. El ritmo total de repetición está limitado únicamente por el retardo de un biestable más el retardo de una puerta Y y el tiempo de habilitación. Así

$$f_{\text{máx}} \leqslant \frac{1}{t_{pd}(FF_0) + t_{pd}(\text{Y}) + T_s} \tag{14.2-4}$$

Hay que fijarse que, como se discutió en (14.2-3*b*), T_s puede omitirse de (14.2-4) siempre y cuando $T_S \leqslant t_{pd}(FF_0)$.

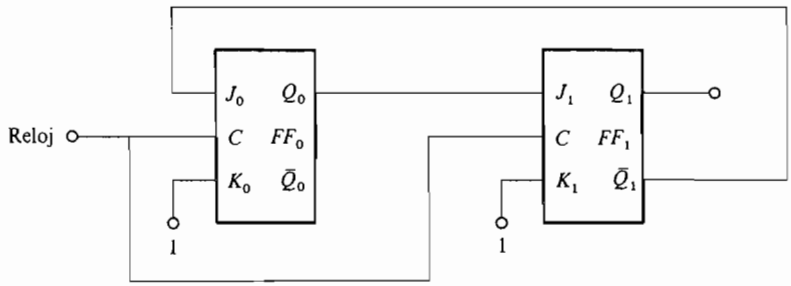
14.2-3. Contador síncrono no binario: módulo 3

Los contadores que hemos considerado hasta aquí utilizaban todos los estados posibles, es decir, 2^N. Los ejemplos incluían los contadores de módulo 8 ($N = 3$) y de módulo 16 ($N = 4$). En esta sección estudiaremos un contador de módulo 3, que tiene sólo tres estados. En general, para un contador de módulo m debemos utilizar N biestables, donde N se elige para que sea el menor número para el cual el máximo módulo 2^N sea mayor que m. Así, deberá usarse un contador de tres etapas ($N = 3$) para $m = 5$ a 8, para $N = 4$ podemos adoptar $m = 9$ a 16, etc. Para un contador de módulo 3 evidentemente sólo se requieren dos biestables. Como dos biestables pueden generar cuatro estados diferentes, debemos omitir uno de los estados posibles. En la Tabla 14.2-2 especificamos los tres estados del contador. En ella vemos que está omitido el estado **11** y, por comodidad, admitimos que la cuenta decimal debe ser la misma que el estado del contador.

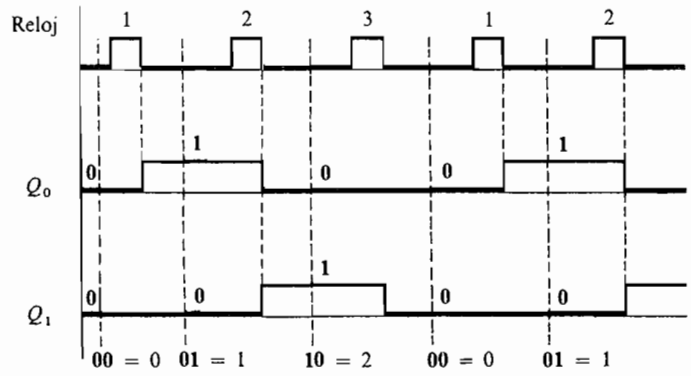
El circuito de dos biestables presentado en la Figura 14.2-5*a* satisface la tabla de estados del contador de módulo 3. Las formas de onda están representadas en la Figura 14.2-5*b*. Para explicar cómo funciona el contador, supongamos que FF_0 y FF_1 están inicialmente en reset por lo que $Q_1Q_0 = \mathbf{00}$. Entonces $\bar{Q}_1 = \mathbf{1}$ y $J_0K_0 = \mathbf{11}$ por lo que FF_0 es puesto a **1** (set) por el primer impulso de reloj. La cuenta registrada por el contador es ahora $Q_1Q_0 = \mathbf{01}$.

Tabla 14.2-2. Tabla de estados

Estado del contador	Q_1 (2^1)	Q_0 (2^0)
0	0	0
1	0	1
2	1	0
0	0	0
1	0	1
2	1	0
0	0	0
⋮	⋮	⋮



(*a*)



(*b*)

Figura 14.2-5. Contador de módulo 3: (*a*) circuito; (*b*) formas de onda.

Como $J_0K_0 = \mathbf{11}$, el siguiente impulso de reloj pondrá a **0** (reset) a FF_0, haciendo que $Q_0 = \mathbf{0}$ una vez más. Simultáneamente, puesto que $Q_0 = \mathbf{1}$ antes de que llegue el segundo impulso de reloj, FF_1 es puesto a **1** por el segundo impulso de reloj y Q_1 pasa a ser **1**. No hay ambigüedad en este proceso, ya que cada biestable es de tipo maestro-seguidor o bien del tipo activado por flancos.

Con $Q_1Q_0 = \mathbf{10}$ (ahora la cuenta es 2), $J_0 = \mathbf{0}$ mientras $K_0 = \mathbf{1}$, por lo que el tercer impulso de reloj pone a **0** a FF_0. Sin embargo, como $Q_0 = J_{-1} = \mathbf{0}$ y $K_1 = \mathbf{1}$, el tercer impulso del reloj pone a **0** a FF_1. Después del tercer impulso de reloj el estado del contador es, pues, $Q_1Q_0 = \mathbf{00}$, que era el estado inicial. Desde aquí el proceso se repite con el siguiente impulso de reloj.

14.2.4. Contadores de registro de desplazamiento

El contador cíclico o en anillo representado en la Figura 14.2-6 es igual que el registro de desplazamiento de 4 bits representado en la Figura 14.1-1, siendo la única diferencia que la salida Q_3 del contador en anillo es conectada a D_0. En funcionamiento normal el contador está inicialmente en preset, por lo que $Q_0 = \mathbf{1}$ mientras $Q_1 = Q_2 = Q_3 = \mathbf{0}$. Luego, cada impulso de reloj desplaza el **1**, primero a Q_1, luego a Q_2, luego a Q_3, luego vuelve a Q_0 y así continúa recorriendo el anillo.

El contador en anillo tiene numerosas aplicaciones, entre ellas el *multiplexado*. La Figura 14.2-7 representa un multiplexor de división de tiempo. En este circuito d_0, d_1, d_2 y d_3 son cuatro fuentes de datos independientes y Q_0, ..., Q_3 son las salidas del contador en anillo. Cuando $Q_0 = \mathbf{1}$, la salida $v_o = d_0$, cuando $Q_1 = \mathbf{1}$, $v_o = d_1$, etc. Así, v_o es la secuencia de datos multiplexada por división de tiempo.

$$v_o = d_0d_1d_2d_3d_0d_1 \cdots$$

Se pueden realizar fácilmente otros contadores o divisores de frecuencia utilizando la configuración de la Figura 14.2-8. Por ejemplo, consideremos que se diseña un contador de módulo 3 como en la Sección 14.2-3. Se necesita un registro de desplazamiento de dos etapas y para la síntesis se puede utilizar la tabla de estados reproducida en la Tabla 14.2-3. Obsérvese que esta tabla de estados difiere de la Tabla 14.2-2, principalmente a causa de

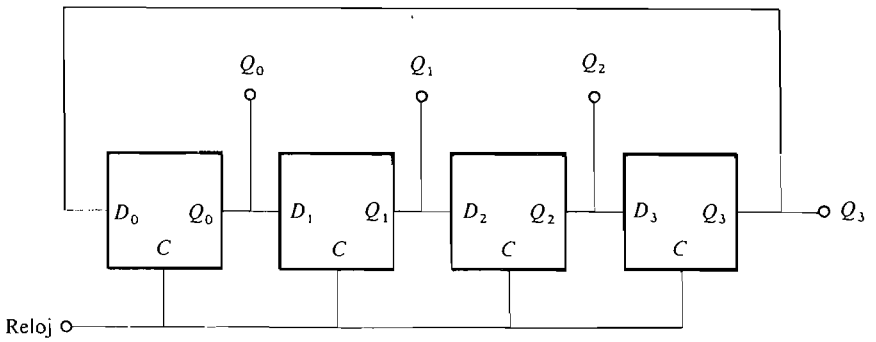
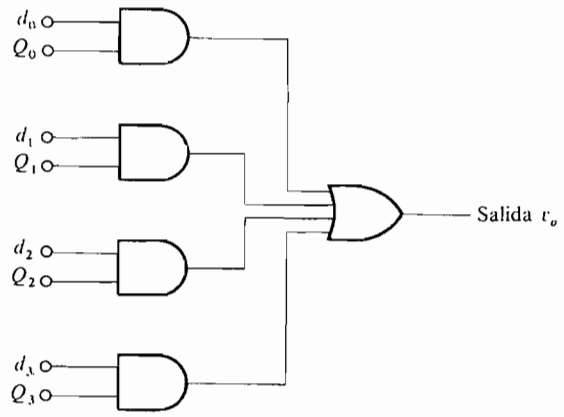


Figura 14.2-6. Contador en anillo.



$$v_o = d_0 d_1 d_2 d_3 d_0 d_1 d_2 d_3 \ldots$$

Figura 14.2-7. Multiplexado por división en el tiempo.

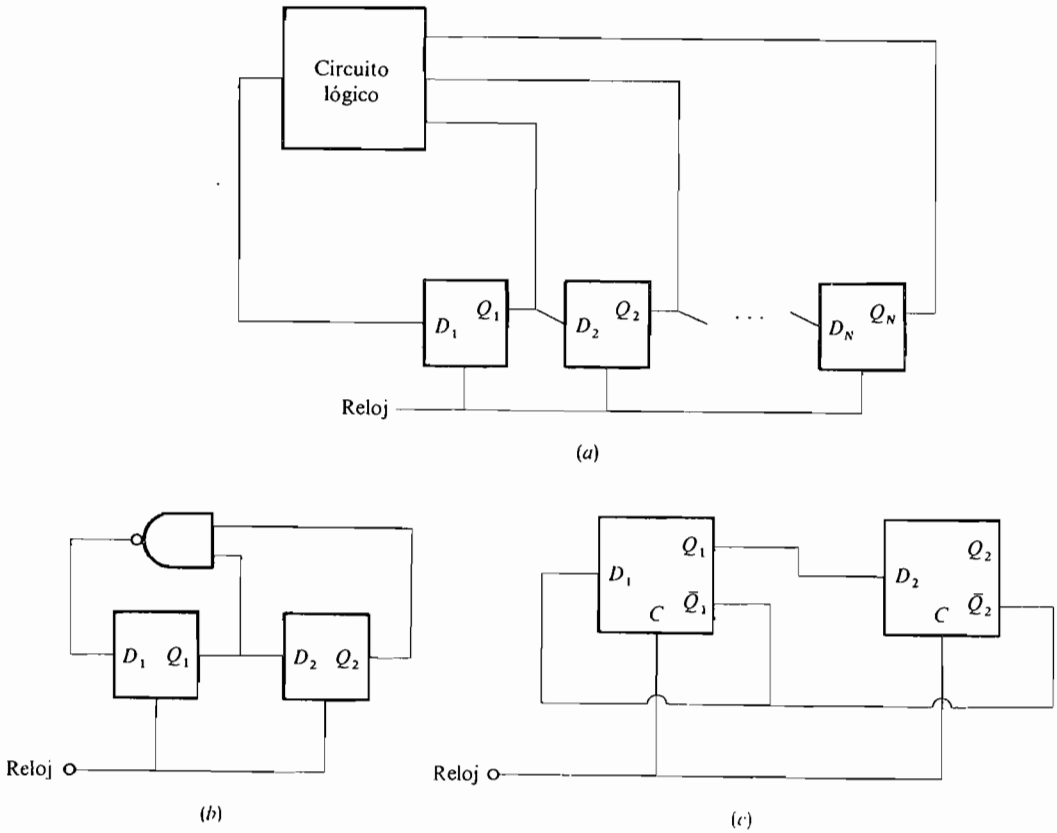


Figura 14.2-8. Contadores de registro de desplazamiento: (*a*) forma general; (*b*) contador de módulo 3; (*c*) contador ECL de módulo 3 usando puertas O cableadas.

$$Q_2(k + 1) = Q_1(k) \tag{14.2-5}$$

donde k es la cuenta de estados. Es decir, la salida Q_1 de FF_1 después del k-ésimo impulso de reloj será la misma que la salida Q_2 de FF_2, después del $(k + 1)$-ésimo impulso de reloj.

Tabla 14.2-3

Cuenta de estados, k	Q_1	Q_2
1	0	1
2	1	0
3	1	1
1	0	1
⋮	⋮	⋮

La tabla de estados se puede utilizar para formar la tabla de verdad correspondiente al circuito lógico de la Figura 14.2-8*a*. También se puede utilizar la tabla de verdad para hallar la ecuación lógica que relacione D_1 con Q_1 y Q_2. La entrada y la salida del biestable D obedecen a la relación

$$D_1(k) = Q_1(k + 1) . \tag{14.2-6}$$

Por esta ecuación se puede escribir directamente la columna correspondiente a $D_1(k)$ de la tabla de verdad 14.2-4 partiendo de la columna correspondiente a $Q_1(k)$. En la tabla de verdad vemos que $D_1 = \mathbf{0}$ cuando $Q_1 = \mathbf{1}$ Y $Q_2 = \mathbf{1}$. Esto se puede escribir

$$D_1 = \overline{Q_1 Q_2} = \bar{Q}_1 + \bar{Q}_2 \tag{14.2-7}$$

En la Figura 14.2-8*b* aparece la realización de (14.2-7), donde se emplea una puerta NO-Y. Otra realización utilizando biestables es la representada en la Figura 14.2-8*c* (véase Problema 14.2-18).

En los problemas se estudian otros contadores con registros de desplazamiento.

Tabla 14.2-4

k	$D_1(k)$	$Q_1(k)$	$Q_2(k)$
1	1	0	1
2	1	1	0
3	0	1	1
1	1	0	1
⋮	⋮	⋮	⋮

14.2-5. Contadores integrados comerciales

Contadores asíncronos. Existe una gran variedad de contadores asíncronos. En la familia TTL, por ejemplo, los catálogos contienen numerosos contadores de décadas y contadores binarios de 4 bits en configuraciones simple y doble, es decir, dos contadores en un mismo encapsulado tanto en serie estándar como Schottky. Las frecuencias típicas están comprendidas entre 3 MHz para TTL de baja potencia y 32 MHz para TTL Schottky. Por ejemplo, el contador de décadas 74S196 es capaz de seguir frecuencias de reloj de hasta 100 MHz.

La familia CMOS también se caracteriza por contadores de muchos tipos diferentes. Por ejemplo, el MC74HC4024 es un contador asíncrono de 7 etapas de biestable con puesta a cero común. La activación tiene lugar en el flanco de bajada del impulso de reloj y son típicas las frecuencias de hasta 35 MHz. También existen contadores de 12 y 14 bits en la familia CMOS.

Hay menor opción de elección en los contadores ECL que en los TTL o CMOS. El MECL III MC1654 es un contador asíncrono de 4 bits que conmuta hasta a 325 MHz, pero disipa 750 mW. En esta unidad la activación tiene lugar en el flanco de subida del impulso de reloj. Hay entradas individuales de set (preset) y de reset (borrado) común que invalidan el impulso de reloj, dando set o borrado asíncrono. Tiene disponibles las salidas de cuatro etapas así como salidas complementarias de las etapas primera y última.

Contadores síncronos. Todas las familias lógicas contienen contadores síncronos de 4 bits capaces de cuentas binaria y decimal. Algunos se caracterizan por su capacidad de contaje ascendente o descendente y hay disponibles varios tipos de preset y borrado. Por ejemplo, en TTL los contadores 74AS168 (décadas) y 74AS169 (binario) pueden ser conectados para contar en sentidos ascendente o descendente hasta velocidades de 75 MHz. En la familia CMOS hay disponibles contadores similares, por ejemplo, el 4510 (décadas) y 4516 (binario) y en ECL el 10136 (binario) y el 10137 (décadas). El catálogo de Motorola contiene el MECL III, MC1699 como contador de división por 4, capaz de funcionar a 1 GHz.

Como ejemplo de versatilidad, el contador Fairchild 9305 de *módulo variable* puede ser conectado para que cuente con módulos 2, 4, 5, 6, 7, 8, 10, 12, 14 ó 16 sin lógica externa adicional. Con alguna puerta más puede contar con módulos 11, 13 ó 15.

14.3. CIRCUITOS ARITMETICOS

En el corazón del ordenador digital está la unidad aritmética que realiza las operaciones de adición, sustracción, multiplicación y división. En esta sección consideraremos las técnicas para la realización de algunas de estas operaciones con números binarios así como los circuitos respectivos.

14.3-1. Adición de dos dígitos binarios: el semisumador

Las reglas para la adición de dos dígitos binarios son

Primer sumando	0	0	0	1
Segundo sumando	+ 0	+ 1	+ 0	+ 1
	00 ← suma	01 ← suma	01 ← suma	10 ← suma
	acarreo	acarreo	acarreo	acarreo

Aquí los ceros y unos son *valores numéricos*, pero nosotros admitiremos que representan sus *valores lógicos* respectivos.

Al igual que en una suma decimal, la adición binaria genera una suma S y un acarreo C. Para las primeras tres adiciones indicadas, el acarreo es **0**; únicamente para la última es 1. Estas adiciones se tabulan fácilmente en la tabla de verdad (Tabla 14.3-1), por la cual vemos que la ecuación lógica del acarreo es

$$C = AB \tag{14.3-1}$$

mientras que para la suma tenemos

$$S = \bar{A}B + A\bar{B} \tag{14.3-2}$$

De (11.3-8) deducimos que S viene dada por la operación O-exclusiva, por lo que también podemos escribir

$$S = A \oplus B \tag{14.3-3}$$

Tabla 14.3-1. Tabla de verdad para un semisumador

A	*B*	*S*	*C*
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

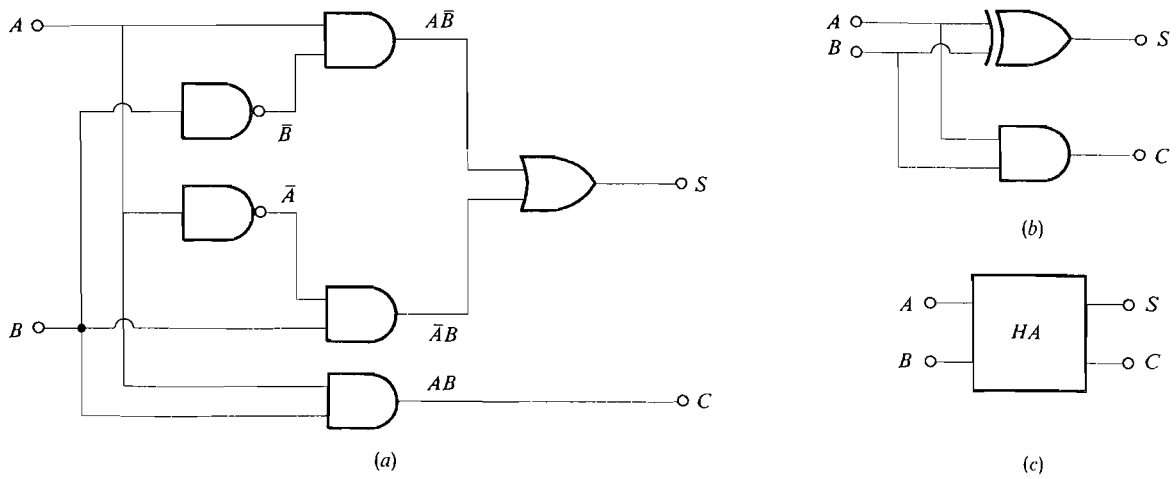


Figura 14.3-1. El semisumador: (*a*) circuito con puertas Y, O y NO; (*b*) circuito con puerta O-exclusiva; (*c*) símbolo del diagrama de bloques.

Un circuito con entradas A y B y salidas S y C que obedece a estas ecuaciones se denomina semisumador. La Figura 14.3-1*a* representa un posible circuito que utiliza puertas Y, O y NO y la Figura 14.3-1*b* representa otro que utiliza una puerta O-exclusiva. El semisumador se representa por el símbolo indicado en la Figura 14.3-1*c*. Este es de un uso muy restringido a causa de que no puede aceptar un acarreo proveniente de una adición precedente. Esto se solventa por medio del sumador completo, que se describe a continuación.

14.3-2. Adición de más de dos bits; el sumador completo

Cuando intervienen más de dos dígitos binarios, la adición se complica por el acarreo que se genera. Por ejemplo, consideremos que tenemos que hallar la suma de **00101** y **00111**. Esto se puede descomponer como sigue, manteniendo separados los acarreos cuando sumamos de izquierda a derecha:

A	**00101**
B	**00111**
Suma 1	**00010**
Acarreo 1	**01010**
Suma 2	**01000**
Acarreo 2	**00100**
Suma final 3	**01100**

Este ejemplo muestra el proceso fundamental implicado en la adición. Cuando se suman A y B, se generan simultáneamente la suma 1 y el acarreo 1. Luego se suman la suma 1 y el acarreo 1. El resultado es la suma 2 y el acarreo 2, que son generados al mismo tiempo. Entonces se suman la suma 2 y el acarreo 2, y queda la suma final 3. El proceso termina cuando ya no hay más acarreos.

Tabla 14.3-2. Tabla de verdad para la suma de A_n y B_n y un acarreo C_{n-1}

A_n	B_n	C_{n-1}	S_n	C_n
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

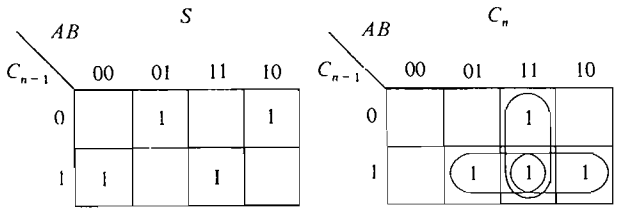


Figura 14.3-2. Tablas de Karnaugh para S y C_n.

Cuando sumamos mentalmente dos números, los acarreos se hacen automáticamente; sin embargo, todo circuito diseñado para sumar números de varios bits debe estar diseñado para aceptar acarreos provenientes de una adición de la derecha y transferir los acarreos hacia la izquierda. La tabla de verdad para sumar dos bits y un acarreo desde la derecha (C_{n-1}) es la Tabla 14.3-2, por la cual vemos que la suma $S_n = \mathbf{1}$ si un número impar de variables de entrada A_n, B_n y C_{n-1} son **1**, y la suma $S_n = \mathbf{0}$ cuando un número par de variables son **1**. Así

$$S_n = \bar{A}_n\bar{B}_nC_{n-1} + \bar{A}_nB_n\bar{C}_{n-1} + A_nB_nC_{n-1} + A_n\bar{B}_n\bar{C}_{n-1} \qquad (14.3\text{-}4)$$

También puede ser obtenido este resultado por la tabla de Karnaugh que representa la tabla de verdad (Fig. 14.3-2). La Ecuación (14.3-4) se puede expresar en términos de la operación O-exclusiva factorizando S_n para obtener

$$S_n = C_{n-1}(\bar{A}_n\bar{B}_n + A_nB_n) + \bar{C}_{n-1}(\bar{A}_nB_n + A_n\bar{B}_n) \qquad (14.3\text{-}5a)$$

Luego, como $\bar{A}_n\bar{B}_n + A_nB_n = \overline{\bar{A}_nB_n + A_n\bar{B}_n} = \overline{A_n \oplus B_n}$, tenemos

$$S_n = C_{n-1}(\overline{A_n \oplus B_n}) + \bar{C}_{n-1}(A_n \oplus B_n) \qquad (14.3\text{-}5b)$$

y finalmente

$$S_n = C_{n-1} \oplus (A_n \oplus B_n) \qquad (14.3\text{-}5c)$$

Para el bit de acarreo C_n, la tabla de verdad indica que $C_n = \mathbf{1}$ cuando dos o tres de las variables de entrada son **1**. Así

$$C_n = A_nB_n + A_nC_{n-1} + B_nC_{n-1} = A_nB_n + C_{n-1}(A_n + B_n) \qquad (14.3\text{-}6)$$

También se puede obtener la ecuación por la tabla de Karnaugh que aparece en la Figura 14.3-2.

Las ecuaciones lógicas correspondientes a S_n y C_n pueden ser realizadas de varias maneras. Un método habitual consiste en utilizar dos semisumadores como sumador completo, como vemos en la Figura 14.3-3*a*. Que esta combinación satisface (14.3-5) y (14.3-6) se puede ver observando primero que la salida de suma de HA_1 es la función O-exclusiva de sus dos entradas $A_n \oplus B_n$, que luego se convierte en la entrada A_2 para HA_2. La otra entrada a HA_2 es $B_2 = C_{n-1}$ por lo que su salida de suma es $C_{n-1} \oplus (A_n \oplus B_n)$, como en (14.3-5*c*). Para comprobar la expresión de C_n observamos que la salida de acarreo de cada semisumador es la función Y de sus dos entradas. En la Figura 14.3-3, C_n es

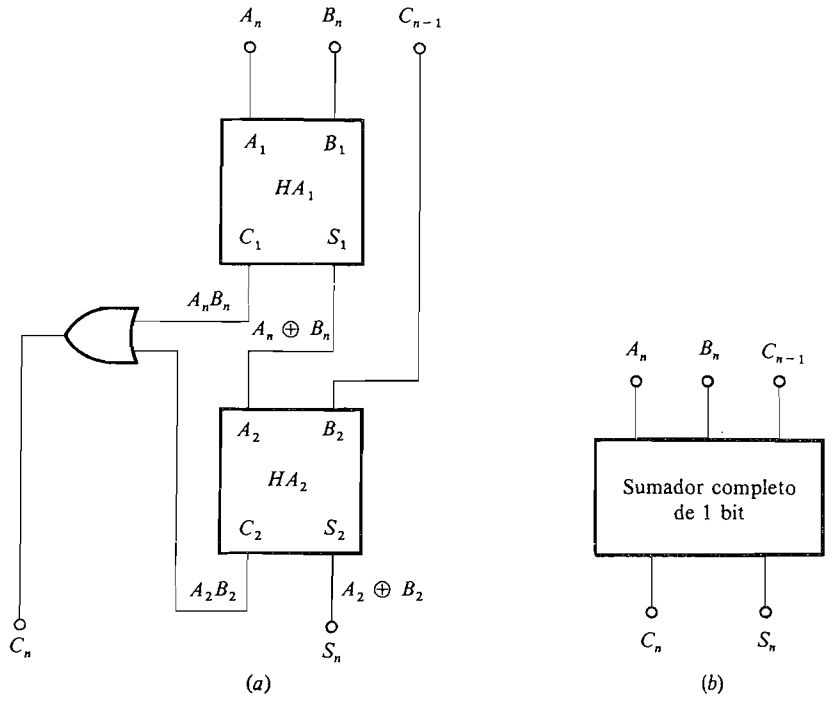


Figura 14.3-3. El sumador completo: (*a*) combinación de dos semisumadores; (*b*) símbolo de circuito.

$$C_n = A_nB_n + A_2B_2 = A_nB_n + (A_n \oplus B_n)C_{n-1} = A_nB_n + (A_n + B_n)C_{n-1} \qquad (14.3\text{-}7)$$

puesto que, cuando $A_n = B_n = \mathbf{1}$, $A_nB_n = \mathbf{1}$ independientemente del segundo término. El símbolo de circuito del sumador completo está en la Figura 14.3-3*b*.

Una técnica alternativa para realizar el sumador completo de 1 bit consiste en generar directamente (14.3-4) y (14.3-6). La Ecuación (14.3-4) requiere cuatro puertas Y de tres entradas seguidas de una puerta O de cuatro entradas y, por consiguiente, el tiempo necesario para conseguir la suma S_n es igual al retardo de propagación de dos puertas, o sea $2t_{pd}$. La Ecuación (14.3-6) requiere tres puertas Y de dos entradas seguidas de una puerta O de tres entradas. Así, el término de acarreo C_n se obtiene también en un tiempo $2t_{pd}$.

Suma en paralelo. La adición de números de varios bits se puede efectuar utilizando varios sumadores completos conectados en paralelo como muestra la Figura 14.3-4. En esta figura vemos la adición de dos números de 4 bits. Este tipo de sumador se denomina *sumador con acarreo en serie*. En la figura no están representados los tres registros de almacenamiento de 4 bits para el primer sumando A_n, el segundo sumando B_n y la suma S_n. Estos registros pueden estar construidos por biestables del tipo D, uno para cada bit, bajo el control de un reloj común. El acarreo de entrada para el primer sumador completo FA_0 está puesto a cero ya que no hay entrada de acarreo.

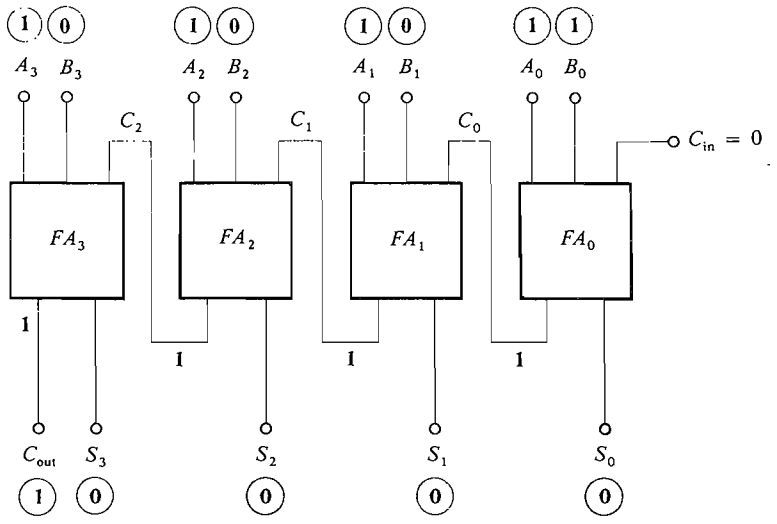


Figura 14.3-4. Sumador paralelo de 4 bits.

En el ejemplo de la Figura 14.3-4 sumamos los números $A = \mathbf{1111}$ y $B = \mathbf{0001}$. Los números en los circuitos representan los valores binarios que hay en el circuito. Este ejemplo pone de manifiesto uno de los factores que limitan la velocidad de los sumadores paralelo con acarreo en serie, es decir, el tiempo necesario para que los acarreos se propaguen en el circuito. En el ejemplo A y B se presentan a la cadena de sumadores al mismo tiempo. Si suponemos que el tiempo de retardo de propagación $t_A = 2t_{pd}$ es el mismo para cada sumador, entonces aparece en FA_1 el acarreo proveniente de FA_0 después del tiempo t_A, el acarreo de FA_1 aparece en FA_2 después de $2t_A$ y así sucesivamente; el C_{out} final aparece después de $4t_A$. Si sumamos dos números de N bits, la adición se hace en un tiempo Nt_A. Esta limitación se puede solventar utilizando un circuito especial de acarreo anticipado que se describe en la sección siguiente.

14.3-3. Sumadores de acarreo anticipado

Existen comercialmente sumadores tales como los sumadores completos TTL 7483 y CMOS MC14008 de 4 bits que tienen circuitos de acarreo anticipado incluidos en el chip. En tales circuitos el acarreo se deriva directamente de las puertas, cuyas entradas son los bits originales del primer y segundo sumando. Este proceso requiere muchas más puertas que el circuito de propagación de acarreo en serie representado en la Figura 14.3-4, pero tiene una considerable ventaja en cuanto a la velocidad.

Por ejemplo, para sumar dos números de 4 bits podemos construir un circuito lógico combinacional que admita las nueve variables de entrada C_{in}, A_0, B_0, A_1, B_1, A_2, B_2, A_3 y B_3 y utilizando un gran número de puertas Y seguidas de una sola puerta O genere S_0, S_1, S_2, S_3 y C_3 en el tiempo $t_A = 2t_{pd}$. Tal esquema no es práctico debido al gran número de puertas necesarias (Prob. 14.3-18).

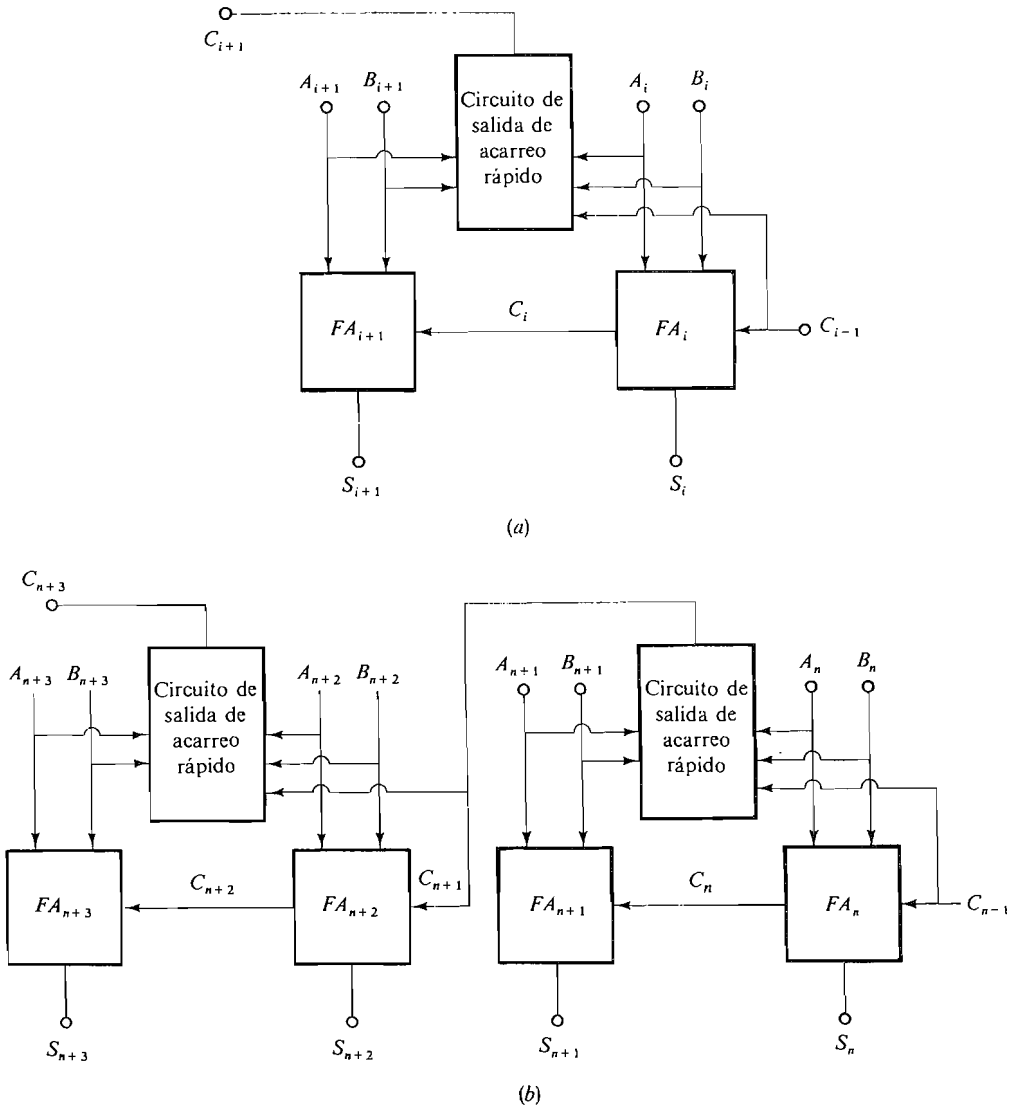


Figura 14.3-5. Circuitos de acarreo: (*a*) sumador de 2 bits con salida de acarreo rápido; (*b*) sumador de 4 bits con salida de acarreo rápido.

Una técnica que tipifica los circuitos utilizados para acelerar la adición, es la representada en la Figura 14.3-5*a*. Aquí vemos dos sumadores de un bit FA_i y FA_{i+1}. Las entradas C_{i-1}, A_i, B_i, A_{i+1} y B_{i+1} son entradas a un circuito lógico combinacional que produce directamente C_{i+1}. (El circuito real está en el Problema 14.3-15). Así C_{i+1} ocurre en el tiempo t_A después de ser aplicadas las cinco variables de entrada. Obsérvese que todavía transcurre un tiempo $2t_A$, para que se produzca la suma S_{i+1}, ya que C_i es aplicada de la manera habitual. La ventaja de este procedimiento la proporciona el sumador de 4 bits representado en la Figura 14.3-5*b*. Aquí la suma S_{n+2} se obtiene al cabo de un tiempo $2t_A$,

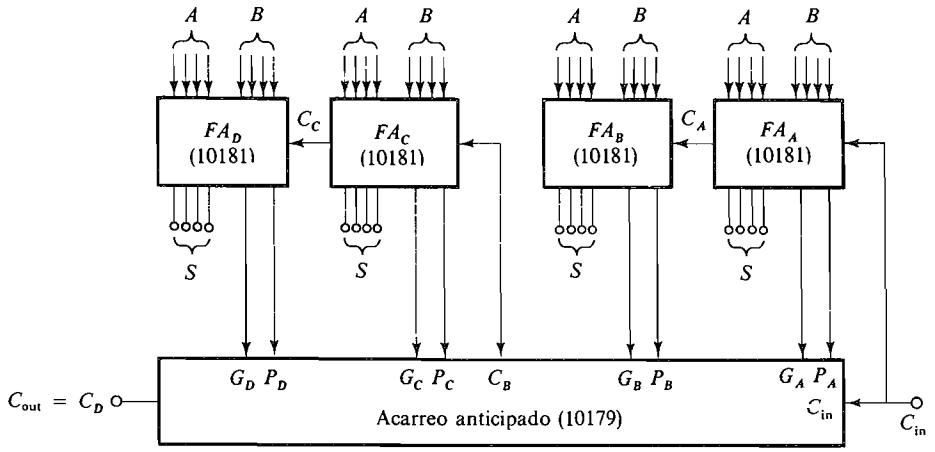


Figura 14.3-6. Adición utilizando las técnicas de acarreo anticipado.

puesto que el acarreo C_{n+1} se produce después del tiempo t_A y S_{n+3} ocurre después del tiempo $3t_A$, lo que representa un ahorro de t_A comparado con el sumador representado en la Figura 14.3-4.

Existen circuitos similares a este sumador de 4 bits que dan salidas de acarreo rápidas en circuitos integrados para acelerar la adición cuando se suman dos números que tienen 16 o más bits. La Figura 14.3-6 muestra un sumador de acarreo anticipado de 16 bits que utiliza un circuito integrado. Los cuatro sumadores de 4 bits FA_A a FA_D están representados como sumadores ECL aunque existen circuitos similares en TTL y CMOS. Cada sumador completo tiene cuatro entradas A, cuatro entradas B y una entrada de acarreo. Las salidas de cada sumador son las cuatro salidas de suma, una salida G, una salida P y una salida de acarreo, que no siempre se usa. Las salidas G (generación) y P (propagación) son usadas por el circuito de acarreo anticipado para formar los acarreos C_B y C_D.

Para explicar cómo se forman las salidas G y P nos referimos al diagrama de bloques del sumador de 4 bits de la Figura 14.3-5*b*. El acarreo de la salida C_{n+3} es igual a **1** si $C_{n-1} = \mathbf{1}$ y (véase Prob. 14.3-16) si

$$(A_n + B_n)(A_{n+1} + B_{n+1})(A_{n+2} + B_{n+2})(A_{n+3} + B_{n+3}) = \mathbf{1} \qquad (14.3\text{-}8a)$$

Decimos que la entrada de acarreo C_{n-1} puede ser propagada a través del sumador si

$$P = (A_n + B_n)(A_{n+1} + B_{n+1})(A_{n+2} + B_{n+2})(A_{n+3} + B_{n+3}) = \mathbf{1} \qquad (14.3\text{-}8b)$$

Este término P propagado se forma en el sumador 10181 de 4 bits y es una entrada para el circuito de acarreo anticipado 10179.

También puede ser generada la salida de acarreo C_{n+3} incluso cuando $C_{n-1} = \mathbf{0}$. Por ejemplo, si $C_{n-1} = \mathbf{0}$ pero $A_n = B_n = \mathbf{1}$, generamos un acarreo $C_n = \mathbf{1}$. Entonces, $C_{n+3} = \mathbf{1}$ si $(A_{n+1} + B_{n+1})(A_{n+2} + B_{n+2})(A_{n+3} + B_{n+3}) = \mathbf{1}$. Podemos demostrar (Prob. 14.3-17) que $C_{n+3} = \mathbf{1}$ si $C_{n-1} = \mathbf{0}$ y

Tabla 14.3-3. Tiempo de suma empleando los ECL 10181 y 10179

Número de bits a sumar	Tiempo total de suma ns	Tiempo si no se usan los 10179, ns
4	8 (1-10181)	8 (1-10181)
8	10,5 (2-10181)	10,5 (2-10181)
16	17,6 (1-10179, 4-10181)	16,7
24	17,6 (1-10179, 6-10181)	22,9
32	21,6 (2-10179, 8-10181)	29,1
64	29,6 (4-10179, 16-10181)	53,9

$$G = (A_n \cdot B_n)(A_{n+1} + B_{n+1})(A_{n+2} + B_{n+2})(A_{n+3} + B_{n+3}) + (A_{n+1} \cdot B_{n+1})(A_{n+2} + B_{n+2})(A_{n+3} + B_{n+3}) + (A_{n+2} \cdot B_{n+2})(A_{n+3} + B_{n+3}) + (A_{n+3} \cdot B_{n+3}) = \mathbf{1} \qquad (14.3\text{-}9)$$

La Ecuación (14.3-9) muestra las maneras de generar un acarreo de salida internamente y este es el término generador de acarreo, o G, en la Figura 14.3-6. El término G se forma dentro de cada sumador.

El término salida de acarreo puede ser generado o bien propagado. En la Figura 14.3-6 vemos que

$$C_A = G_A + P_A C_{\text{in}} \qquad (14.3\text{-}10a)$$

y

$$C_B = G_B + P_B C_A \qquad (14.3\text{-}10b)$$

Combinando (14.3-10a) y (14.3-10b) tenemos

$$C_B = G_B + P_B G_A + P_A P_B C_{\text{in}} \qquad (14.3\text{-}11)$$

La ecuación (14.3-11) se forma en el chip de acarreo anticipado, que forma a C_D de la misma manera:

$$C_D = G_D + P_D G_C + P_C P_D C_B \qquad (14.3\text{-}12)$$

La ventaja del uso del circuito de acarreo anticipado se indica en la Tabla 14.3-3, la cual compara los tiempos totales de suma de los sumadores rápidos 10181 cuando se emplea el acarreo anticipado y cuando no se emplea. Obsérvese que se consigue una mejora considerable cuando se suman números representados por más de 24 bits.

14.3-4. Adición de una sucesión o secuencia de números: acumulación

En muchos sistemas digitales es necesaria la suma de una secuencia de números:

$$S(k) = X(k) + X(k-1) + \cdots + X(1) + X(0) \qquad (14.3\text{-}13)$$

La Ecuación (14.3-13) enuncia que S evaluado en magnitudes kT como unidad de tiempo (se sobreentiende que T está presente y se omite para mayor simplicidad) es igual a la suma de la secuencia de números $X(k)$, $X(k-1)$, ..., $X(1)$, $X(0)$. Esta suma se puede hallar teniendo en cuenta que

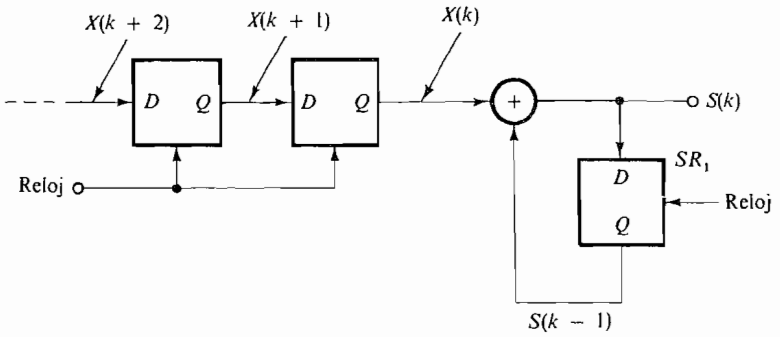
$$S(0) = X(0) \tag{14.3-14a}$$

$$S(1) = S(0) + X(1) \tag{14.3-14b}$$

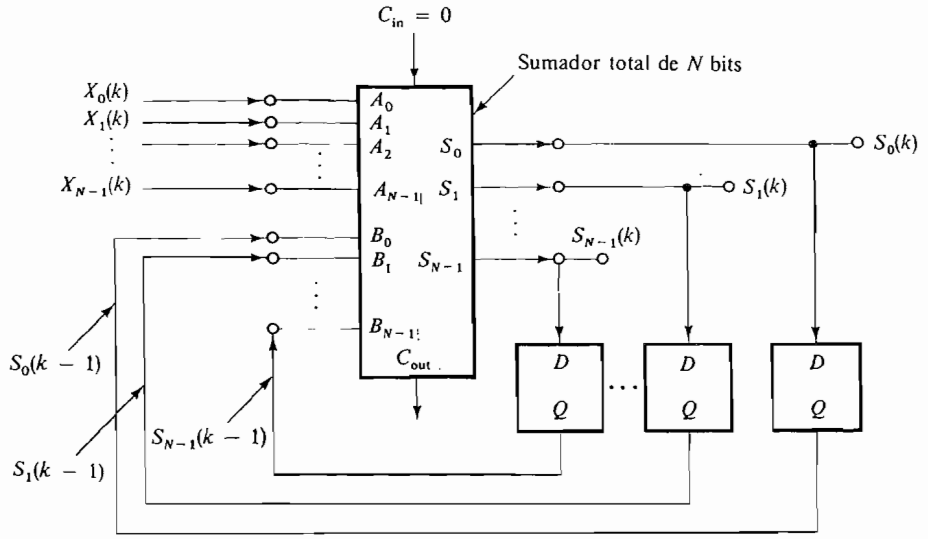
$$S(2) = S(1) + X(2) \tag{14.3-14c}$$

$$S(k) = S(k-1) + X(k) \tag{14.3-14d}$$

La Ecuación (14.3-14*d*) es efectuada en el acumulador representado esquemáticamente en la Figura 14.3-7*a*. En el circuito es almacenada la secuencia de X en un registro de desplazamiento. En el tiempo indicado, la salida del registro es $X(k)$ y la salida del sumador es $S(k)$. El valor de S en el tiempo $k-1$ se obtiene utilizando el biestable D SR_1.



(*a*)



(*b*)

Figura 14.3-7. Acumuladores: (*a*) representación esquemática; (*b*) circuito de un acumulador para sumar palabras de N bits (los impulsos de reloj no están representados).

El circuito real del acumulador es más complicado que el de la Figura 14.3-7*a* puesto que $X(k)$ es una palabra de N bits, como lo son $S(k)$ y $S(k-1)$. Así, el sumador es un sumador de N bits y el SR consiste en N registros de desplazamiento de un bit, como muestra la Figura 14.3-7*b*.

14.3-5. Sustracción

Hasta ahora sólo hemos tratado de la suma de números positivos. En la práctica, tanto el primero como el segundo sumando pueden ser negativos y cuando se tienen en cuenta los signos de los números, la sustracción se convierte simplemente en una forma de adición y se pueden utilizar virtualmente los mismos circuitos para realizar ambas operaciones. Por un proceso llamado *complementación*, la sustracción se convierte fácilmente en adición. Como ejemplo consideremos la sustracción de 423 − 239 de la siguiente forma:

$$\begin{aligned}
&\text{Paso 1:} && 423 - 239 = [423 + (1000 - 239)] - 1000 \\
&\text{Paso 2:} && = (423 + 761) - 1000 \\
&\text{Paso 3:} && = 1184 - 1000 \\
&\text{Paso 4:} && = 184
\end{aligned} \qquad (14.3\text{-}15)$$

El número 1000 − 239 = 761 se llama *complemento a diez* de 239, y se halla restando 239 de la correspondiente potencia de 10. Aunque la técnica aparece innecesariamente complicada, puede ser realizada utilizando sólo una adición después de hallado el complemento. La solución se puede obtener partiendo del paso 3 de (14.3-15) borrando simplemente el dígito más significativo de la suma S, es decir, el dígito final de la izquierda: $\boxed{1}$ 184. Este es el proceso cuando el minuendo es mayor que el sustraendo y ambos son positivos, lo que da por resultado una solución positiva. Si la solución es negativa, como ocurriría en el caso 239 − 423, procederemos como sigue:

$$\begin{aligned}
&\text{Paso 1:} && 239 - 423 = [239 + (1000 - 423)] - 1000 \\
&\text{Paso 2:} && = (239 + 577) - 1000 \\
&\text{Paso 3:} && = 816 - 1000 \\
&\text{Paso 4:} && = -184
\end{aligned} \qquad (14.3\text{-}16)$$

Aquí 577 = (1000 − 423) es el complemento a diez de 423. Reconocemos que la solución será negativa por inspección del paso 3 en que hemos hallado que la suma S es $\boxed{0}$ 816, número menor que 1000. La magnitud de la solución es 184, que es el complemento a diez de 816.

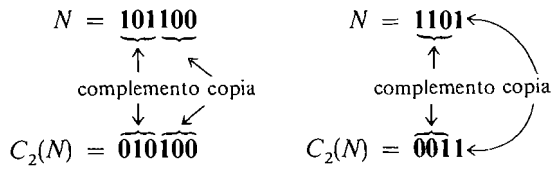
Resumiendo, si S excede de 1000, la solución es S después de la supresión del dígito más significativo. Si S es menor que 1000, la solución es negativa y la magnitud es el complemento a diez de S. Evidentemente el número $1000 = 10^3$ es el resultado del ejemplo elegido; si el número elegido tuviese cuatro dígitos habríamos utilizado $10^4 = 10\,000$.

Aunque el método anterior puede parecer mucho más complicado que el método habitual de sustracción, tiene considerables ventajas cuando haya de utilizarse el sistema binario ya que la complementación de números se realiza fácilmente con circuitos lógicos sencillos.

Complemento a dos. El complemento a dos de un número binario N se define por

$$C_2(N) = 2^n - N \tag{14.3-17}$$

donde n es la capacidad de bits del registro y $2^n \geqslant N$. Afortunadamente no tiene que ser utilizado el proceso de sustracción indicado en (14.3-17) porque hay una regla sencilla que permite determinar el complemento a dos por simple inspección. La regla es: *copiar el número de derecha a izquierda e incluir el primer bit que sea* **1**. Todos los demás bits se complementan. Seguidamente se dan algunos ejemplos:



Este tipo de complementación se efectúa en el circuito lógico de la Figura 14.3-8*a*. Para explicar la operación del circuito hacemos uso de la forma de onda de la Figura 14.3-8*b*.

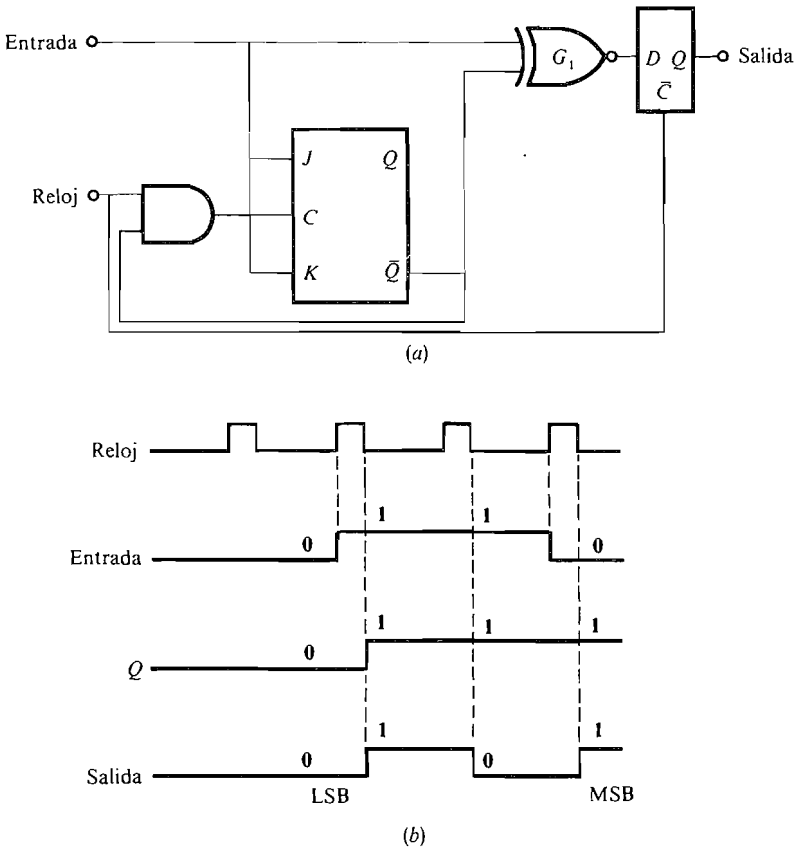


Figura 14.3-8. Complemento a dos: (*a*) circuito lógico; (*b*) formas de onda.

Los datos de entrada que deben ser complementados están en forma serie y sincronizados con los impulsos de reloj. Inicialmente el biestable está en el estado reset con $Q = \mathbf{0}$, por lo que la salida de la puerta NO-O-exclusiva G_1 es baja. Así los bits de datos pasarán a través de G_1 hasta después de que ocurra el primer bit **1**. [Obsérvese que el LSB (bit menos significativo) está en el extremo de la izquierda del gráfico de entrada en función del tiempo, a causa de que debe ser el primero que ocurra y el primer bit que se presente al circuito.] Cuando el primer bit que ocurre es **1**, la entrada J del biestable pasa al estado alto, haciendo que el biestable sea puesto a **1** ($Q = \mathbf{1}$) después del siguiente impulso de reloj. A su vez, esto hace que la salida de la puerta NO-O-exclusiva G_1 sea el complemento del dato de entrada. Para borrar el biestable tal que $Q = \mathbf{0}$ al comienzo de la palabra siguiente, se aplica un impulso al terminal de borrado (Cl) del biestable inmediatamente después del último bit.

En el Problema 14.3-7 se aplica otro método para obtener el complemento a dos.

14.3-6. Números con signo

Para saber si un número en un registro es positivo o negativo debe darse algún dato. Un procedimiento, llamado notación de signo y magnitud, utiliza el bit del extremo de la izquierda como bit de signo; es **0** para números positivos y **1** para números negativos. Con este método las 16 posibles combinaciones de un registro de cuatro lugares o posiciones tendrán la significacion numérica indicada en la Figura 14.3-9*a*. Obsérvese que hay dos representaciones para el número 0, **0000** y **1000**, y que la mayor magnitud numérica que puede ser representada es 7.

Generalmente se emplea una asociación de posición de registro en que se utiliza el complemento a dos. Aquí la posición de registro asignada a un número negativo es el complemento a dos del número positivo correspondiente. Por ejemplo, consideremos que se representa el número -6 en un registro de 4 bits. Tomamos la representación para $+6$, que es **0110**, y hallamos que su complemento a dos es **1010**. Así **1010** es la representación de -6. Las 16 posibles combinaciones en un registro de cuatro posiciones están representadas en la Figura 14.3-9*b*. Comparando con la representación de signo y magnitud vemos que el sistema de complemento a dos sólo tiene un cero y puede servir para números negativos hasta -8, pero tiene una ordenación diferente. Sin embargo, como todos los números negativos tienen un **1** como dígito extremo de la izquierda, son inmediatamente identificables. Por ejemplo, si el registro da lectura **1100**, sabemos que el número es

Registro	**0000**	**0001**	**0010**	···	**0111**	**1000**	**1001**	**1010**	···	**1111**
Decimal	0	1	2	···	7	0	−1	−2	···	−7

(*a*)

Registro	**0000**	**0001**	**0010**	···	**0111**	**1000**	**1001**	**1010**	···	**1111**
Decimal	0	1	2	···	7	−8	−7	−6	···	−1

(*b*)

Figura 14.3-9. Representación de números negativos: (*a*) signo y magnitud; (*b*) complemento a dos.

negativo a causa de que el bit situado más a la izquierda es **1** y hallamos que el complemento a dos es **0100**, por lo que su magnitud es cuatro. Así el número representado por **1100** es -4.

Son posibles otros esquemas ya que podemos asociar cada una de las 16 combinaciones del registro con cualquier número. Sin embargo, la representación por complemento a dos resulta extremadamente útil para efectuar adiciones y sustracciones.

14.3-7. Adición y sustracción utilizando la notación de complemento a dos

La adición de dos números con signo se explica en los ejemplos siguientes:

1. Ambos números positivos

$$\begin{array}{rrr} & +7 & \mathbf{00111} \\ + & +5 & \mathbf{00101} \\ \hline & +12 & \mathbf{01100} \end{array}$$

2. Ambos números negativos; cada uno se escribe utilizando la notación de complemento a dos:

$$\begin{array}{rrr} & -7 & \mathbf{11001} \\ + & -5 & \mathbf{11011} \\ \hline & -12 & \mathbf{110100} \end{array} \qquad \text{respuesta} \rightarrow \mathbf{10100} \quad (\text{bit de signo})$$

El **1** situado más a la izquierda no aparecerá en el registro de suma de 5 bits. La suma es negativa ya que el bit de signo es **1** y su magnitud es el complemento a dos del número en el registro de suma, es decir, **01100** = 12, y el resultado es -12.

3. Cuando el número positivo es mayor que el negativo.

$$\begin{array}{rrr} & +7 & \mathbf{00111} \\ + & -5 & \mathbf{11011} \\ \hline & +2 & \mathbf{100010} \end{array} \qquad \text{respuesta} \rightarrow \mathbf{00010} \quad (\text{bit de signo})$$

Nuevamente no aparecerá el **1** situado más a la izquierda en el registro de 5 bits y el resultado es un número positivo ya que el bit de signo es **0**.

4. Cuando el número negativo es mayor que el positivo:

$$\begin{array}{rrr} & -7 & \mathbf{11001} \\ + & +5 & \mathbf{+00101} \\ \hline & -2 & \mathbf{\rightarrow 11110} \end{array}$$

bit de signo

Como el bit de signo es **1**, el resultado es negativo y tomaremos el complemento a dos para hallar su magnitud. Este es **00010** = 2, por lo que el resultado representa −2.

Desbordamiento (*overflow*). Utilizando la aritmética de complemento a dos, un registro de 5 bits puede acomodar números de −16 hasta +15 solamente. Si sumamos dos números que den un resultado mayor, ocurre un error de desbordamiento:

+9	**01001**
+ +8	+**01000**
+17	**10001** (= −15)

El resultado deber ser interpretado como un número negativo de magnitud **1111** = 15, por lo que la diferencia entre el resultado verdadero y la lectura del registro es 17 − (−15) = 32, que es una cantidad apreciable. Ocurren análogos errores cuando el desbordamiento tiene sentido negativo (se demuestra en el Problema 14.3-10 que cuando hay desbordamiento en un sumador de N bits, el error es 2^N). Con el fin de evitar el error de desbordamiento, la capacidad de bits del sumador y los registros debe ser suficiente para acomodar las sumas más grandes previsibles.

Sustracción. A fin de restar un número A de otro B, primero tomamos el complemento a dos de A y añadimos el resultado a B. Así la sustracción equivale a la adición.

14.3-8. Multiplicación por una constante

A menudo debe ser multiplicada una variable por una constante. A este proceso se le llama a veces cambio de escala (*scaling*). Si la constante es menor que la unidad, la operación será una desmultiplicación. Si es mayor que la unidad será una multiplicación. Si la constante es una potencia de 2, la operación se efectúa fácilmente utilizando registros de desplazamiento.

En el papel, la multiplicación de un número binario por una potencia de 2, por ejemplo 2^n, se efectúa fácilmente desplazando el punto binario n lugares a la derecha. La división por 2^n se efectúa desplazando el punto binario n posiciones a la izquierda. Por ejemplo, consideremos el número 5,25 = **0101.01** que debe ser multiplicado y dividido por el factor de escala $a = 2^2$. El resultado de la multiplicación es **010101.0** = 21 y el resultado de la división es **01.0101** = 1,3125.

Con números binarios en los registros es más cómodo desplazar los dígitos hasta que la posición del punto binario se mantenga fija. Desplazando los dígitos a la izquierda n posiciones se multiplica el número por 2^n, mientras que un desplazamiento a la derecha lo divide por 2^n. Al mismo tiempo que el desplazamiento deben ser colocados los ceros en las posiciones vacantes del registro si el número es positivo.

Se producen errores si se pierden uno o más dígitos a causa del desplazamiento. Si el desplazamiento es hacia la derecha, los bits de menor significación deben ser desplazados fuera del registro. Si se pierde el LSB, el error (llamado *error de cuantificación*) es igual a la mitad del valor numérico de la posición del bit situado en el extremo de la derecha del registro.

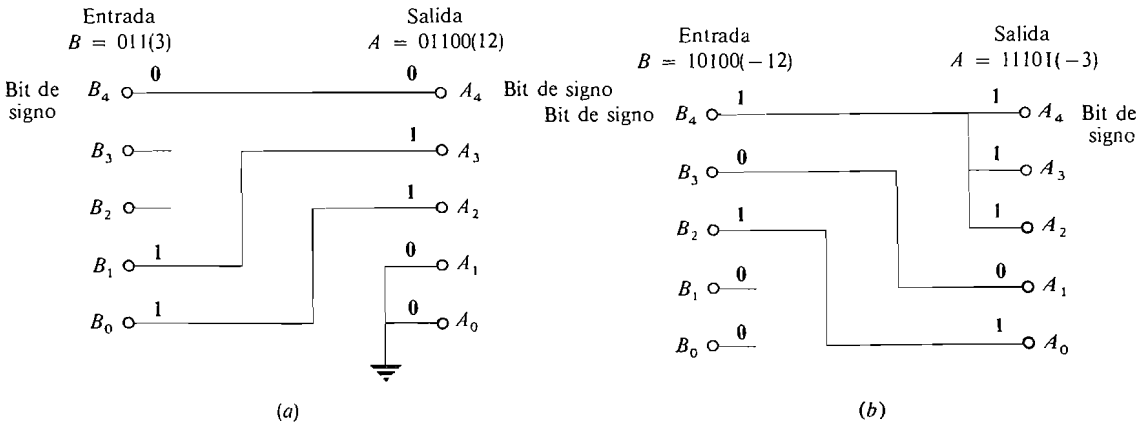


Figura 14.3-10. Multiplicación con números en la forma de complemento a dos: (*a*) $A = 2^2B$, donde $B = 3$; (*b*) $A = 2^{-2}B$, donde $B = -12$.

Cuando el desplazamiento es hacia la izquierda hay que tener cuidado para evitar que se desplace el **1** más significativo del número dentro del registro que almacena el bit de signo. Si se desplazase el **1** más significativo entrando en la posición de bit de signo, el error resultante de desbordamiento sería inaceptable puesto que afectaría a la magnitud y al signo.

Cuando se usan números negativos en forma de complemento a dos, la multiplicación por 2^n puede ser efectuada nuevamente moviendo el punto binario o desplazando los dígitos. Por ejemplo, consideremos el número $-5{,}25$ multiplicado o dividido por $a = 2^2$. El complemento a dos de 5,25 es **11010.1100**. Obsérvese que añadiendo unos a la izquierda del número o ceros a la derecha del número no se altera su valor numérico. Por consiguiente **1111010.1100000** $= -5{,}25$. Ahora

$$(-5{,}25)(2^2) = \mathbf{11010.11.00} = \mathbf{1101011.00} = -21 \qquad (14.3\text{-}18)$$

Para la división por 2^2 tenemos

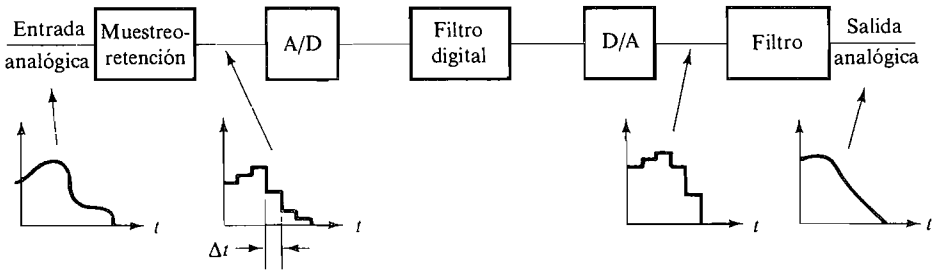
$$(-5{,}25)(2^{-2}) = \mathbf{110.10.1100} = \mathbf{110.101100} = -1{,}3125$$

Cuando se multiplica por 2^n es posible evitar el uso de registros de desplazamiento y cablear el circuito del multiplicador. Un circuito cableado para producir $A = 2^2B$ que utiliza complemento a dos donde se usan números de 5 bits y $B = 3 =$ **00011** es el representado en la Figura 14.3-10*a*. Con respecto a este circuito hay que señalar varias puntualizaciones. Primera, el bit de signo no es desplazado, ya que no es posible un cambio de signo a consecuencia de la multiplicación. Segunda, B_3 y B_2 se pierden en el proceso de multiplicación a causa del desplazamiento de dos dígitos a la izquierda. Así el margen de valores de B con que se puede operar sin error de desbordamiento en este circuito simplificado es $B = +3$ a -4 (**00011** a **11100**). Finalmente, se establece la conexión a masa de A_1 y A_0 a causa de que los ceros se desplazan a las dos posiciones extremas de la derecha independientemente de que B sea un número positivo o un número negativo.

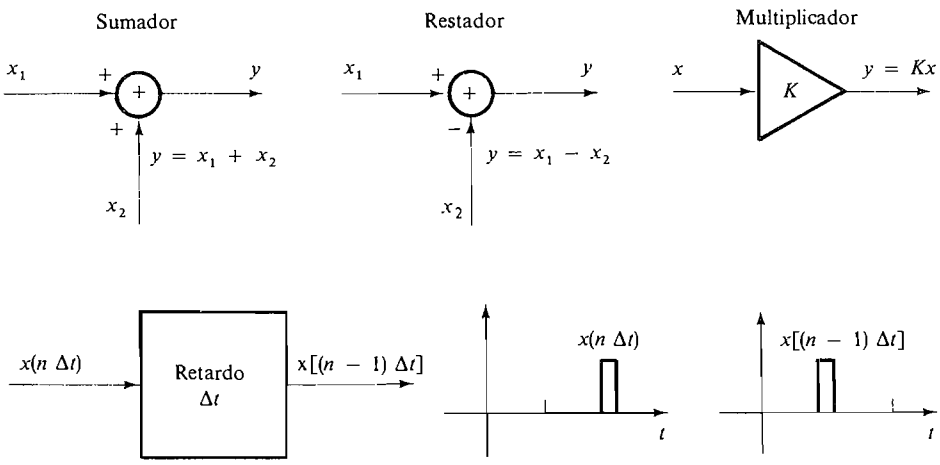
La Figura 14.3-10*b* tiene un circuito desmultiplicador en que $A = 2^{-2}B$. Aquí las posiciones vacantes A_3 y A_2 están conectadas al bit de signo A_4 a causa de que si A es positiva, entonces $A_4 = A_3 = A_2 = \mathbf{0}$, mientras si A es negativa, $A_4 = A_3 = A_2 = \mathbf{1}$, como muestra el ejemplo en el diagrama. El margen de B que puede ser admitido o acomodado sin error de desbordamiento es $+15$ a -16 (**01111** a **1000**). Sin embargo, B_1 y B_0 se pierden, por lo que si cualquiera de ellos es **1**, habrá error de cuantificación.

14.4. FILTROS DIGITALES

Como ya ha sido explicado en el Capítulo 8, los filtros activos, que funcionan como señales analógicas, utilizan sumadores, restadores, multiplicadores o desmultiplicadores e integradores operacionales para simular y resolver ecuaciones diferenciales que describen sistemas físicos. Los filtros digitales realizan la misma función que en el dominio digital, pero en vez de funcionar con señales continuas, funcionan puramente con números. La Figura 14.4-1*a*



(*a*)



(*b*)

Figura 14.4-1. Filtros digitales: (*a*) diagrama de bloques del sistema generalizado y formas de onda típicas; (*b*) componentes digitales.

es un diagrama de bloques de un sistema de filtro digital generalizado. El sistema opera como sigue. En el instante $t = n\Delta t$ es muestreada la señal añalógica de entrada por el circuito de muestreo y retención (véase Cap. 15). Resulta un valor constante igual al valor de muestreo y la señal de entrada es convertida en una forma de onda escalonada tal como se muestra. El margen total de tensiones de esta señal es luego dividido en intervalos iguales (proceso llamado *cuantificación*) y en el convertidor analógico-digital (A/D, Cap. 15) cualquier amplitud comprendida en un intervalo dado de cuantificación es convertida en un número especificado en forma de palabra digital[5]. Así, la cuantificación es una aproximación que es necesaria cuando se digitaliza una señal, por lo que resultará un número finito de números digitales. Naturalmente, la palabra digital existente en la salida del convertidor A/D puede ser *codificada* en la forma que se desee, y se suele usar el sistema de complemento a dos. Las operaciones necesarias son luego efectuadas en forma digital en el filtro digital, el cual es esencialmente un ordenador digital especial. Después de filtrada la señal, un convertidor digital-analógico D/A (véase Cap. 15) convierte los números que aparecen en la salida del filtro digital en valores analógicos en la forma de onda representada. Al convertidor D/A sigue un filtro analógico que convierte la forma de onda escalonada en una señal continua de salida, eliminándose así las componentes de frecuencia no deseadas.

En esta sección introduciremos el *filtro digital*. Como las señales son discretas, pueden ser consideradas simplemente como secuencias de números. Las operaciones de la aritmética básica requeridas en las redes digitales que procesan estas señales son las de adición (o sustracción) y multiplicación o división; también se requiere un elemento que retarde todo impulso dado exactamente un período Δt.

Los sumadores digitales (y sustractores) han sido estudiados antes en este capítulo y son fáciles de conseguir. El símbolo de circuito que utilizaremos para representar un sumador digital (o restador) está en la Figura 14-4-1*b*. Los escalímetros digitales serán representados como se indica y los elementos de retardo son simplemente biestables del tipo *D* con entrada y salida únicas, como se explica en la Sección 14.1 y se muestra esquemáticamente en la Figura 14.4-1*b*.

Estos tres elementos se interconectan como se desee para formar redes digitales. La Figura 14.4-2*a* muestra una red básica en que se utiliza un elemento de cada tipo. La entrada a la red es la secuencia de números $x(n\ \Delta t)$ y la salida es la secuencia $y(n\ \Delta t)$. El

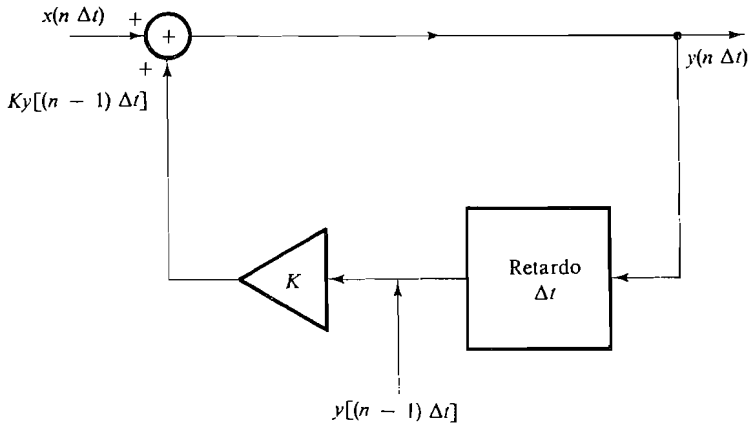


Figura 14.4-2. Filtro digital de primer orden.

valor presente en la salida $y(n\ \Delta t)$ es retardado por Δt, por lo cual ésta se convierte en $y[(n-1)\ \Delta t]$. Este es luego multiplicado por la constante K y sumado al valor presente en la entrada, $x(n\ \Delta t)$. Así, la salida se puede escribir

$$y(n\ \Delta t) = Ky[(n-1)\ \Delta t] + x(n\ \Delta t) \tag{14.4-1}$$

Esta es la ecuación *diferencia* lineal de primer orden que puede ser considerada como un *algoritmo*, es decir, un proceso sistemático paso a paso para resolver un problema particular de proceso de señal digital. La red digital de la Figura 14.4-2, llamada *filtro digital de primer orden*, es la realización del algoritmo que da la solución. En el ejemplo siguiente se encontrarán respuestas típicas.

EJEMPLO 14.4-1*

Hallar la salida de la red de la Figura 14.4-2 si la entrada es un solo impulso de amplitud A en $t = 0$ y si $y(-\Delta t) = 0$.

Solución

El impulso de entrada en $t = 0$ indica que

$$x(n\ \Delta t) = \begin{cases} A & n = 0 \\ 0 & n \neq 0 \end{cases}$$

Esto está representado en la Figura 14.4-3*a*. Escribimos (14.4-1) para los valores crecientes de n como sigue:

$$\begin{aligned} n = 0: &\quad y(0) = Ky(-\Delta t) + x(0) \\ n = 1: &\quad y(\Delta t) = Ky(0) + x(\Delta t) \\ n = 2: &\quad y(2\ \Delta t) = Ky(\Delta t) + x(2\ \Delta t) \\ n = 3: &\quad y(3\ \Delta t) = Ky(2\ \Delta t) + x(3\ \Delta t) \end{aligned} \tag{14.4-2}$$

En la primera ecuación, $y(-\Delta t) = 0$ y $x(0) = A$ son las condiciones iniciales; así $y(0) = A$. Utilizando esto en la segunda Ecuación con $x(\Delta t) = 0$, hallamos $y(\Delta t) = AK$. Continuando de esta manera obtenemos la secuencia

n	0	1	2	3	⋯
$y(n\ \Delta t)$	A	AK	AK^2	AK^3	⋯

Por inducción, obtenemos la solución general

$$y(n\ \Delta t) = AK^n$$

Esta solución está representada en la Figura 14.4-3 para varios valores de K. Se observa que si $K > 1$, la salida de la red aumenta ilimitadamente. Esta es una condición inestable y es generalmente indeseable. Sin embargo, si $K < 1$, la salida disminuye. Esto es una condición de estabilidad: consecuentemente, la mayoría de los sistemas digitales se diseñan con $K < 1$. Cuando $K = 1$, el filtro digital es idéntico al acumulador representado en la Figura 14.3-7, y (14.4-1) llega a ser idéntica a (14.3-14*d*).

* Adaptado de C. Belove, H. H. Schachter y D. L. Schilling, «Digital and Analog Systems, Circuits and Devices», secciones 3.4 y 4.3, McGraw-Hill, New York.

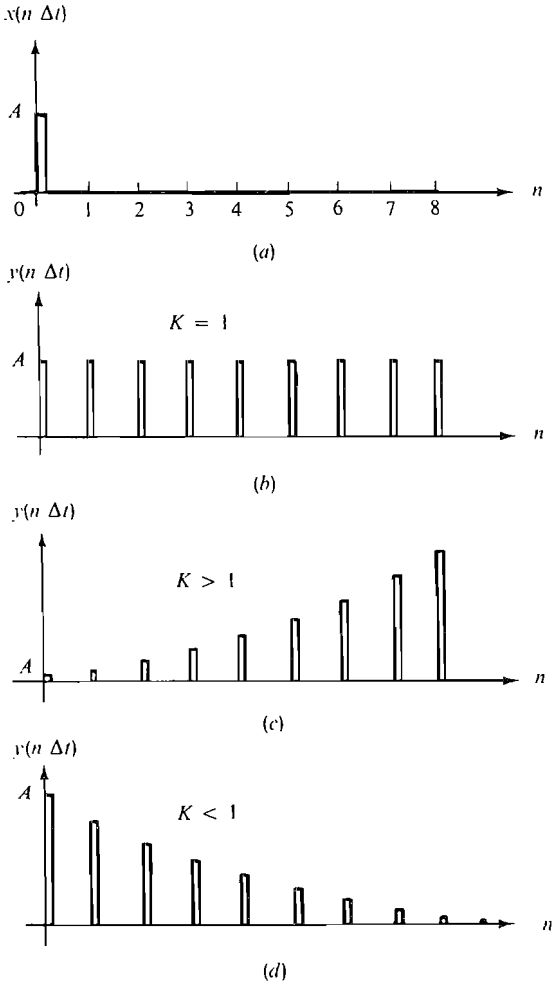


Figura 14.4-3. Respuesta de red digital: (*a*) entrada; (*b*) salida para $K = 1$; (*c*) salida para $K > 1$; (*d*) salida para $K < 1$.

14.4-1. Respuesta senoidal*

En esta sección determinamos la respuesta del filtro digital lineal a una señal senoidal muestreada. Esta respuesta consta de dos partes, la solución transitoria y la solución del estado estacionario, que tiene la misma forma que la senoide de entrada. La respuesta transitoria del filtro ya ha sido considerada. En esta sección limitamos nuestra exposición a la respuesta del estado estacionario.

* Adaptado de C. Belove, H. H. Schachter, y D. L. Schilling, «Digital and Analog Systems, Circuits and Devices», secciones 3.4 y 4.3 McGraw-Hill, New York.

Filtro digital de primer orden. Consideremos el filtro de primer orden representado en la Figura 14.4-2. Este filtro se caracteriza por la ecuación diferencial.

$$y(n\ \Delta t) = Ky[(n - 1)\ \Delta t] + x(n\ \Delta t) \tag{14.4-2}$$

donde $x(n\ \Delta t)$ es la amplitud de la señal de entrada en el tiempo de muestreo $n\ \Delta t$.

Para hallar la respuesta de este filtro a la entrada senoidal $x(t) = X_m \cos \omega t$, primero hallamos la respuesta a $x_1(t) = X_m e^{j\omega t}$. Entonces la entrada deseada es la parte real de $x_1(t)$. La respuesta del filtro a $x_1(t)$ será $y_1(t) = Y_m e^{j\omega t}$, donde Y_m es un número complejo. Por tanto, la respuesta a $x(t)$ es $y(t)$, que es la parte real de $y_1(t)$.

La entrada muestreada $x_1(n\ \Delta t)$ es $X_m e^{j\omega n\ \Delta t}$. De aquí que la respuesta sea $y_1(n\ \Delta t) = Y_m e^{j\omega n\ \Delta t}$ e $y_1[(n - 1)\ \Delta t] = Y_m e^{j\omega(n-1)\ \Delta t}$. Sustituyendo en (14.4-1) se tiene

$$Y_m e^{j\omega n\ \Delta t} = KY_m e^{j\omega(n-1)\ \Delta t} + X_m e^{j\omega n\ \Delta t} \tag{14.4-3}$$

Suprimimos el término $e^{j\omega n\ \Delta t}$ en ambos miembros de la ecuación. Entonces la relación Y_m/X_m es la función de transferencia $H(f)$ del filtro:

$$H(f) = \frac{Y_m}{X_m} = \frac{1}{1 - Ke^{-j\omega\ \Delta t}} \tag{14.4-4}$$

La función de transferencia $H(f)$ es una función compleja de la frecuencia, cuya magnitud es $|H(f)|$ y cuya fase es $\varphi(f)$:

$$|H(f)| = \left|\frac{1}{1 - Ke^{-j\omega\ \Delta t}}\right| = \left|\frac{1}{1 - K\cos\ \omega\ \Delta t + jK\ \text{sen}\ \omega\ \Delta t}\right|$$

$$= \frac{1}{(1 + K^2 - 2K\cos\ \omega\ \Delta t)^{1/2}} \tag{14.4-5}$$

y

$$\varphi(f) = -\text{tg}^{-1}\left(\frac{K\ \text{sin}\ \omega\ \Delta t}{1 - K\cos\ \omega\ \Delta t}\right) \tag{14.4-6}$$

Se observa que la magnitud y la fase de la función de transferencia $H(f)$ son funciones de K y de Δt, así como de la frecuencia aplicada f.

La respuesta estacionaria

$$y(t) = \text{Re}(Y_m e^{j\omega n\ \Delta t}) \tag{14.4-7}$$

a la entrada muestreada $x(n\ \Delta t) = X_m \cos \omega n\ \Delta t$ es, pues,

$$y(n\ \Delta t) = \text{Re}[X_m|H(f)|e^{j\varphi(f)}e^{j\omega n\ \Delta t}]$$

$$= \frac{X_m}{(1 + K^2 - 2K\cos\ \omega\ \Delta t)^{1/2}} \cos\left(\omega n\ \Delta t - \text{tg}^{-1}\frac{K\ \text{sen}\ \omega\ \Delta t}{1 - K\cos\ \omega\ \Delta t}\right) \tag{14.4-8}$$

Para determinar la banda de frecuencia que pasa por el filtro conviene representar $|H(f)|$ en función de la frecuencia. Como la frecuencia de muestreo es $f_s = 1/\Delta t$, dibujamos $|H(f)|$ en función de f/f_s:

$$|H(f)| = \frac{1}{(1 + K^2 - 2K\cos\ 2\pi f/f_s)^{1/2}} \tag{14.4-9a}$$

La magnitud de la función de transferencia $|H(f)|$ dada en la Ecuación (14.4-9*a*) es una función periódica de la frecuencia. Pasa por su valor máximo cuando

$$\cos 2\pi \frac{f}{f_s} = 1 \tag{14.4-9b}$$

lo que ocurre cuando

$$\frac{f}{f_s} = 0, 1, 2, \ldots \tag{14.4-9c}$$

El valor máximo es

$$|H(f)|_{\text{máx}} = \frac{1}{(1 + K^2 - 2K)^{1/2}} = \frac{1}{1 - K} \tag{14.4-10}$$

El valor mínimo de $|H(f)|$ ocurre cuando

$$\cos 2\pi \frac{f}{f_s} = -1 \tag{14.4-11a}$$

lo que resulta siempre que

$$\frac{f}{f_s} = \frac{1}{2}, \frac{3}{2}, \frac{5}{2}, \ldots \tag{14.4-11b}$$

El valor mínimo es

$$|H(f)|_{\text{mín}} = \frac{1}{(1 + K^2 + 2K)^{1/2}} = \frac{1}{1 + K} \tag{14.4-12}$$

Comparando las Ecuaciones (14.4-10) y (14.4-12), se ve que la diferencia entre $|H(f)|_{\text{máx}}$ y $|H(f)|_{\text{mín}}$ aumenta cuando K se aproxima a la unidad. En la Tabla 14.4-1 se dan algunos valores típicos.

Tabla 14.4-1

K	$\|H\|_{\text{máx}}$	$\|H\|_{\text{mín}}$
0,99	100	0,502
0,8	5	0,55
0,5	2	0,67
0,1	1,1	0,9

Obsérvese que $|H|_{\text{máx}} > 1$ lo que proporciona amplificación desde la entrada hasta la salida. Esta es una característica de los filtros digitales.

La variación de $|H(f)|$ en función de la frecuencia está representada en la Figura 14.4-4 para $K = 0{,}5$ y 0,1. El filtro se comporta como de paso bajo para frecuencias menores que la mitad de la frecuencia de muestreo. Sin embargo, a diferencia de su contrapartida analógica (un filtro RC de paso bajo), el filtro digital es periódico y cuando $f = f_s$ la señal

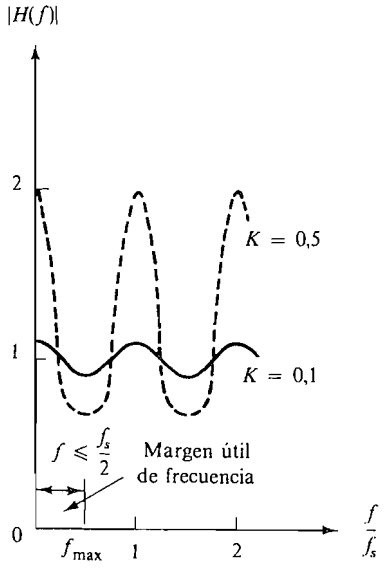


Figura 14.4-4. Respuesta de frecuencia del filtro digital de primer orden.

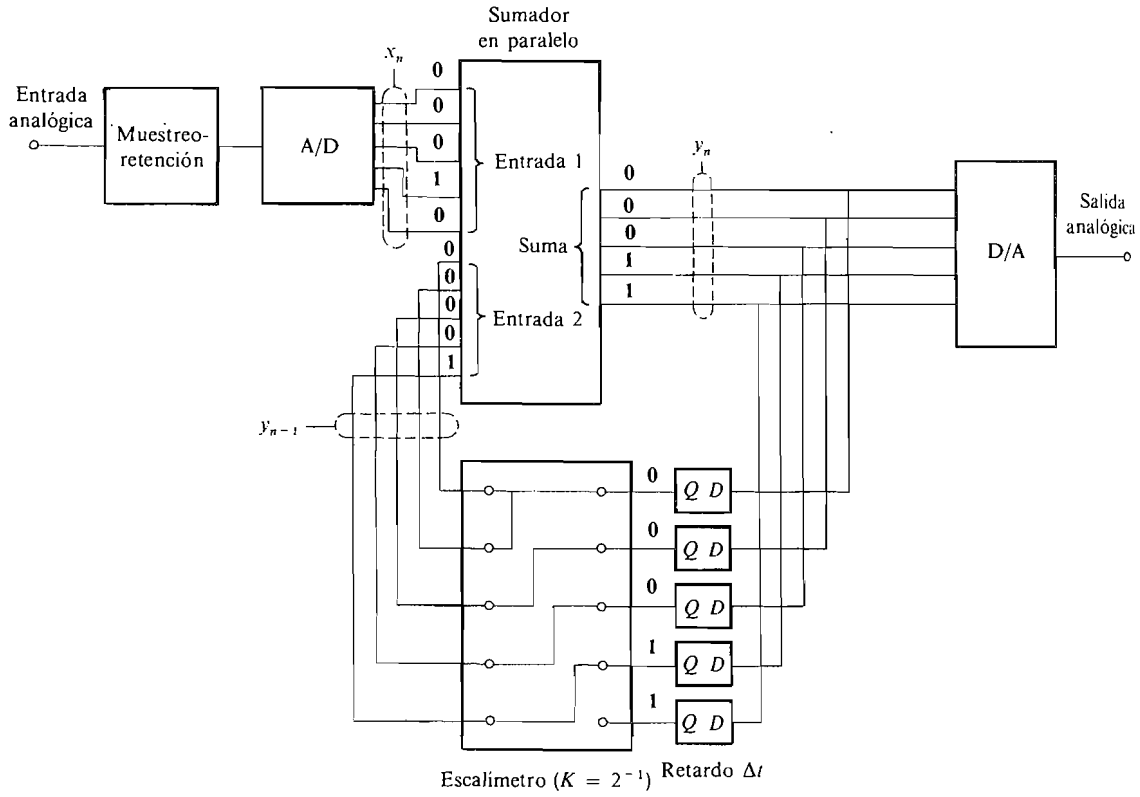


Figura 14.4-5. Filtro digital de primer orden con proceso en paralelo [$x_n = x(n\,\Delta t), y_n = y(n\,\Delta t)$].

es realmente reforzada. Se puede demostrar[5] que si una señal tiene una frecuencia máxima $f_{máx}$ dicha señal debe ser muestreada a una frecuencia f_s tal que

$$f_s \geq 2f_{máx} \tag{14.4-13}$$

para asegurar que la señal pueda ser recuperada sin distorsión. La Ecuación (14.4-13) es conocida como *teorema de Nyquist* para el muestreo. Usando este teorema se puede ver que la función de transferencia tal y como está representada en la Figura 14.4-4, tiene interés práctico hasta frecuencias $f_{máx} \leq f_s/2$. De esta forma, cualquier filtro digital opera como filtro paso-bajo.

14.4-2. Realización del filtro digital de primer orden

Las operaciones necesarias para el filtro digital se pueden realizar utilizando el sumador, el biestable y el escalado. Un circuito típico es el de la Figura 14.4-5. Este circuito efectúa la Ecuación (14.4-1) con la constante $K = \frac{1}{2}$. El sumador se describe en la Sección 14.3-3. Para mayor simplicidad sólo hemos representado aquí cinco posiciones de bits y hemos supuesto que la unidad A/D da números en complemento a dos para valores negativos de $x(n\ \Delta t)$. El retardo de un bit se logra con un biestable D en cada línea. El escalado es de tipo cableado representado en la Figura 14.3-10. Los valores binarios en todo el circuito están representados para $x(n\ \Delta t) = 2$, $y[(n - 1)\ \Delta t] = 2$, que dan el valor de salida $y(n\ \Delta t) = 3$. El filtro debe ser capaz de efectuar la suma dentro del tiempo de muestreo Δt.

14.5. GATE ARRAY VLSI PARA DISEÑO LOGICO[10,11]

Un nuevo tipo de circuito integrado VLSI está disponible para los diseñadores; consiste en una gran cantidad de puertas y biestables configurados de tal forma que el usuario puede programar las interconexiones entre estos dispositivos. Algunos de ellos puede incluso ser reprogramado en unos pocos milisegundos. Este tipo de circuito puede ser utilizado, por ejemplo, para implementar el filtro mostrado en la Figura 14.4-5, o sistemas digitales complejos que requerirían el uso de miles de circuitos integrados estándar.

En esta sección se describirán dos de estos dispositivos, la *programmable logic array* (PLA o PAL) que consta de más de 2100 puertas CMOS trabajando a una frecuencia de reloj de 20 MHz con un retardo de 25 ns por puerta; y la *logic cell array* (LCA) que se compone de más de 9000 puertas CMOS trabajando a una frecuencia de reloj superior a 37 MHz con un retardo por puerta de 3,5 ns.

Estas gate array programables por el usuario han revolucionado el diseño de circuitos digitales toda vez que representan una notable disminución en el número de circuitos integrados y, por tanto, en el tamaño y coste de los sistemas digitales, a la vez que aumentan la fiabilidad y la facilidad de mantenimiento de estos sistemas.

14.5-1. Programmable Logic Array (PLA) y Programmable Array Logic (PAL)

El circuito básico de una PLA o una PAL se muestra en la Figura 14.5-1. Se denomina 20 pin «skinny» *dual-in-line package* (DIP) y como se puede ver consta de una logic array

de entrada que contiene múltiples puertas Y seguidas de puertas O. También se dispone de circuitos PAL en los que las salidas consisten en biestables a continuación de las puertas O.

Es conveniente comparar los distintos tipos de dispositivos: las memorias PROM (*programmable read-only memory*), las PLA (*programmable logic array*) y las PAL (*programmable array logic*) que se muestran en la Figura 14.5-2. Como se puede ver en esta figura y en la Tabla 14.5-1 la diferencia entre estos circuitos está en qué funciones son programables en cada uno. En la PROM las entradas están conectadas a las puertas Y y sólo pueden ser programadas las puertas O. Las PAL permiten programar las conexiones de entrada a las puertas Y, mientras que las PLA permiten la programación total de las interconexiones. Estas figuras indican también la evolución de este tipo de circuitos integrados; la PROM es la más antigua (años sesenta), a continuación aparece la PAL (a finales de los años setenta) y en la actualidad (mediados de la década de los ochenta) las PLA, que proporcionan la máxima versatilidad.

Por ejemplo, si la simple función O-exclusiva:

$$Z = I_1 \cdot \overline{I}_2 + \overline{I}_1 \cdot I_2$$

va a ser construida empleando una PAL, el circuito resultante es el de la Figura 14.5-3. Hay que resaltar que cada puerta Y puede ser programada para tener hasta ocho entradas. La misma función puede ser realizada utilizando la PLA de la Figura 14.5-2*b*; de todas formas, la PLA puede ser programada para tener cualquier combinación de dieciséis entradas a cualquiera de las puertas O, mientras que las puertas O de la PAL tienen sólo cuatro entradas especificadas.

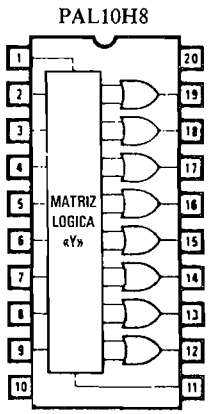


Figura 14.5-1. Un circuito integrado básico PAL de 20 terminales en un encapsulado dual-in-line.

Tabla 14.5-1. Las PROM, PLA y PAL tienen diferentes capacidades de programación

	Y	O
PROM	Fijo	Programable
PLA	Programable	Programable
Dispositivo PAL	Programable	Fijo

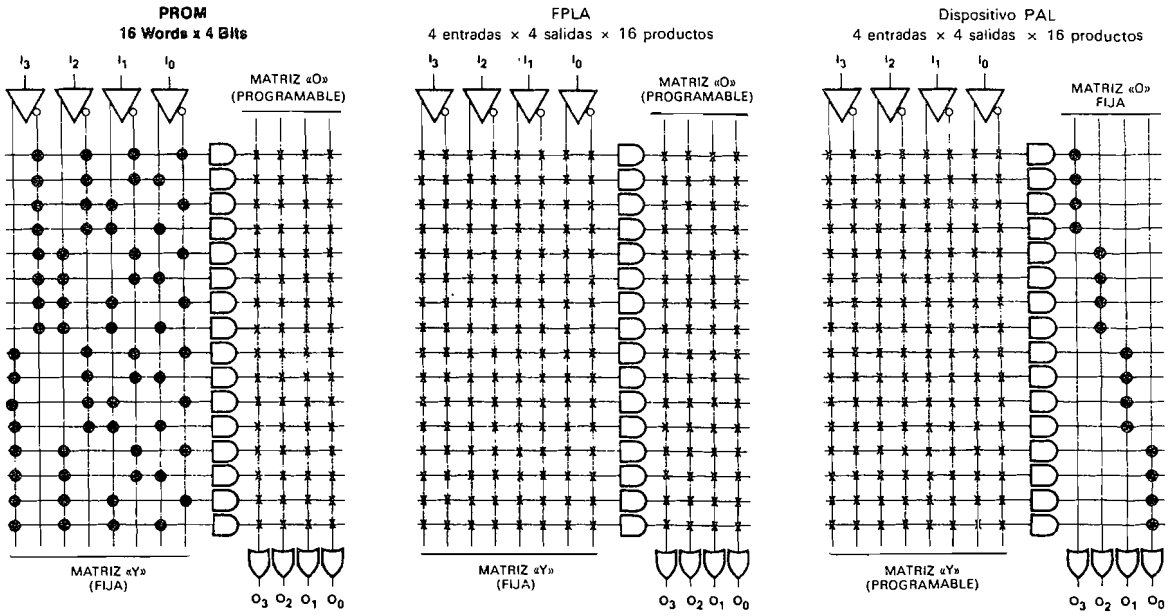


Figura 14.5-2. Comparación entre (*a*) PROM, (*b*) PLA y (*c*) PAL. La x indica una conexión programable; el • indica una conexión física cableada.

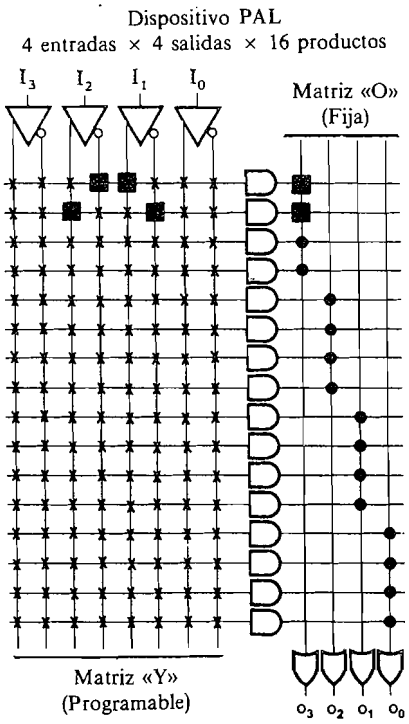


Figura 14.5-3. Dispositivo PAL. El ■ indica la corrección a realizar para obtener: $a_3 = I_1\bar{I}_2 + I_2\bar{I}_1$.

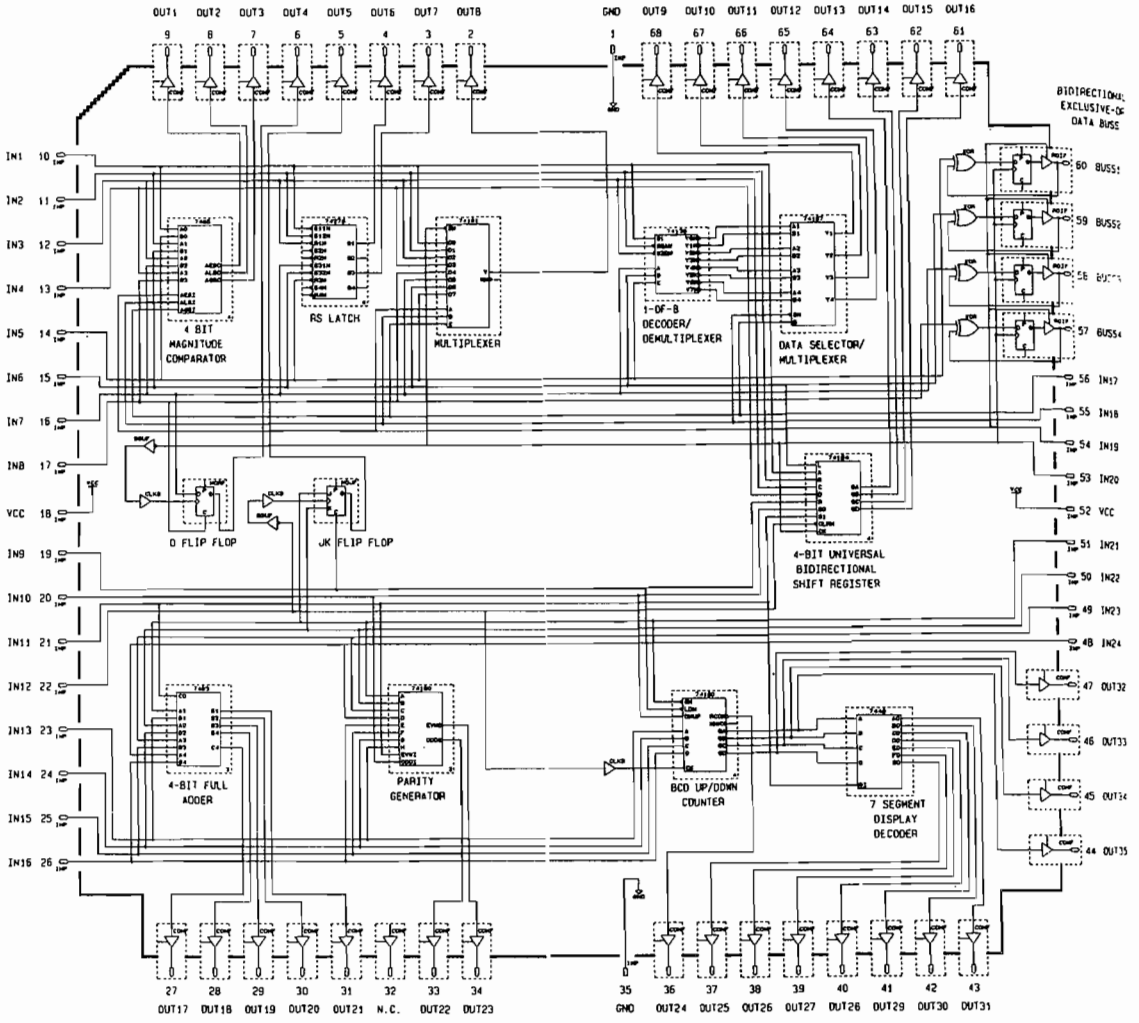


Figura 14.5-4. Circuito integrado PAL mostrando las interconexiones necesarias para realizar un sumador, un contador ascendente-descendente, un registro de desplazamiento y otros dispositivos digitales.

Los circuitos integrados PAL o PLA cuyas salidas son biestables pueden programarse de manera que la salida de los biestables puede realimentar a las puertas Y y O para poder construir registros de desplazamiento, contadores y otros circuitos, como se ilustra en la Figura 14.5-4 que muestra una PAL de 68 terminales.

14.5-2. Logic Cell Array (LCA)

La *logic cell array* (LCA) puede considerarse como una matriz de bloques lógicos configurables donde cada uno de dichos bloques consiste en una pequeña PLA, como se muestra en la Figura 14.5-5. La LCA consta de bloques de entrada/salida (I/O) y bloques

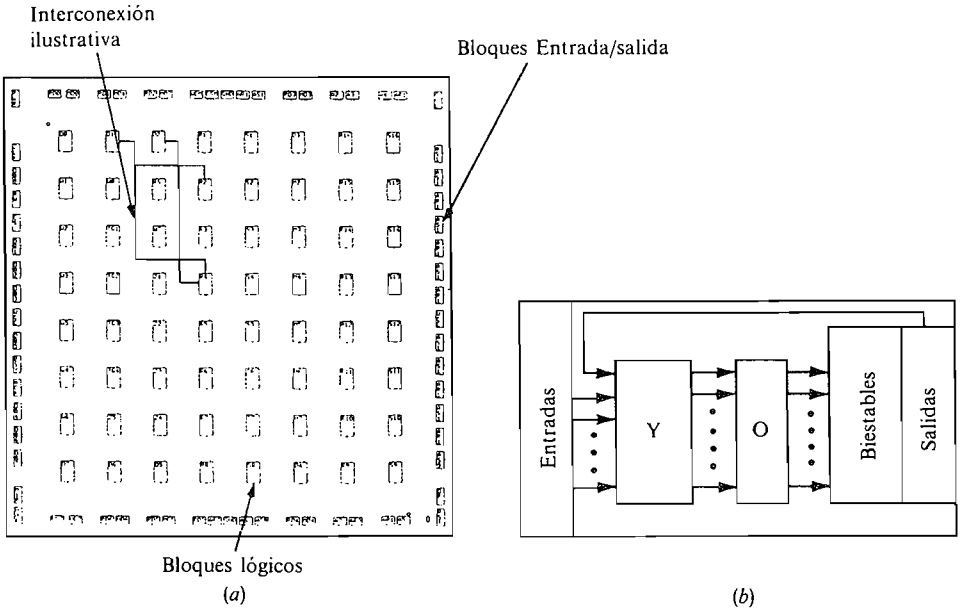


Figura 14.5-5. (*a*) LCA; (*b*) bloque lógico típico.

lógicos, varios de los cuales se presentan interconectados simplemente con propósito ilustrativo. El bloque lógico típico, representado en la Figura 14.5-5*b*, recuerda a una pequeña PLA; de todas formas, en la LCA las salidas de una PLA pueden estar conectadas a las entradas de otras PLA. Todas las conexiones en el interior de los bloques lógicos y entre distintos bloques lógicos son programables por el usuario, y el circuito integrado puede ser reprogramado.

14.5-3. Comparación entre los circuitos PLA y LCA

La Tabla 14.5-2 establece una comparación entre PLA y LCA en cuanto a tamaño y propiedades eléctricas. Hay que destacar que una LCA contiene más puertas y biestables y es más rápida pero tiene un mayor consumo de potencia.

Tabla 14.5-2. Comparación entre PLA (o PAL) y LCA

	PLA o PAL	LCA
Número de puertas	2000	9000
Número de biestables	48	314
Disipación por puerta	0,75 mW	4,35 mW
Máxima frecuencia de reloj	30 MHz	70 mHz
Tiempo de propagación	25 ns	3,5 ns
Número de conexiones de entrada y salida	16 entradas 48 I/O	58 I/O
Tipos de células estándar disponibles	Puertas lógicas y biestables	Puertas lógicas y biestables

REFERENCIAS

1. Fairchild Semiconductors, «The TTL Data Book», 1978.
2. Fairchild Semiconductors, «The TTL Applications Handbook», 1978.
3. Motorola Semiconductors, «High Speed CMOS Logic Data», 1983.
4. Motorola Semiconductors, «MECL Device Data», 1985.
5. Texas Instruments, «The TTL Data Book», vol. 3, 1984.
6. Texas Instruments, «High Speed CMOS Logic Data Book», 1984.
7. National Semiconductor Corporation, «Logic Data Book», vol. 2, 1984.
8. H. Taub y D. L. Schilling, «Digital Integrated Electronics», pág. 328, McGraw-Hill, New York, 1977.
9. H. Taub y D. L. Schilling, «Principles of Communication Systems», McGraw-Hill, New York, 1987.
10. «The Programmable Gate-Array Design Handbook», XILINX, San José, California, 1987.
11. «LCA Applications Handbook», MMI, Santa Clara, California, 1987.

PROBLEMAS

14.1-1. La palabra de datos **101011** está almacenada en un registro de desplazamiento de 6 bits como el de la Figura 14.1-1. La palabra de datos **011010** es alimentada sin borrar o limpiar la palabra previamente almacenada. Representar las formas de onda de reloj, datos y Q_0 a Q_5.

14.1-2. Utilizando cuatro biestables tipo *D*, diseñar un registro de 4 bits que se pueda utilizar para transferir datos con entrada en paralelo y salida en paralelo. Representar las cuatro formas de onda de entrada y las cuatro de salida cuando es transferida la palabra de datos **1101** en el impulso de entrada de reloj 1 y la salida en el impulso de reloj 5.

14.1-3. La Figura P14.1-3 muestra las formas de onda de entrada de reloj y de datos para el registro de desplazamiento de 4 bits de la Figura 14.1-1*a*. Suponiendo que el registro contiene inicialmente todos unos, representar las formas de onda Q_0 a Q_3.

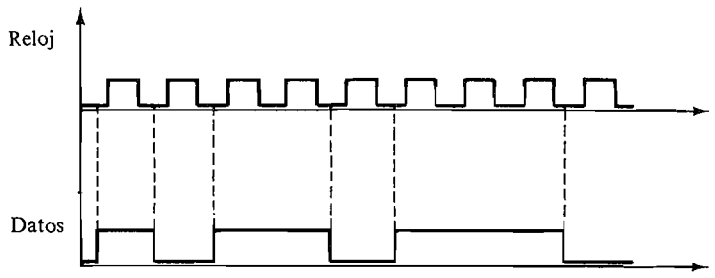


Figura P14.1-3.

14.1-4. Repetir el Problema 14.1-3 si los biestables del registro son del tipo maestro-seguidor *JK*.

14.1-5. En un registro de desplazamiento *recirculante*, la información binaria circula a través del registro cuando se aplican los impulsos de reloj. El registro de la Figura 14.1-1 puede ser convertido en registro recirculante por conexión de Q_3 al terminal de entrada de datos. Suponer que el registro comienza con $Q_0 = \mathbf{1}$, $Q_1 = \mathbf{1}$, $Q_2 = \mathbf{0}$, $Q_3 = \mathbf{1}$. Enumerar los estados que repite cíclicamente el registro cuando son aplicados ocho impulsos de reloj.

14.1-6. La Figura P14.1-6*a* muestra un registro de desplazamiento reversible o bidireccional, es decir, uno en que los datos pueden ser desplazados a izquierda o derecha.

(*a*) Explicar su funcionamiento.

(*b*) Representar las formas de onda Q_0 a Q_3 si el registro comienza con $Q_0 = Q_1 = Q_3 = \mathbf{1}$ y $Q_2 = \mathbf{0}$ y si las formas de onda de reloj y las reversibles son como las que muestra la Figura P14.1-6*b*. La línea de entrada de datos en serie está en el estado bajo.

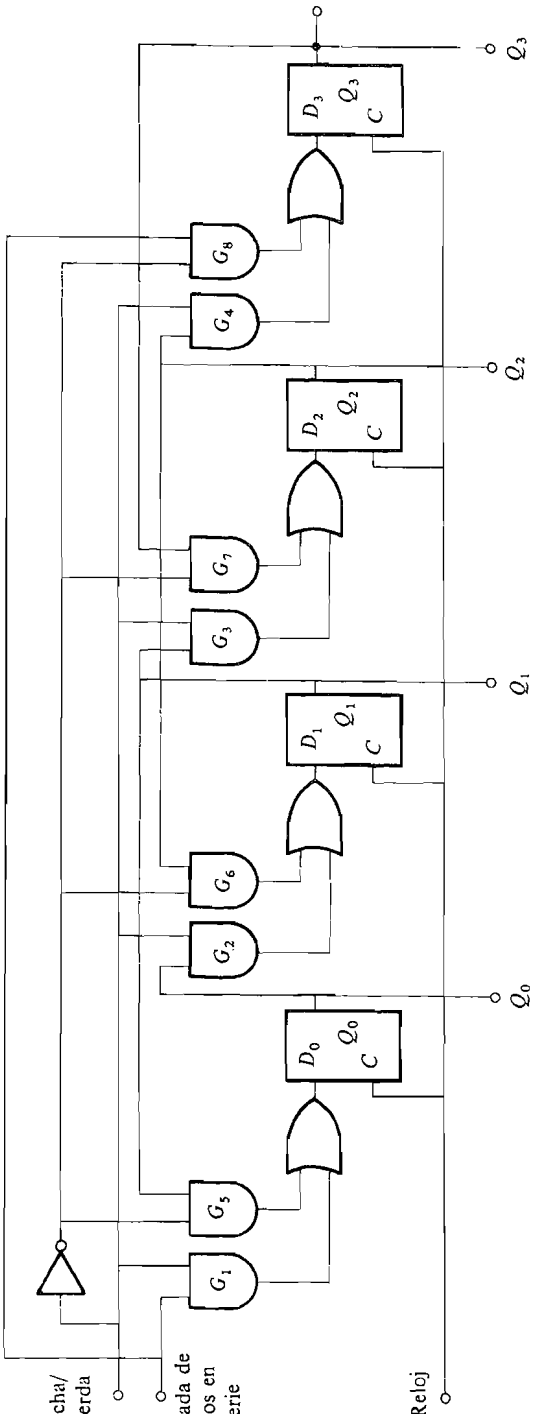


Figura P14.1-6.

14.2-1. ¿Cuántos biestables son necesarios para contar hasta (*a*) 7, (*b*) 29, (*c*) 65, (*d*) 121?

14.2-2. ¿Cuál es el módulo máximo de un contador que contiene (*a*) 3, (*b*) 5, (*c*) 7, (*d*) 10 biestables?

14.2-3. En el contador asíncrono de módulo 8 de la Figura 14.2-1 la frecuencia de reloj es 10 MHz y la anchura del impulso de reloj es 25 ns. Cada biestable tiene un retardo de propagación de 5 ns. Dibujar las formas de onda Q_0, Q_1 y Q_2, teniendo en cuenta este retardo. ¿Cuál es el retardo total del flanco posterior de un impulso de reloj hasta que pueda ocurrir el cambio correspondiente en Q_2?

14.2-4. La máxima frecuencia de funcionamiento de un contador asíncrono debe ser 5 MHz. Los biestables que se pueden utilizar tienen un retardo de propagación de 15 ns y un tiempo de muestreo de 60 ns. Hallar el máximo número de etapas que puede tener el contador.

14.2-5. Los biestables del Problema 14.2-4 deben ser utilizados con un tiempo de muestreo de 50 ns en un contador asíncrono de ocho etapas. ¿Cuánto es la frecuencia máxima que puede ser aplicada al contador para que su salida sea fiable?

14.2-6. La Figura P14.2-6 muestra el contador asíncrono de módulo 8 de la Figura 14.2-1, modificado para operar con módulo 6 por borrado o limpieza del contador cuando ocurre la cuenta de 6. El funcionamiento es como sigue: 1) La salida de la puerta NO-Y no afecta a los biestables hasta que pasa al estado bajo, instante en el cual todos los biestables son borrados. 2) La salida de la puerta NO-Y sólo puede pasar al estado bajo cuando $Q_1 = Q_2 = 1$. Esto ocurre cuando la cuenta pasa de **101** a **110**. Así la secuencia de cuenta es **000, 001, 010, 011, 100, 101** (temporalmente **110**), **000, 001, ...** El estado temporal sólo dura un corto tiempo hasta que se borran los biestables, punto en el cual la puerta NO-Y pasa nuevamente al estado alto. Así el contador tiene seis estados diferentes.

(*a*) Representar las formas de onda de reloj, Q_0, Q_1 y Q_2. Cerciorarse de que se incluye un impulso estrecho en los puntos apropiados cuando ocurre el estado temporal.

(*b*) Si la frecuencia de reloj es de 100 kHz, ¿cuál es la frecuencia de Q_2?

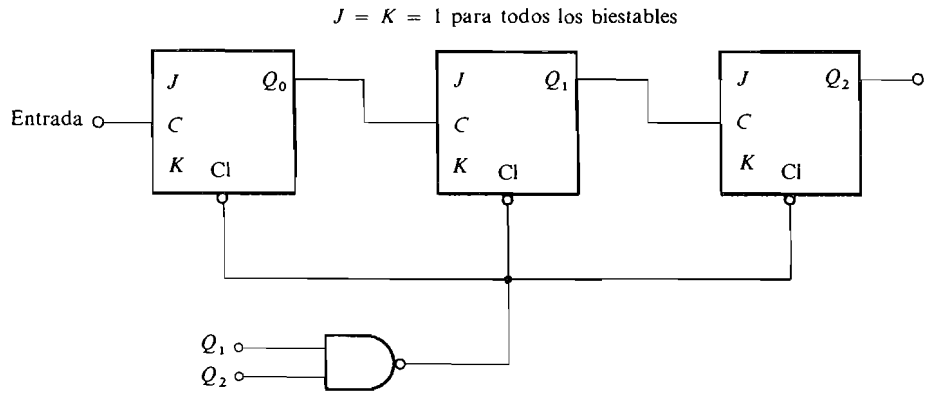


Figura P14.2-6.

14.2-7. Utilizando la técnica del Problema 14.2-6, diseñar un contador de módulo 7 y dibujar el diagrama de temporización.

14.2-8. Repetir el Problema 14.2-7 para módulo 10.

14.2-9. Un contador asíncrono de cinco etapas es activado por un impulso de reloj de 8 MHz. Hallar la frecuencia de salida y el ciclo de trabajo si el impulso de reloj es una onda cuadrada con (*a*) un ciclo de trabajo del 50 por 100 y (*b*) un ciclo de trabajo del 20 por 100.

14.2-10. En el contador síncrono paralelo de la Figura 14.2-4, el retardo de propagación de los biestables para un *fan-out* de 3 está especificado en 24 ns. La puerta Y tiene $t_{pd} = 4$ ns y el tiempo de muestreo es 20 ns. Hallar $f_{máx}$.

14.2-11. Demostrar que el contador de la Figura P14.2-11 es de módulo 5 por medio de la confección de una tabla de estados. Suponer que todos los biestables están inicialmente borrados.

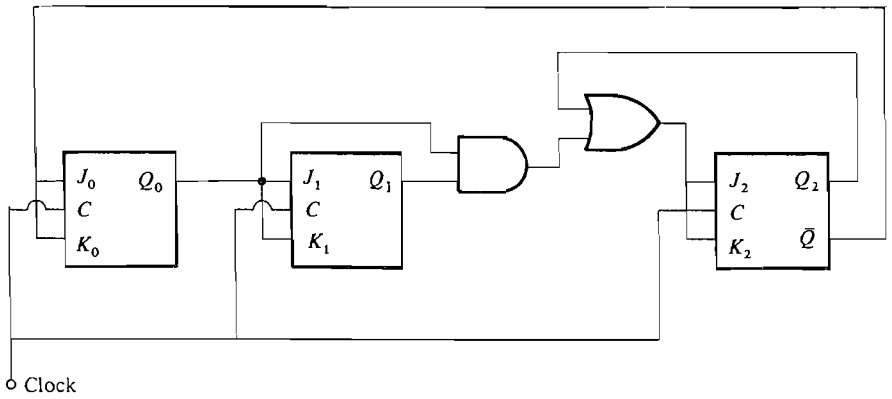


Figura P14.2-11.

14.2-12. Un contador en anillo de cinco etapas tiene inicialmente el estado **10100**. Representar las formas de onda Q_0 a Q_4 a través de cinco impulsos de reloj.

14.2-13. Diseñar un contador con registro de desplazamiento utilizando la técnica de la tabla de estados de la Sección 14.2-4 para contaje en módulo 5.

14.2-14. Diseñar un contador tal que la secuencia de cuenta sea **00, 10, 01, 11.** Este es un contador no binario de módulo 4. *Sugerencia:* Utilizar dos biestables *JK*.

14.2-15. Se debe cambiar una señal de reloj de 10 MHz. Los componentes disponibles son biestables *JK* simples, contadores de módulo 5 y contadores de décadas. Utilizando los componentes disponibles diseñar circuitos para producir frecuencias de (*a*) 2,5 MHz, (*b*) 100 kHz, (*c*) 500 kHz, (*d*) 40 kHz y (*e*) 20 kHz.

14.2-16. Diseñar un contador de cuatro etapas que cuente desde **1111** hasta **0000**, es decir, **1111, 1110, 1101, 1100** y así sucesivamente.

14.2-17. Explicar la operación del contador de sentido descendente representado en la Figura P14.2-17 (véase página siguiente). *Sugerencia:* Ajustar $M = 1$ con la cuenta en **0000**.
(*a*) Aplicar cuatro impulsos de reloj. Dibujar el resultado.
(*b*) Ahora ajustar $M = 0$ y aplicar tres impulsos adicionales de reloj. Dibujar el resultado.
(*c*) ¿De qué forma se cuenta cuando $M = 1$? ¿Y con $M = 0$?

14.2-18. Explicar el funcionamiento del contador representado en la Figura 14.2-8*c*.

14.3-1. Diseñar un semisumador utilizando (*a*) lógica toda NO-Y y (*b*) lógica NO-O.

14.3-2. Realizar las siguientes adiciones binarias, manteniendo separados los acarreos:
(*a*) **1110011** + **011001**
(*b*) **1010111** + **101011**
(*c*) **10001** + **11111**
(*d*) **1100011** + **0011011**

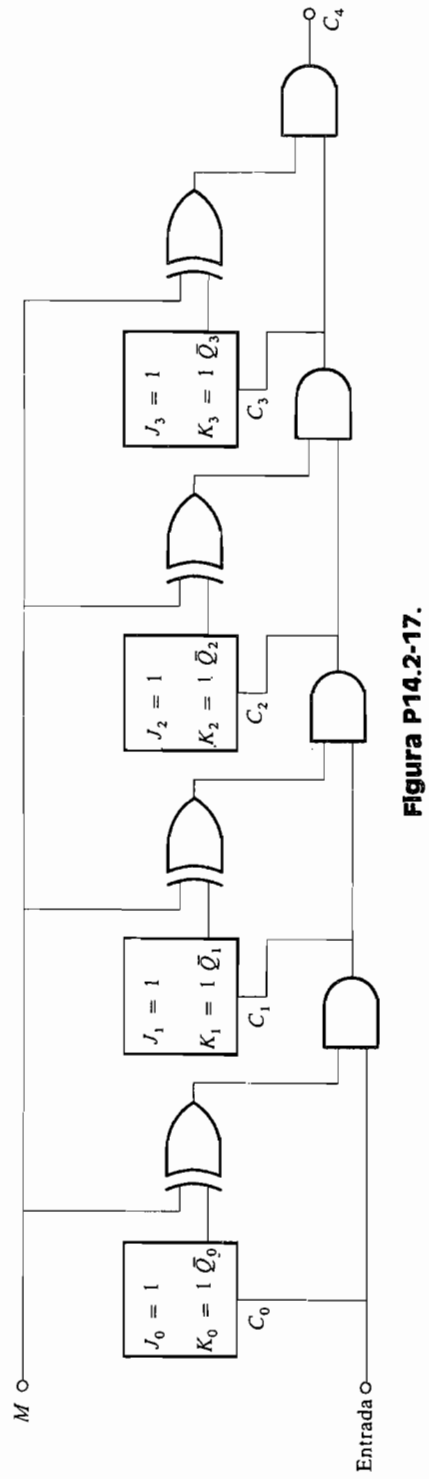


Figura P14.2-17.

14.3-3. Diseñar un sumador completo utilizando (*a*) puertas O-exclusiva, Y y O, (*b*) lógica toda NO-Y.

14.3-4. Comprobar que la combinación de los dos semisumadores de la Figura 14.3-3 actúan como sumador completo.

14.3-5. En el sumador de acarreo en serie de la Figura 14.3-4 se suman los números **1101** y **0011**.
(*a*) Indicar los valores binarios en todo el circuito.
(*b*) Cada sumador completo tiene un retardo de propagación de 8 ns. Hallar el retardo desde el instante en que son aplicados los números al sumador y el instante en que aparece la suma completa en la salida.

14.3-6. Hallar el complemento a dos de **111010** utilizando el método simplificado de la Sección 14.3-5. Comprobar la suma y el resultado utilizando (14.3-17).

14.3-7. El complemento a uno de un número binario se halla fácilmente complementado cada bit del número. El complemento a dos puede ser hallado sumando un **1** al complemento a uno. Teniendo esto en cuenta se puede utilizar el sumador paralelo de la Figura 14.3-4 para efectuar la sustracción por complemento a dos haciendo que $C_{in} = \mathbf{1}$ y sumando $A_3A_2A_1A_0$ a $\bar{B}_3\bar{B}_2\bar{B}_1\bar{B}_0$.
(*a*) Demostrar que $C_1(N) = C_2(N) - \mathbf{1}$ y que se puede obtener $C_1(N)$ invirtiendo simplemente cada bit de N.
(*b*) Indicar los valores binarios en todo el circuito de la Figura 14.3-4 para la sustracción por complemento a dos $D = 3 - 5$.

14.3-8. Utilizar la sustracción por complemento a dos para hallar (*a*) **111001** − **001101** y (*b*) **00110** − **10101**. Especificar la máxima longitud de registro para cada caso de manera que no haya desbordamiento.

14.3-9. Los números 22, −130, 82, −4 deben ser almacenados en registros separados de 10 bits utilizando complementos a dos. Indicar los contenidos del registro en cada caso.

14.3-10. Demostrar que cuando se desborda un sumador de N bits, el error es 2^N.

14.3-11. Demostrar que si ocurre desbordamiento cuando se suman dos números positivos, el bit de signo de la suma será **1**; y si ambos números son negativos, el bit de signo será **0**.

14.3-12. Utilizando el resultado del Problema 14.3-11, diseñar un circuito lógico para el sumador de la Figura 14.3-4 (con A_3 y B_3 como bits de signo) que dé una salida **1** cuando hay desbordamiento.

14.3-13. Diseñar un circuito multiplicador cableado para el cual $A = 2^3B$ y para que ambos números tengan una longitud de 12 bits. Hallar el orden decimal de B que pueda ser implantado o acomodado sin error.

14.3-14. Repetir el Problema 14.3-14 con $A = 2^{-3}B$.

14.3-15. Diseñar un circuito lógico combinacional para producir C_{i+1} directamente en el circuito de la Figura 14.3-5*a*.

14.3-16. Con referencia a la Figura 14.3-5*b* y la Ecuación (14.3-8*a*), demostrar que $C_{n+3} = \mathbf{1}$ si $C_{n-1} = \mathbf{1}$ y la Ecuación (14.3-8*a*) $= \mathbf{1}$.

14.3-17. Demostrar la Ecuación (14.3-9).

14.3-18. Con referencia a la Sección 14.3-3, se considera la construcción de un circuito lógico combinacional que admita las nueve variables de entrada C_{in}, A_0, B_0, A_1, B_1, A_2, B_2, A_3, B_3 y utilizando un circuito Y/O de dos niveles y genera S_0, S_1, S_2, S_3 y C_3. ¿Cuántas puertas son necesarias? *Sugerencia:* Deducir la tabla de verdad.

14.3-19. Verificar los tiempos de sumas totales que se presentan en la Tabla 14.3-1.

14.4-1. Hallar la salida de la red digital de la Figura 14.4-2 si la entrada es como la representada en la Figura P14.4-1 y $K = \frac{1}{2}$ e $y(-1) = \mathbf{0}$.

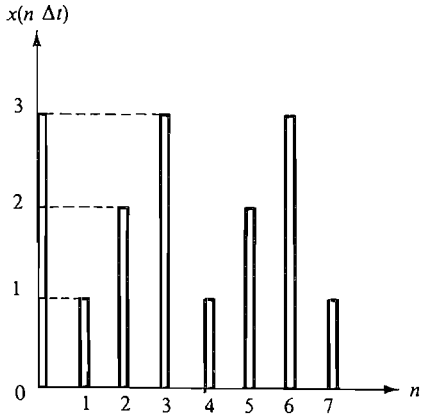


Figura P14.4-1.

14.4-2. Repetir el Problema 14.4-1 utilizando el circuito de la Figura P14.4-2 con $y(-1) = 0$. Comparar los resultados.

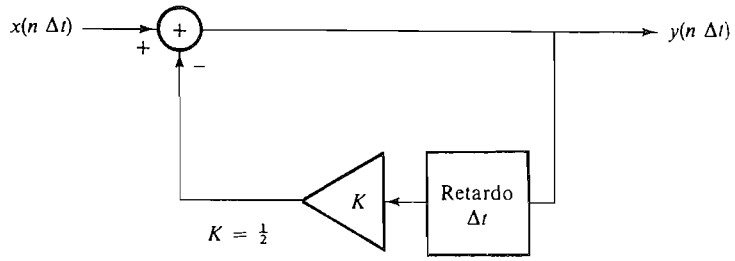


Figura P14.4-2.

14.4-3. El circuito de la Figura P14.4-3 es análogo a un diferenciador. Demostrarlo hallando la respuesta a un tren de impulsos de amplitud constante.

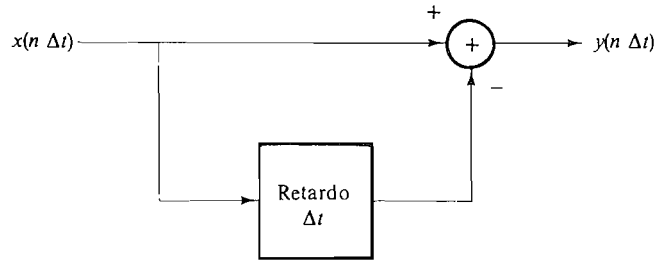


Figura P14.4-3.

14.4-4. Un filtro digital de paso bajo de primer orden tiene $K = 0{,}5$ y la frecuencia de muestreo es 1 kHz.

(*a*) ¿Cuál es la máxima frecuencia de señal que puede ser acomodada con seguridad?

(*b*) Hallar la salida si la entrada es

$$x(t) = 2 \cos (2\pi\ 100t) + 3 \cos (2\pi\ 400t)$$

14.4-5. Se utiliza el filtro de primer orden del Problema 14.4-4 para filtrar señales. Comparar las amplitudes de salida de las señales en 10, 100 y 500 Hz. Suponer que las señales de entrada tienen idénticas amplitudes.

14.4-6. Un filtro digital de primer orden de paso alto puede ser descrito por la ecuación diferencial

$$y(n\,\Delta t) = Ky[(n-1)\,\Delta t] + x(n\,\Delta t) - x[(n-1)\,\Delta t]$$

donde $x(t)$ es la señal de entrada e $y(t)$ la salida del filtro.
(*a*) Sintetizar un circuito digital que produzca esta ecuación diferencial.
(*b*) Determinar $|H(f)|$.
(*c*) Representar $|H(f)|$ en función de f/f_s para $K = 0$, 0,5 y 0,9.

14.4-7. El circuito de un filtro digital de segundo orden está representado en la Figura P14-4-7.
(*a*) Hallar la ecuación diferencial que describe este filtro.
(*b*) Hallar la respuesta cuando $k_1 = 0{,}5$, $k_2 = -0{,}5$ $x(0) = 1$ y $x(n\,\Delta t) = 0$ para $n \neq 0$; es decir, la entrada es un solo impulso que ocurre en $t = 0$. Las condiciones iniciales son $y(-\Delta t) = y(-2\,\Delta t) = 0$.

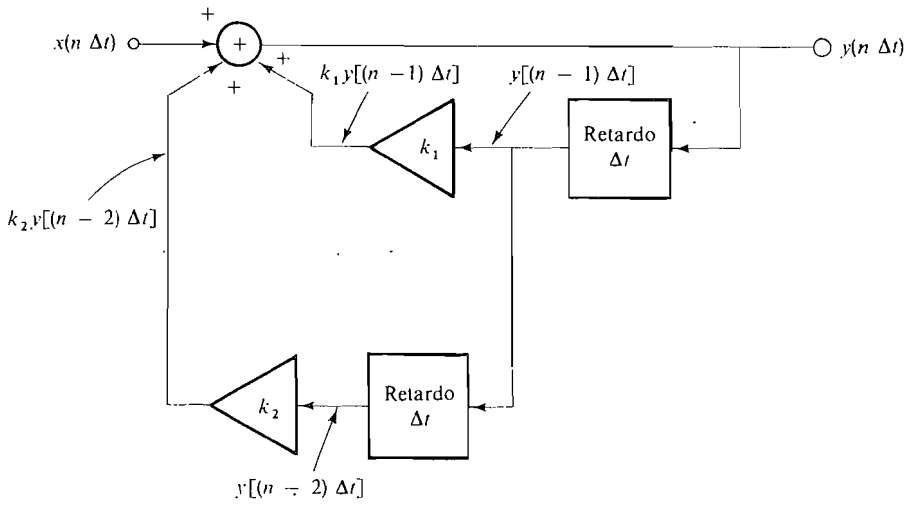


Figura P14.4-7.

14.4-8. Hallar la respuesta del filtro digital de la Figura P14.4-7 a un tren de impulsos de amplitud constante si $k_1 = +1{,}2$ y $k_2 = -0{,}4$.

14.4-9. Hallar la respuesta del filtro digital de la Figura P14.4-7 a un tren de impulsos de amplitud constante si $k_1 = +1{,}5$ y $k_2 = -1{,}5$.

14.4-10. Diseñar el circuito de un filtro digital de primer orden como el de (14.4-1) con $K = 2^{-2}$. Utilizar ocho posiciones de bit y asumir la representación de complemento a dos para números negativos.

14.5-1. Repetir el Problema 11.1-3 empleando una PLA como la mostrada en la Figura 14.5-2*c* pero con ocho entradas.

14.5-2. Repetir el Problema 11.6-1 utilizando la PLA de la Figura 14.5-2*c*.

14.5-3. Realizar un circuito lógico que resuelva el Ejemplo 11.1-2 utilizando la PLA mostrada en la Figura 14.5-2*c*.

14.5-4. Una LCA consta de 15 circuitos PLA, cada uno idéntico al de la Figura 14.5-2*c*. Diseñar:
(*a*) Un biestable *JK* maestro-seguidor.
(*b*) Un biestable *D* maestro-seguidor (Fig. 13.5-1).
(*c*) Un filtro de primer orden con la ecuación

$$y(k) = \tfrac{1}{2}y(k - 1) + x(k)$$

donde $x(k)$ e $y(k)$ se expresan cada uno utilizando cuatro bits.

14.5-5. Diseñar un sumador de muy alta velocidad que pueda sumar simultáneamente tres números, teniendo cada uno un valor comprendido entre 0 y 15. Si cada puerta de la LCA tiene un retardo de 3 ns ¿cuánto tarda en efectuarse la suma? Emplee una LCA con 16 circuitos PLA, cada uno idéntico al de la Figura 14.5-2*c*.

CAPITULO

15

Circuitos de muestreo y retención, convertidores digital-analógico y analógico-digital y circuitos temporizadores

INTRODUCCION

Los circuitos de muestreo y retención se utilizan para muestrear una señal analógica en un instante dado y mantener el valor de la muestra durante tanto tiempo como sea necesario. Los instantes de muestreo y el tiempo de retención están determinados por una señal lógica de control, y el intervalo de retención depende de la aplicación a la que se destine el circuito. Por ejemplo, en los filtros digitales explicados en la Sección 14.4 las muestras deben ser mantenidas durante el tiempo suficiente para que tenga lugar la conversión de analógica a digital.

15.1. CIRCUITOS DE MUESTREO Y RETENCION

La mayoría de los circuitos de muestreo y retención utilizan un condensador para mantener la tensión de muestra. El interruptor controlado electrónicamente es el medio para cargar rápidamente el condensador hasta la tensión de muestra y luego suprimir la entrada de manera que el condensador pueda retener la tensión deseada. Tal circuito está representado en la Figura 15.1-1*a* en la que v_A es la fuente analógica y R_g su impedancia interna. Las formas de onda ideales están representadas en la Figura 15.1-1*b*. El interruptor está cerrado mientras la forma de onda lógica de control v_C está en nivel alto y, en el supuesto de que la constante de tiempo R_gC sea muy pequeña, la tensión de salida seguirá muy estrechamente a la tensión de entrada y será igual a ella en el instante en que el circuito lógico de control esté a nivel bajo, abriendo el interruptor. Durante el intervalo de retención, mientras la señal de control está en nivel bajo, el interruptor está abierto y el condensador C mantendrá el último valor de la entrada. Idealmente la salida se mantendrá constante en ese valor durante todo el intervalo de retención.

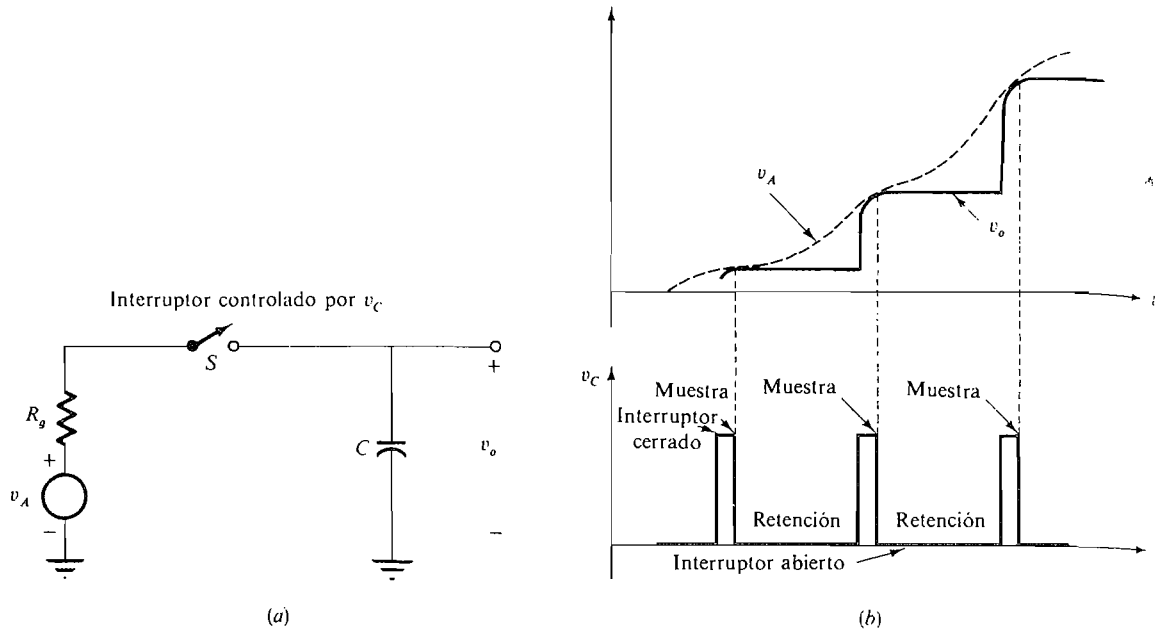


Figura 15.1-1. Circuitos de muestreo y retención: (*a*) circuito simple con interruptor; (*b*) formas de onda.

En la práctica, los interruptores electrónicos y los condensadores no son perfectos y presentan discrepancias respecto a los valores o estados ideales. Entre las especificaciones más importantes están las de *tiempo de apertura* y *tiempo de adquisición*. Se puede explicar lo que es el tiempo de apertura haciendo referencia a la Figura 15.1-2 en la cual vemos que dicho tiempo es el máximo retardo entre el instante en que la lógica de control ordena al interruptor que se abra y el instante en que realmente ocurre la apertura. El tiempo de apertura de un sistema determina esencialmente el tipo de interruptor que se debe utilizar. Si este tiempo es del orden de milisegundos, S puede ser un relé. Con interruptores FET los tiempos de apertura son normalmente de 50 a 100 ns, mientras que con interruptores con diodo muy rápidos el tiempo de apertura es mucho menor de 1 ns. A consecuencia del tiempo de apertura hay una incertidumbre en el ritmo o cadencia de muestreo que puede degradar las prestaciones del sistema. Se suele seleccionar un interruptor cuyo tiempo de apertura sea mucho menor que la inversa del ritmo de muestreo.

Como el circuito de salida es capacitivo, tarda un cierto tiempo antes de que la tensión del condensador (salida) sea idéntica a la entrada. El *tiempo de adquisición* (Fig. 15.1-3) es el intervalo más corto transcurrido desde que se da la orden de muestra hasta que se puede dar la orden de retención y se obtenga como resultado una tensión de salida que sea aproximadamente la tensión de entrada con la exactitud necesaria. El caso más desfavorable ocurre cuando la entrada es una función escalón cuya amplitud es igual a la máxima excursión de tensión cresta a cresta del circuito. En el circuito de la Figura 15.1-1*a* la velocidad con que la salida puede seguir a tal entrada depende de las características de la fuente de señal v_A. Considerando el efecto de la impedancia de fuente R_g, v_o será una función exponencial con constante de tiempo R_gC, y para que v_o no difiera más de 0,01 por

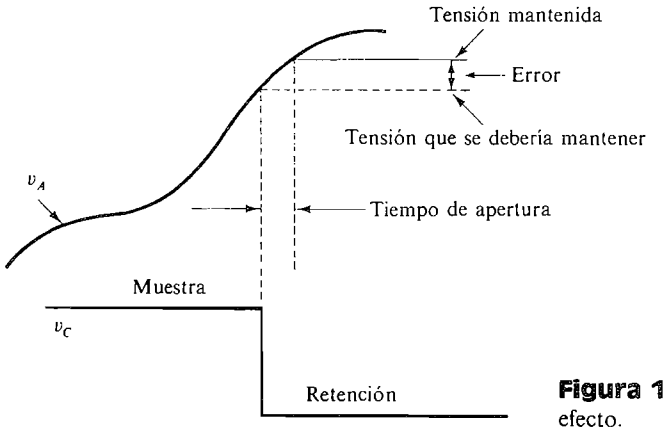


Figura 15.1-2. Tiempo de apertura y su efecto.

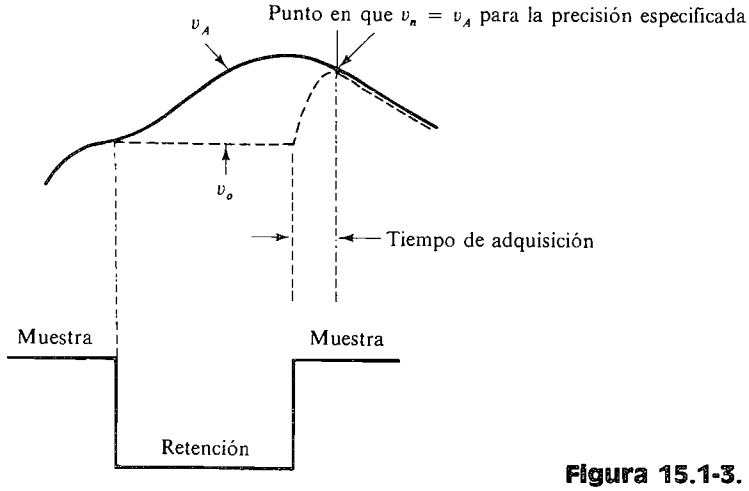


Figura 15.1-3. Tiempo de adquisición.

100 de la entrada en el instante requerido el tiempo necesario es, aproximadamente, $9R_gC$. Además, la fuente de señal debe ser capaz de suministrar la corriente de carga requerida por el condensador C. Usualmente, entre la entrada analógica y el interruptor se intercala un operacional seguidor de tensión (véase Sec. 8.2) para conseguir que R_g sea muy pequeña.

El fabricante suele especificar el *tiempo de establecimiento*. Este es el tiempo que transcurre desde la apertura del interruptor (retención) hasta que la salida ha alcanzado su valor final, dentro de un porcentaje especificado (generalmente, el 0,01 por 100 del valor a fondo de escala). Si el circuito de muestreo y retención está seguido de un convertidor A/D, la conversión no comienza hasta que la señal sea estable o de lo contrario la tensión convertida puede ser errónea.

También se especifica algunas veces la velocidad de caída de la salida. Esta representa la variación de tensión entre las placas del condensador durante el tiempo de retención y

es inversamente proporcional a la capacidad ya que $dv_o/dt = I/C$, donde I es la corriente de fugas del condensador. La corriente de fugas puede ser consecuencia de la de polarización del operacional, la de fugas en el interruptor o las fugas internas en el condensador.

15.1-1. Un circuito práctico

Los circuitos prácticos de muestreo y retención usan operacionales para obtener una baja impedancia en el circuito de excitación y una alta impedancia de carga en el condensador de retención. Estos circuitos utilizan conmutadores FET en vez de BJT a causa de la linealidad y carencia de offset en sus características de transferencia en la proximidad del origen, donde tiene lugar la acción de conmutación. Si se requiere una velocidad extremadamente alta se utilizan puentes de diodos (véase Sec. 1.6) para la conmutación.

La Figura 15.1-4*a* representa un circuito inversor de muestreo y retención. Opera tal como sigue. Cuando S está cerrado (muestreo), el circuito actúa como un filtro RC convencional realizado con un operacional. Si se aplica un escalón de amplitud V_A a la entrada, la salida será (véase Prob. 15.1-4).

$$v_o(t) = -V_A \frac{R_2}{R_1}(1 - \epsilon^{-t/R_2C}) \tag{15.1-1}$$

Evidentemente, la constante de tiempo R_2C debe ser mucho más corta que el intervalo de muestreo para que la salida pueda seguir a la entrada.

Cuando se abre el interruptor se mantiene la tensión V_A en el condensador. Como antes dijimos, el condensador no puede mantener esta tensión indefinidamente debido a la

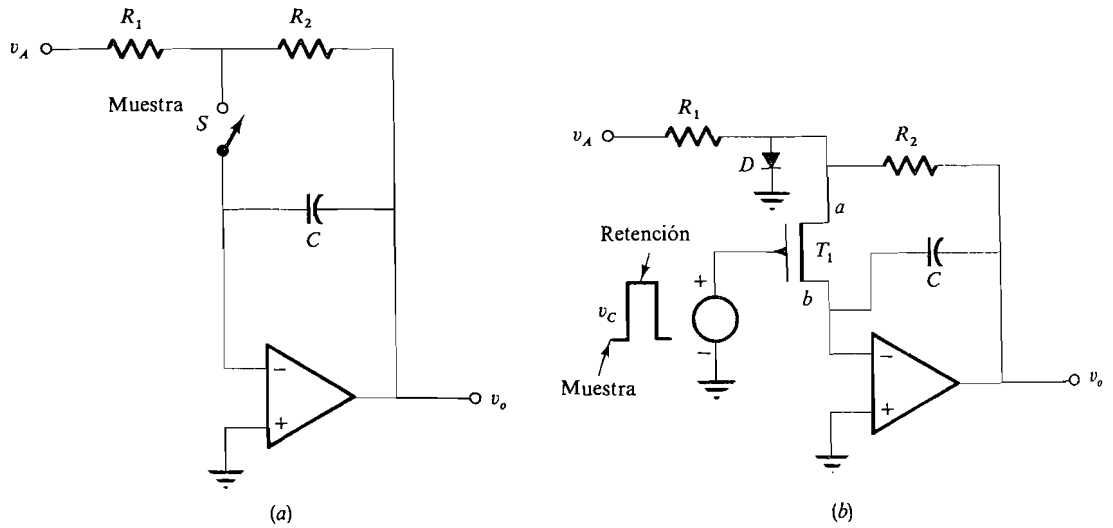


Figura 15.1-4. Circuito inversor de muestreo y retención: (*a*) circuito con interruptor; (*b*) uso del interruptor FET.

corriente de polarización de entrada requerida por el operacional y a la corriente interna de fugas del condensador y del interruptor. Para minimizar este efecto de caída se debe utilizar el mayor valor de C consistente con los requisitos de tiempo de adquisición. El operacional debe tener la menor corriente de polarización posible por lo que es adecuado un operacional con etapa de entrada FET. Además, el condensador debe ser del tipo de alta calidad y bajas fugas.

La Figura 15.1-4*b* representa el circuito inversor de muestreo y retención con FET. T_1 es el conmutador, que es un FET de empobrecimiento de canal *p*. En este tipo de transistor la corriente circula cuando la tensión fuente-puerta es cero y disminuye a medida que se hace más negativa. Una tensión umbral típica es $V_T = V_{SG} = -4$ V. Veamos cómo funciona este conmutador en el circuito de la Figura 15.1-4*b*. Primero consideremos que la tensión de control v_C sea $+5$ V, es decir, que estamos en el intervalo de retención, en el que el interruptor está abierto, y que la tensión de entrada analógica v_A es positiva. En este caso, toda corriente que pase por T_1 debe circular desde *a* hasta *b*, de modo que *a* actuará realmente como fuente y *b* será el drenaje. La presencia del diodo D hace que la tensión en *a* sea fijada en el nivel de 0,7 V, por lo que V_{SG} nunca superará los $0{,}7 - 5 = -4{,}3$ V, independientemente de V_A. Así, T_1 se mantendrá en corte (interruptor abierto) y si la tensión umbral V_T es -4 V, la tensión fuente-puerta será 0,3 V más negativa que la necesaria para poner a T_1 en corte. Entonces, tendremos un *margen de seguridad* de 0,3 V.

Si la tensión analógica v_A tiende a ser negativa, las misiones de los terminales *a* y *b* se invertirán, convirtiéndose *b* en la fuente. Con el terminal de entrada del operacional a la tensión virtual de masa, T_1 se mantiene en corte a causa de que los 5 V aplicados en la puerta dan un margen de 1 V por encima de la tensión umbral de -4 V.

En el intervalo de muestreo, v_C tiende a cero, y T_1 está en conducción (el interruptor está cerrado). Entonces el circuito actúa esencialmente como el circuito simplificado de la Figura 15.1-4*a*. Cuando T_1 conduce, el diodo D está conectado en paralelo con el interruptor FET. Como la caída en el FET es pequeña, la tensión en los terminales del diodo será pequeña y mucho menor de los 0,7 V de muestreo. Es interesante observar que en este circuito el funcionamiento del FET es reversible o bilateral, en cuanto que fuente y drenaje son intercambiados cuando cambia la polaridad de la entrada.

15.2. CONVERTIDORES DIGITAL-ANALOGICOS

Hay un gran número de dispositivos físicos que generan señales de salida analógicas o continuas: transductores de temperatura, presión y flujo. En la tecnología actual el procesado de señal se realiza a menudo utilizando métodos digitales y luego la señal procesada se vuelve a convertir a la forma analógica. Se han ideado muchos tipos diferentes de convertidores de datos que son los acoplamientos o interfaces entre dispositivos analógicos y sistemas digitales. Se les utiliza en una amplia variedad de aplicaciones, incluyendo el control automático de procesos, las mediciones y pruebas, telemetría de datos y sistemas de comunicación de sonido y vídeo. En esta sección consideramos los convertidores digital-analógico (D/A) que producen una salida analógica partiendo de una entrada digital dada.

15.2-1. El convertidor D/A de resistencias ponderadas

En la Figura 15.2-1 tenemos una red pasiva de resistencias que convierte una palabra digital de 4 bits en paralelo $A_3A_2A_1A_0$ a una tensión analógica que es proporcional al número binario representado por la palabra digital. Si ésta está en serie, se puede utilizar un registro de desplazamiento (Sec. 14.1) para convertirla a la forma paralelo. Para la explicación sólo se utiliza una palabra de 4 bits; la ampliación a más de 4 bits se efectúa fácilmente.

Las tensiones lógicas que representan los bits individuales A_3, A_2, A_1, A_0 no se aplican directamente al convertidor sino que se utilizan para activar interruptores electrónicos S_3, S_2, S_1 y S_0, respectivamente. Cuando cualquiera de las A son **1**, el interruptor correspondiente es conectado a una tensión de referencia V_R; cuando una A es **0**, el interruptor es conectado a masa. En la red de resistencias ponderadas, el valor de cada uno de ellos es igual al del anterior dividido por 2, por lo que sus valores individuales son inversamente proporcionales al peso numérico del dígito binario respectivo. Así, en este convertidor de 4 bits tenemos

LSB (*bit menos significativo*):

$$R_0 = \frac{R}{2^0} = R$$

$$R_1 = \frac{R}{2^1} = \frac{R}{2} \tag{15.2-1}$$

$$R_2 = \frac{R}{2^2} = \frac{R}{4}$$

MSB (*bit más significativo*):

$$R_3 = \frac{R}{2^3} = \frac{R}{8}$$

donde R es una resistencia arbitraria que puede ser elegida para establecer el nivel de impedancia de la red.

Para hallar la relación entre la tensión de salida analógica V_o en la salida del operacional y la entrada digital, observemos que en la entrada del operacional hay un cortocircuito virtual. Por tanto, la corriente I_s es

$$I_s = V_R\left(\frac{A_3}{R_3} + \frac{A_2}{R_2} + \frac{A_1}{R_1} + \frac{A_0}{R_0}\right) \tag{15.2-2a}$$

Cuando se emplea (15.2-1), ésta se convierte en

$$I_s = \frac{V_R}{R}(2^3A_3 + 2^2A_2 + 2^1A_1 + 2^0A_0) \tag{15.2-2b}$$

donde $A_i = \mathbf{1}$ si S_i está conectado a V_R y $A_i = \mathbf{0}$ si S_i está conectado a masa. La Ecuación (15.2-2*b*) muestra claramente que el valor numérico de la corriente de cortocircuito es directamente proporcional al número binario $A_3A_2A_1A_0$. Por ejemplo, si la entrada es $A_3A_2A_1A_0 = \mathbf{1111}$, $I_s = 15V_R/R$, mientras si $A_3A_2A_1A_0 = \mathbf{0110}$, $I_s = 6V_R/R$, etc. La tensión de salida V_o es

$$V_o = -I_fR_f = -I_sR_f = -\frac{R_fV_R}{R}(2^3A_3 + 2^2A_2 + 2^1A_1 + 2^0A_0) \tag{15.2-3}$$

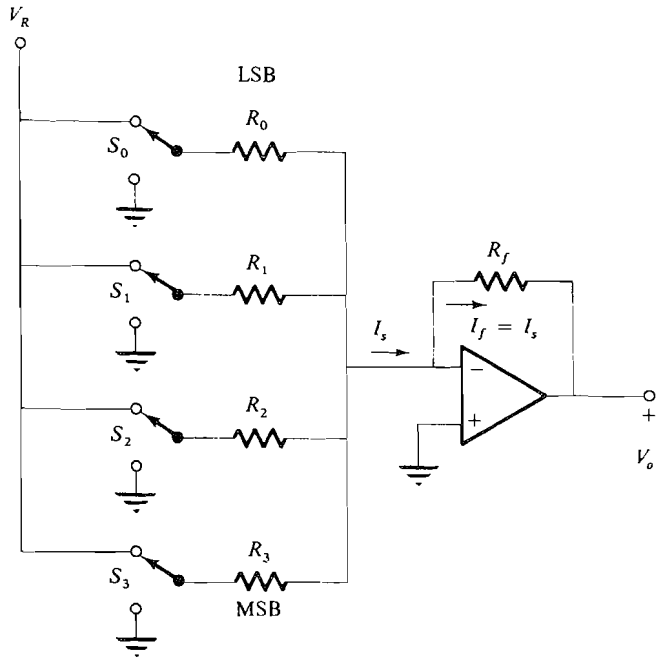


Figura 15.2-1. Convertidor de resistencias ponderadas con operacional.

Así, la tensión de salida es directamente proporcional al valor numérico de la entrada binaria.

En este punto son pertinentes algunos comentarios acerca de este circuito. El primero concierne a la exactitud y la estabilidad, las cuales dependen de las relaciones de resistencia, que son potencias de 2, y de que se mantengan cuando cambia la temperatura. Como todas las resistencias tienen valores diferentes, es difícil obtener idénticas características de seguimiento. Además, como las sucesivas resistencias se diferencian por ser cada una igual a la anterior dividida por 2, la razón de la mayor a la menor es 2^{n-1}, donde n es el número de bits de la palabra digital. Así en un convertidor de 10 bits en que R_0 tenga que ser 1 kΩ, la resistencia LSB R_9 debe ser $2^{10} \times 1\ \text{k}\Omega = 1024\ \text{k}\Omega$. Si el valor real de R_9 difiere del valor teórico de 1024 kΩ en 1024 Ω, es decir, una precisión de aproximadamente 0,1 por 100, la tensión de error será tan grande como la tensión producida por el bit menos significativo A_0. En este caso el convertidor D/A será capaz de convertir con precisión únicamente 9 bits en lugar de 10. A causa de esta dificultad, el circuito se utiliza principalmente en aplicaciones de baja resolución. En la sección siguiente se estudia un circuito que no está sometido a esta fuente de error.

El circuito representado en la Figura 15.2-1 dará tensiones de salida que son negativas ya que la salida va de $V_o = 0$ cuando $A_3A_2A_1A_0 = \mathbf{0000}$ a $V_o = -15V_RR_f/R$ cuando $A_3A_2A_1A_0 = \mathbf{1111}$. A este margen se le puede dar el valor deseado suprimiendo las conexiones a masa de los terminales inferiores del interruptor y conectándolos a una tensión negativa apropiada.

15.2-2. El convertidor en escalera *R-2R*

La Figura 15.2-2*a* corresponde a un convertidor D/A resistivo en escalera que no requiere un amplio margen de valores de resistencia; sólo dos valores, R y $2R$. Existe una escalera de resistencias en forma de un solo encapsulado cuyo circuito es el representado en la Figura 15.2-2*b*. Este circuito tiene la interesante propiedad de que la resistencia desde cualquiera de los terminales A, B, S_0, S_1, S_2 ó S_3, es $3R$, estando los terminales restantes conectados a masa (véase Prob. 15.2-1). Para facilitar la explicación del circuito de la Figura 15.2-2*a* consideremos una palabra digital en paralelo de 4 bits aplicada como en el convertidor por resistencias ponderadas de la Figura 15.2-1. La ampliación para más de 4 bits se efectúa fácilmente añadiendo más interruptores y secciones a la escalera.

Para explicar el funcionamiento del convertidor supongamos que en la Figura 15.2-2*a* están todos los interruptores conectados a masa excepto S_0; el circuito resistivo resultante está nuevamente dibujado para mayor claridad en la Figura 15.2-3*a*. La propiedad por la cual este circuito es utilizable como convertidor D/A se debe a las sucesivas conversiones Thévenin representadas en las Figuras 15.2-3*b* a *d*. En la Figura 15.2-3*b* hemos sustituido todo lo que hay a la izquierda del nudo 3 por un equivalente Thévenin con tensión $V_R/2$ y resistencia $2R \| 2R = R$. En la Figura 15.2-3*c*, todo lo que hay a la izquierda del nodo 2 ha sido sustituido por un equivalente Thévenin con la misma resistencia de antes, es decir, R y una tensión $V_R/4$. Finalmente, en la Figura 15.2-3*d* cada resistencia situada a la izquierda del nudo **1** está sustituida por el equivalente Thévenin con resistencia R y la tensión Thévenin $V_R/8$. La salida V_i, que es la entrada al operacional, se calcula por este circuito consistiendo en la tensión $V_R/16$ en serie con una resistencia de valor $3R$.

Si suponemos que S_1 está conectado a V_R y que se conecta S_0 a masa, hallamos que la tensión en la Figura 15.2-3*d* es ahora $V_R/8$ en vez de $V_R/16$.

Como ulterior aclaración en la Figura 15.2-3*e* mostramos el circuito cuando todos los interruptores están al potencial de masa excepto el interruptor MSB (bit más significativo) S_3. Aquí la entrada al operacional consiste en la tensión $V_R/2$ en serie con una resistencia $3R$.

Recuérdese que el interruptor S_i está conectado a V_R cuando $A_i = \mathbf{1}$ y que el interruptor está al potencial de masa cuando $A_i = \mathbf{0}$. Utilizando la notación $S_i = \mathbf{1}$ cuando $A_i = \mathbf{1}$ y $S_i = \mathbf{0}$ cuando $A_i = \mathbf{0}$, podemos demostrar, por superposición, que la salida del circuito de la Figura 15.2-2 será

$$V_o = -\frac{R_f V_R}{3R}\left(\frac{S_3}{2^1} + \frac{S_2}{2^2} + \frac{S_1}{2^3} + \frac{S_0}{2^4}\right) \tag{15.2-4a}$$

que da

$$V_o = \frac{-R_f V_R}{48R}(2^3 S_3 + 2^2 S_2 + 2^1 S_1 + 2^0 S_0) \tag{15.2-4b}$$

Resolución y precisión. Una importante especificación de un convertidor D/A es la *resolución* de que es capaz. La resolución se define como el menor incremento de tensión que puede ser discernido por el circuito y depende principalmente del número de bits de la

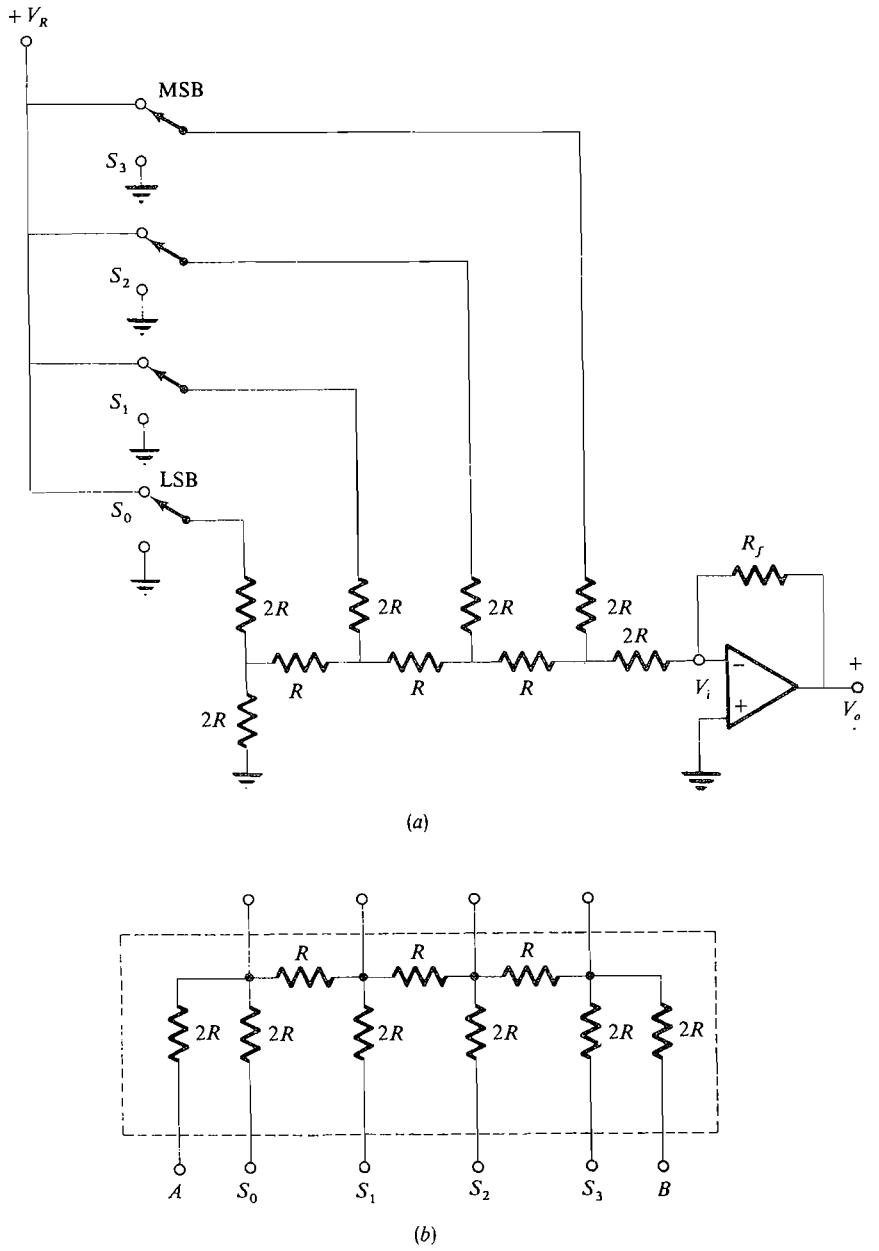


Figura 15.2-2. Escalera R-$2R$: (*a*) circuito; (*b*) red disponible encapsulada.

palabra digital. En nuestro ejemplo, con una palabra de 4 bits, el LSB tiene un peso de 1/16 [véase (15.2-4*a*)]. Esto significa que el menor incremento de V_o es una dieciseisava parte de la tensión de referencia V_R. Para fines explicativos supongamos que $V_R = 16$ V y $R_f = 3R$. Como el LSB tiene un peso de 1/16, un cambio de una unidad dará por

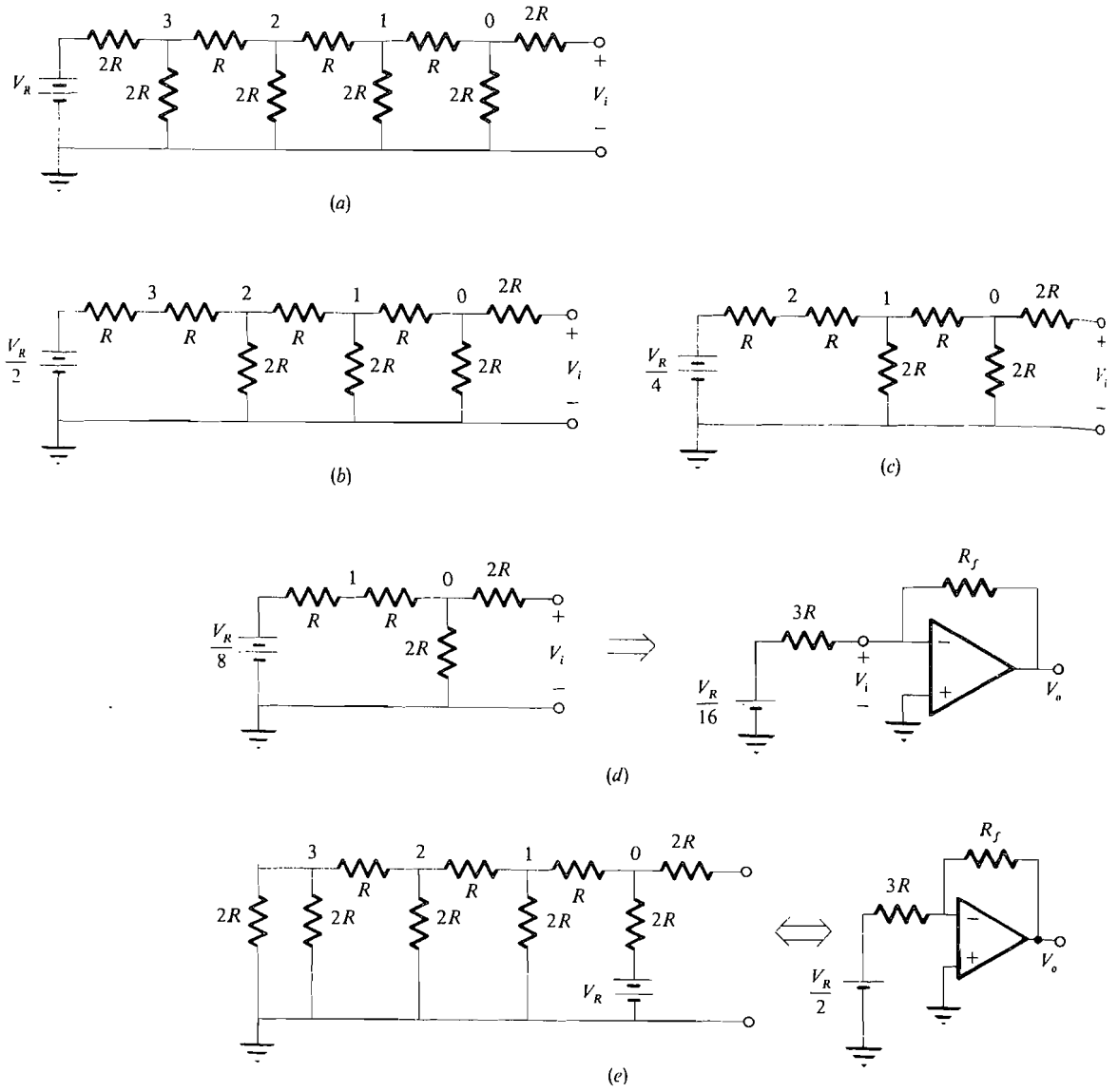


Figura 15.2-3. Escalera *R*-2*R*: (*a*) circuito con LSB = **1**; (*b*) primera conversión Thévenin; (*c*) segunda conversión; (*d*) tercera conversión; (*e*) circuito con MSB = **1**.

resultado una variación de 1 V en la salida y vemos que la salida varía en escalones de 1 V por cada unidad que cambie el valor de la entrada de palabra digital. Si los conmutadores se conectan a un contador de 4 bits que cuente desde 0 hasta 15 (**0000** a **1111**), la salida del convertidor tendría la forma de onda en escalera representada en la Figura 15.2-4. El menor incremento de tensión en este ejemplo es 1 V, que es la resolución de tensión del convertidor. El *porcentaje de resolución* es (1/16)(100) = 6,25 por 100. Si no es suficiente

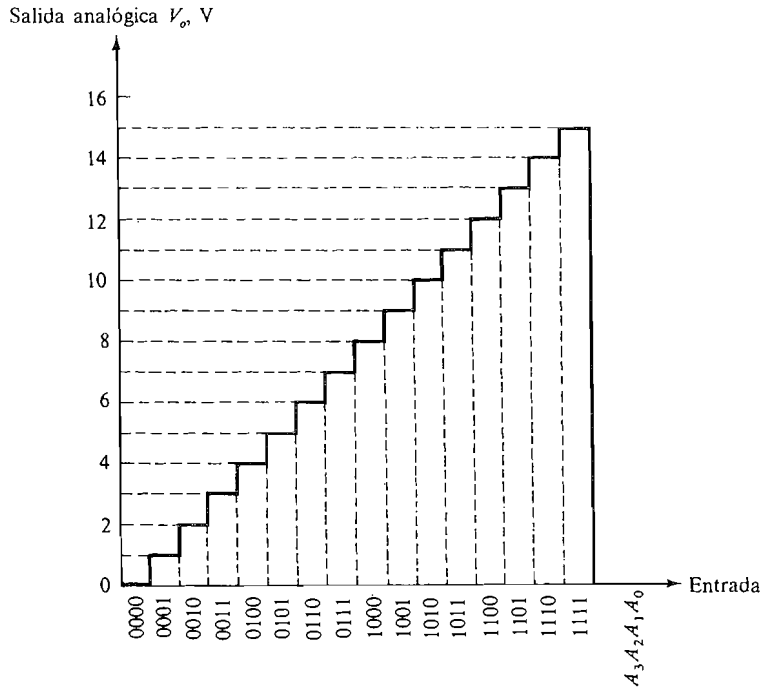


Figura 15.2-4. Salida de convertidor D/A de 4 bits con $V_R = 16$ V cuando está conectado a un contador de 4 bits.

esta resolución, deberemos utilizar un convertidor con más bits en la palabra de entrada. Por ejemplo, el LSB para un convertidor de 10 bits tiene un peso de 1/1024, y el porcentaje de resolución será (1/1024)(100) $\approx$ 0,1 por 100. Si este convertidor tiene $V_R = 16$ V, la resolución de tensión es aproximadamente 16 mV.

Otra especificación de los convertidores D/A es la *precisión de conversión*, que depende de la diferencia entre la tensión real de salida analógica y la salida teórica. Esta es una función de la exactitud de las resistencias de precisión utilizadas en la red en escalera y la precisión de la fuente de tensión de referencia. En la práctica, un convertidor debe tener una precisión mayor de $\pm\frac{1}{2}$ LSB para que la precisión y la resolución sean compatibles.

15.2-3. Conmutadores utilizados en los convertidores D/A

Los interruptores utilizados en los convertidores D/A se construyen empleando BJT o FET y, en general, se clasifican en dos categorías: excitados por tensión o excitados por corriente. El convertidor excitado por tensión utiliza BJT o FET conmutando de conducción a corte. Estos circuitos se utilizan en aplicaciones de relativamente baja velocidad y baja resolución a causa de las inherentes inexactitudes del sistema y de la velocidad relativamente baja obtenida cuando conmuta un FET o un BJT. En el convertidor excitado por corriente la conmutación se efectúa utilizando conmutadores de corriente

ECL, que no se saturan pero son excitados desde la región activa hasta el corte. Este tipo de convertidor es capaz de funcionar mucho más rápidamente que el tipo excitado por tensión.

Convertidor excitado por tensión. La Figura 15.2-5 es el circuito de un convertidor D/A básico de 4 bits en que se utilizan interruptores inversores FET. Funciona como sigue. Como cada interruptor FET se cierra cuando el control de entrada está en nivel alto (**1** lógico), cada entrada es conectada a la salida $\overline{Q}$ correspondiente del registro que retiene la palabra de entrada $A_3A_2A_1A_0$. Esto está indicado en el diagrama por la designación de las puertas de entrada: $\overline{2^0}$, $\overline{2^1}$, $\overline{2^2}$ y $\overline{2^3}$. Consideremos que la señal $\overline{2^1}$ $\overline{A}_1$ es baja. Entonces el interruptor S_1 estará en corte y la rama de la red en escalera $2R$ estará conectada a la tensión de referencia V_R a través de la resistencia de drenaje R_d. Si $R_d \ll 2R$, el circuito resultante es idéntico al representado en la Figura 15.2-2. Cuando $\overline{A}_1$ está en nivel alto, el interruptor S_1 está cerrado y la rama de escalera $2R$ está conectada a masa a través del FET. La *tensión* V_R o potencial de masa está pues aplicada a cada rama de la red en escalera, por lo que el convertidor está clasificado como *excitado por tensión.*

La precisión de este circuito está limitada por la tolerancia de las resistencias, la precisión y estabilidad de la fuente de alimentación, la diferencia en las impedancias de los interruptores individuales y la razón de R_d a $2R$. Puede ser mejorada por varios medios, pero, a causa de sus limitaciones inherentes, este circuito no se emplea para convertidores de altas prestaciones.

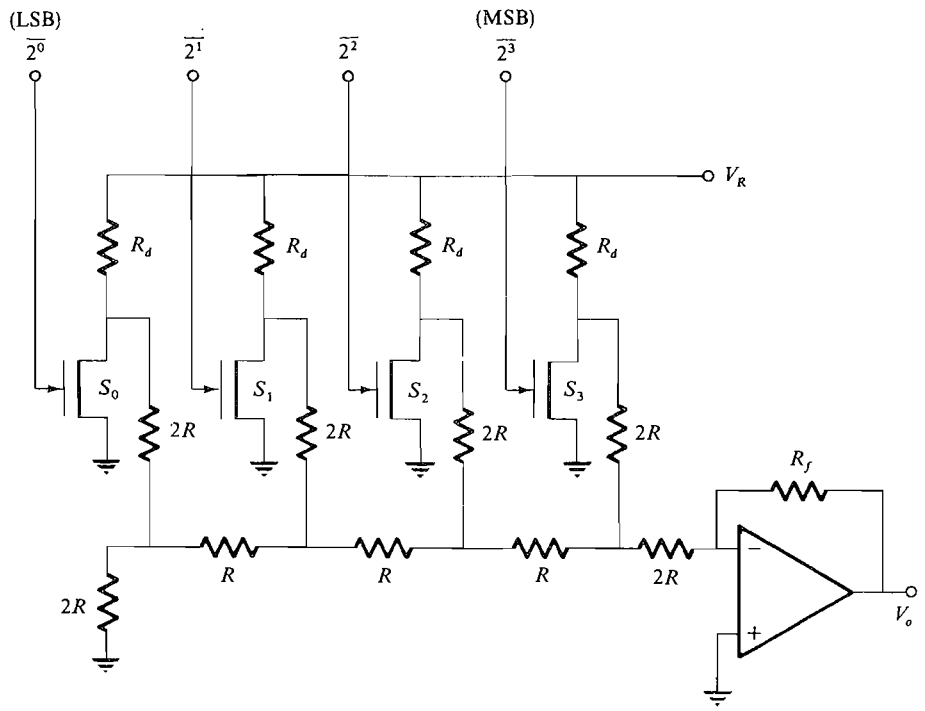


Figura 15.2-5. Convertidor D/A con interruptores inversores FET.

Convertidor excitado por corriente. Muchos de los problemas que plantea el convertidor excitado por tensión pueden ser solventados utilizando un método en el cual las corrientes se conmutan de modo que entran y salen de la red en escalera. La escalera excitada por tensión de la Figura 15.2-2*a* es convertida en excitada por corriente sustituyendo primero la fuente de tensión V_R por fuentes individuales de tensión V_R en serie con cada una de las resistencias de las ramificaciones o brazos de valor $2R$. Estos circuitos Thévenin son reemplazados por circuitos Norton equivalentes que consisten en fuentes de corriente $I = V_R/2R$ en paralelo con resistencias de valor $2R$, como muestra la Figura 15.2-6*a*. En el circuito convertidor de la Figura 15.2-6*b* cada interruptor está conectado a una resistencia de valor $2R/3$ en vez de a masa. Esto se hace así para que la corriente I fluya a través de la misma resistencia en cualquier posición del interruptor. [El lector puede comprobar (Prob. 15.2-13) que la resistencia vista en el otro terminal del interruptor es efectivamente $R\|2R = 2R/3$]. El circuito de la Figura 15.2-6*b* es exactamente equivalente al de la Figura 15.2-2 si $2RI = V_R$.

Las combinaciones de interruptores y fuente de corriente representadas en la Figura 15.2-6 pueden ser realizadas utilizando el circuito amplificador diferencial del ECL estándar (Sec. 12.4). Tal circuito para conversión de 4 bits está en la Figura 15.2-7. En él se utiliza una red escalonada de resistencias encapsulada (Fig. 15.2-2*b*), un circuito con cuatro interruptores ECL, una fuente especial de alimentación y un operacional. El circuito funciona como sigue. Por estar diseñado para ello, se le utiliza en un sistema ECL en que el **1** lógico tiene un nivel aproximado de $-0{,}8$ V y el nivel del **0** lógico es aproximadamente $-1{,}6$ V. La tensión en la base del transistor de la derecha de cada par se ajusta para aproximadamente la media aritmética de estos dos valores por referencia a la fuente de polarización, es decir, a aproximadamente $-1{,}2$ V. En este circuito de polarización vemos que

$$V_B = V_{EB}(T_B) + V_{D1} + V_{D2} + V_Z - V_{EE} \tag{15.2-5}$$

Suponiendo que las tensiones en todas las uniones *pn* dan las mismas caídas, se tendrá

$$V_B = V_D + V_Z - V_{EE} \tag{15.2-6}$$

donde $V_D = V_{D1} = V_{D2} = V_{BE}(T_B)$. Si se elige $V_Z = 6.2$* entonces $-V_{EE} \approx -1{,}2 - 0{,}8 - -6{,}2 = -8{,}2$ V.

Consideremos ahora cualquier interruptor, por ejemplo S_0. Cuando A_0 está en **0** lógico ($-1{,}6$ V) el transistor de la izquierda estará en corte, el de la derecha estará en conducción y la corriente será tomada del nudo 0 de la red. La intensidad de la corriente es [véase (15.2-6)]

$$I = \frac{V_{Re}}{R_e} = \frac{(V_B - V_{BE}) - (-V_{EE})}{R_e} = \frac{V_Z}{R_e} \tag{15.2-7}$$

Así I es una constante independiente de V_R o de V_{EE}.

Cuando A_0 conmuta a **1** lógico ($-0{,}8$ V), el transistor de la izquierda estará en corte y el de la derecha estará en conducción, no absorbiendo corriente de la red. De lo anterior se

* Cuando $V_Z = 6{,}2$ V, el coeficiente de temperatura del diodo Zener es aproximadamente 0 (véase Sec. 1.10).

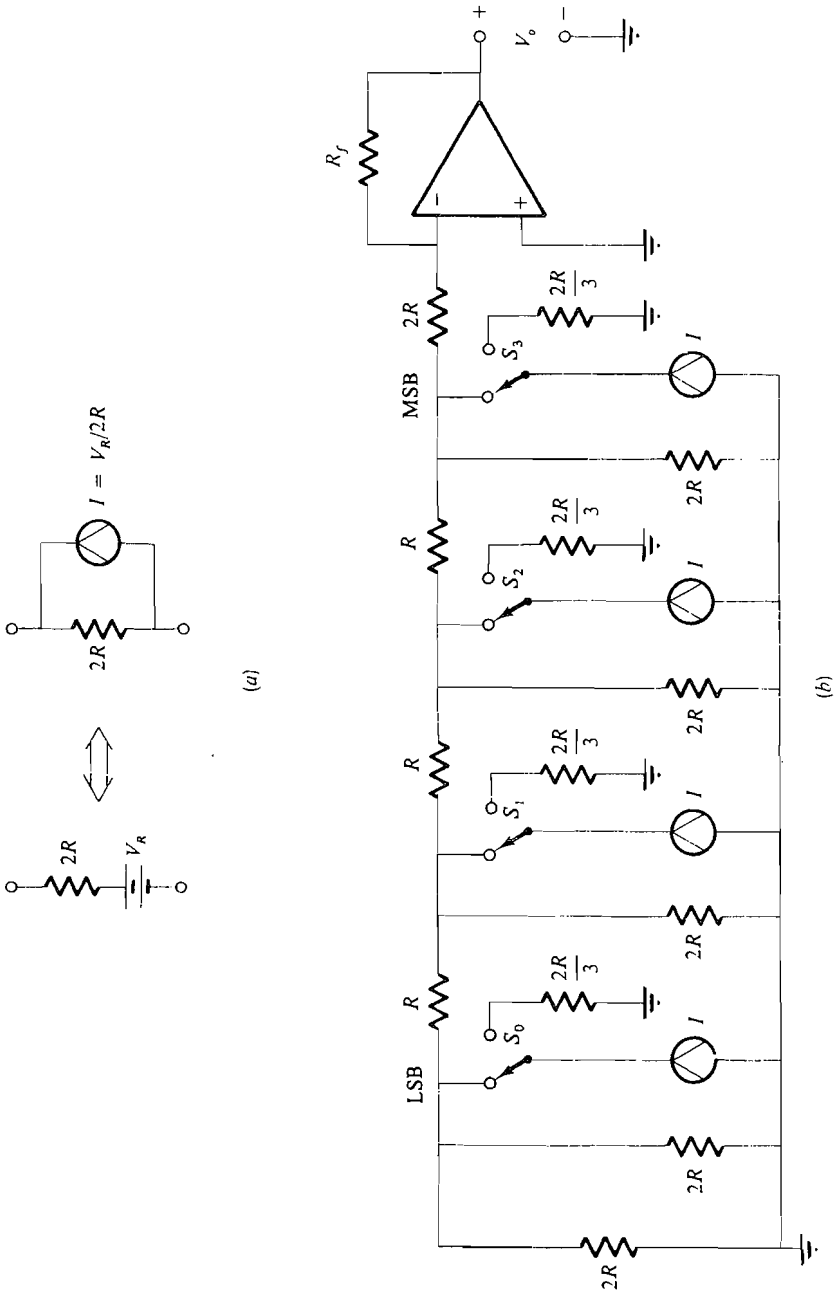


Figura 15.2-6. Convertidor D A básico excitado por corriente: (*a*) conversión tensión-corriente; (*b*) circuito.

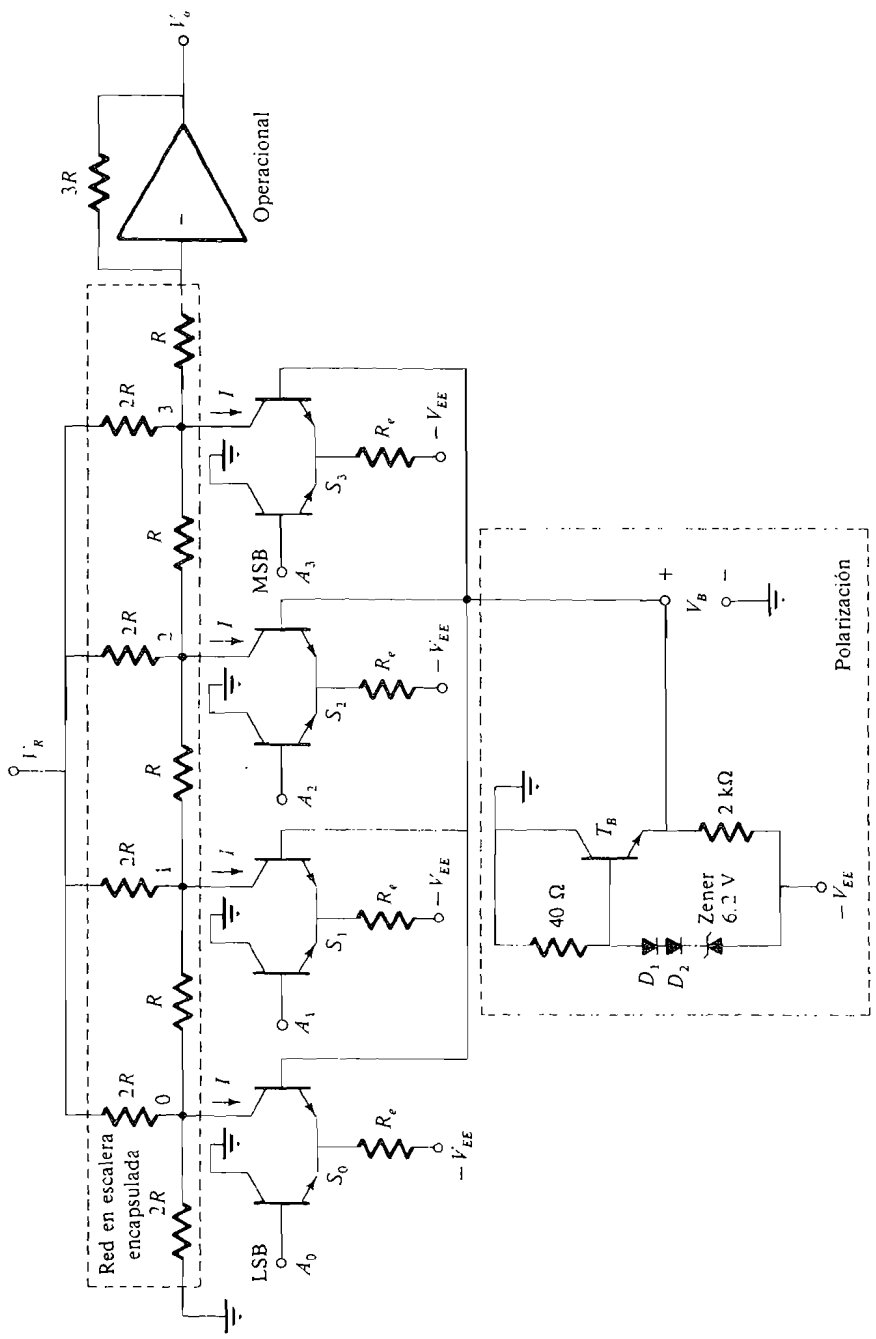


Figura 15.2-7. Convertidor D/A excitado por corriente.

infiere que la acción de conmutación es virtualmente la misma que la del circuito de la Figura 15.2-6. Los interruptores del tipo ECL funcionan a alta velocidad con un alto grado de independencia de la temperatura[1] y alta precisión.

La tensión de referencia V_R en el circuito de la Figura 15.2-7 está incluida en el caso en que se requiere operación bipolar o generalmente *offset de salida.*

Offset de salida. En el circuito de la Figura 15.2-2 sea 16 V la tensión de referencia y la resistencia de realimentación $R_f = 48R$. Entonces, cuando la entrada es **0000**, la salida es 0 V; cuando la entrada es **1111**, la salida es -15 V [véase (15.2-4*b*)] y hay un escalón de 1 V como valor binario de los cambios de entrada. Lo importante aquí es observar que el margen de la tensión de salida se extiende de 0 a -15 V. En este caso se dice que la salida es unipolar porque siempre es negativa (podría ser siempre positiva). En algunos casos se puede cambiar la excursión de salida (offset) para que ésta sea bipolar, es decir, que las tensiones varíen de negativas a positivas. En la Figura 15.2-2 si se hubiese elegido $V_R = 8$ V y en vez de conectar a masa los otros terminales de los interruptores, se hubiesen conectado a -8 V, la tensión de salida hubiese sido bipolar. La correspondencia entre la tensión analógica y el valor binario de entrada digital se puede cambiar como se desee ajustando el offset. También es posible modificar el circuito para que se puedan convertir los números negativos a la forma de complemento a dos; esto se considerará en los problemas.

En la Figura 15.2-7 se obtiene funcionamiento bipolar utilizando el valor positivo de V_R. En el Problema 15.2-15 se ve que si $V_R \leqslant 0$, la salida es unipolar y siempre positiva. Si $V_R > 0$, la salida es bipolar.

15.2-4. Especificaciones de los fabricantes

Los parámetros importantes, *resolución* y *precisión*, se han estudiado en la Sección 15.2-2. A continuación se indican algunas especificaciones adicionales.

Linealidad. En la Figura 15.2-4 las tensiones analógicas reales de salida del convertidor D/A para una entrada dada no coinciden exactamente con los escalones a causa de las inexactitudes de las resistencias, etc. La linealidad es una especificación de la máxima desviación de la salida con respecto a la línea recta que se extiende en todo el margen. Puede expresase como porcentaje de la tensión total de la escala o como fracción de la tensión equivalente del LSB y debe ser menor que $\frac{1}{2}$LSB.

Tiempo de establecimiento. Es el tiempo transcurrido entre la aplicación de un impulso ideal de entrada y el instante en que la tensión de salida se ha estabilizado o aproximado a su valor final dentro de un límite especificado de precisión. Normalmente la especificación del tiempo de establecimiento indica el tiempo que transcurre, después de aplicarse el impulso de entrada, para que la salida alcance su valor final dentro de $\frac{1}{2}$LSB.

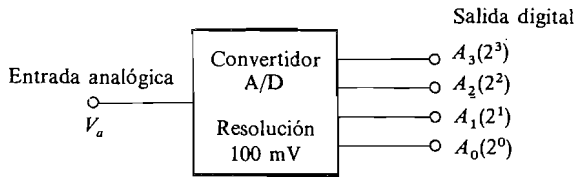
Sensibilidad a la temperatura. Para una entrada digital fija, la salida analógica varía con la temperatura ya que las fuentes de tensión de referencia y las resistencias son sensibles a la temperatura. La sensibilidad a la temperatura de la tensión de offset y de la corriente de

polarización del operacional afectan también a la tensión de salida. Las sensibilidades típicas están comprendidas entre los límites de ± 50 y $\pm 1{,}5$ ppm/°C* en los convertidores de alta calidad.

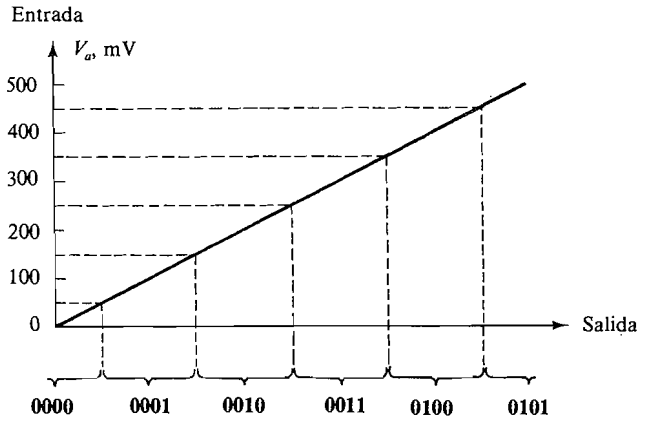
15.3. CONVERTIDORES ANALOGICO-DIGITALES

En muchas aplicaciones es necesario convertir una señal analógica a digital, adecuada para su procesado por un sistema digital. Hay varios métodos para este tipo de conversión. En esta sección estudiaremos dos técnicas habituales.

En todos los convertidores A/D hay inherente un *error de cuantificación*. Para explicarlo consideremos el diagrama de bloques y gráfica de la Figura 15.3-1. El diagrama de la Figura 15.3-1*a* muestra un convertidor A/D de 4 bits que tiene una resolución de (1 cambio)/(100 mV). La Figura 15.3-1*b* muestra la entrada analógica y la salida digital que resulta para los diferentes alcances de la entrada. Vemos, por ejemplo, que todas las tensiones analógicas comprendidas entre 50 y 150 mV producen la misma salida digital; **0001**; entre 150 y 250 mV la salida es **0010**, etc. Así, tenemos un cambio en la salida por



(*a*)



(*b*)

Figura 15.3-1. Convertidores A/D: (*a*) símbolo; (*b*) error de cuantificación.

* ppm es la abreviatura de *partes por millón*.

cada 100 mV en la entrada. Ahora, si la salida digital **0011** es la entrada a otro convertidor D/A, la salida de éste dará el valor analógico de 300 mV. Sin embargo, sabemos que la tensión analógica original de entrada estaba comprendida entre 250 y 350 mV. Así pues, en este caso, el error de cuantificación puede ser especificado como ± 50 mV, que es $\pm\frac{1}{2}$LSB. Este es un resultado ideal. En la práctica el error podría ser algo mayor que $\pm\frac{1}{2}$LSB a causa de las inexactitudes inherentes a las tensiones de referencia, etc.

15.3-1. Comparadores analógicos

Todas las técnicas empleadas para convertir tensiones analógicas en secuencias digitales requieren el uso de un *comparador* analógico. En la Figura 15.3-2*a* está representado el símbolo lógico de un comparador analógico. Las entradas son dos tensiones analógicas V_a y V_b y la salida es una tensión binaria. El circuito compara las dos entradas, por lo que si

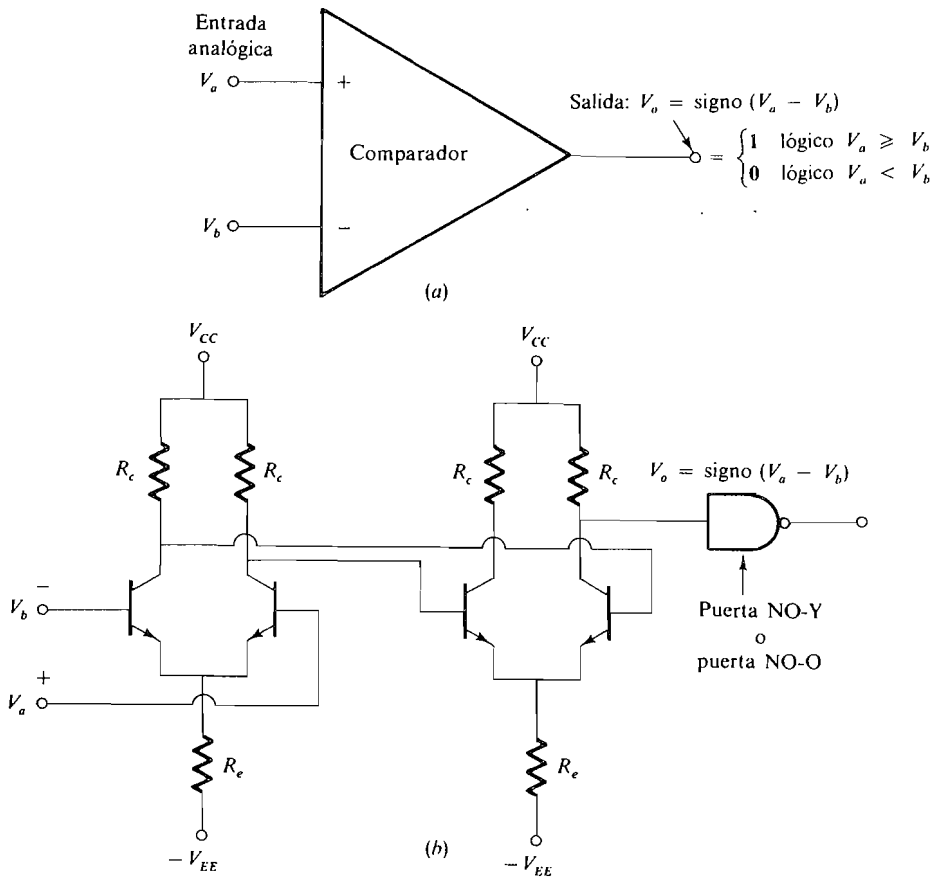


Figura 15.3-2. Comparador analógico: (*a*) símbolo; (*b*) esquema.

$V_a > V_b$, la salida es una señal de nivel alto (**1** lógico). Por otra parte, si $V_a < V_b$, la salida es una señal de nivel bajo (**0** lógico). Así

$$V_o \equiv \text{sgn}(V_a - V_b) = \begin{cases} \mathbf{1} & V_a \geq V_b \\ \mathbf{0} & V_a < V_b \end{cases} \tag{15.3-1}$$

La Figura 15.3-2*b* muestra un comparador analógico que se compone de un operacional, el cual a su vez comprende dos amplificadores diferenciales en cascada seguidos de una puerta lógica. Si las tensiones de salida del comparador están destinadas a la tecnología TTL, la puerta lógica suele ser una NO-Y TTL, conectada como inversor; si se desean niveles de salida ECL, se utiliza una puerta NO-O ECL.

15.3-2. Convertidor A/D controlado por contador

Uno de los métodos más sencillos de conversión A/D es el representado en la Figura 15.3-3. Utiliza tres elementos principales: un contador, un convertidor D/A y un comparador analógico. Por simplicidad, la mayoría de los circuitos lógicos de control se han omitido en el diagrama.

El convertidor funciona como sigue. En el comienzo de un ciclo el contador está puesto a cero (reset). Esto produce una tensión de salida $V_b = 0$ que es aplicada a una de las entradas del comparador. La entrada analógica pasa a través de un circuito de muestreo y retención (Sec. 15.1) cuya salida V_a es aplicada a la otra entrada del comparador. En tanto que la señal analógica V_a sea mayor que V_b, la salida del comparador será **1** y la puerta Y estará habilitada, permitiendo que entren en el contador los impulsos de reloj.

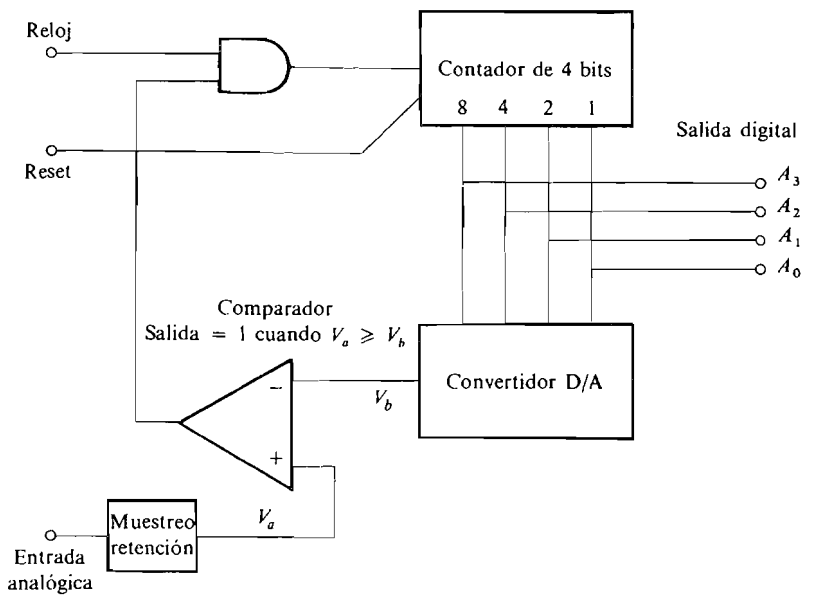


Figura 15.3-3. Convertidor A/D controlado por contador.

El contador contará entonces hacia arriba o en sentido ascendente partiendo de cero. Con cada cambio la salida del D/A V_b aumentará un paso o escalón, como muestra la Figura 15.3-4. Esta cuenta continuará hasta que la forma de onda en escalera supere el valor de la señal analógica V_a. En este instante se anulará la salida del comparador, inhibiendo la puerta Y y, por consiguiente, parando el contador. La salida se leerá en los terminales de salida del contador. En la Figura 15.3-4 la salida será **0101**, correspondiente a 5 V.

Este tipo de contador es relativamente lento, ya que pueden ser necesarios para la conversión muchos períodos de reloj, tantos como $2^N - 1$ (15 para un convertidor de 4 bits). El convertidor que describiremos en la sección siguiente es mucho más rápido. Se puede reducir el tiempo de conversión si se utiliza un contador reversible y se modifica el convertidor para que cuente en sentido ascendente cuando $V_b < V_a$ y cuente en sentido descedente cuando $V_b > V_a$. En este caso el comparador activa el control de modo del contador.

En la realización del circuito real de este convertidor se necesita una lógica adicional para controlar el tiempo de retención del circuito de muestreo y retención y proporcionar la sincronización de las señales de reloj, reset y retención.

15.3-3. Convertidor D/A de aproximaciones sucesivas

En el convertidor controlado por contador, la señal analógica es comparada primero con 0 V, luego con 1 V, 2 V, etc., hasta que se halla la tensión desconocida. Este es un proceso lento, pero se puede acelerar considerablemente efectuando las comparaciones de la manera siguiente. Supongamos que deseemos hallar un valor entero de una tensión de la cual sabemos que está comprendida entre 0 y 16 V. Comenzamos haciendo al comparador la pregunta: ¿es 8 V o mayor la tensión desconocida? Si la contestación es afirmativa, sabemos que la tensión desconocida está entre 8 y 16 V; si no lo es, está entre 0 y 8 V. Supongamos que la respuesta es sí. A continuación comparamos la tensión desconocida con 12 V y hacemos al comparador la pregunta: ¿es mayor que 12 V la tensión desconocida? Si lo es, la tensión desconocida está entre 12 y 16 V; si no lo es, está entre 8 y

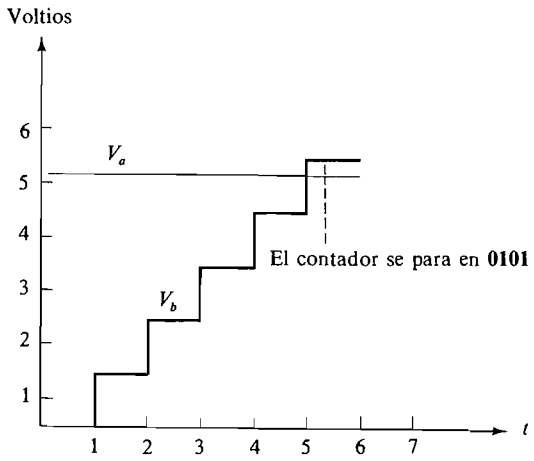


Figura 15.3-4. Formas de onda en el convertidor A/D controlado por contador.

Tabla 15.3-1. Pasos de aproximaciones sucesivas cuando $V_a = 10$ V

Paso	Comparación	Respuesta	Respuesta digital (sí = 1, no = 0)
1	¿$V_a \geqslant 8$?	Sí	1 MSB
2	¿$V_a \geqslant 12$?	No	0
3	¿$V_a \geqslant 10$?	Sí	1
4	¿$V_a \geqslant 11$?	No	0 LSB

12 V. Continuamos acortando el intervalo de esta manera y llegamos rápidamente a la solución correcta. Podemos tener una idea del número de pasos necesarios suponiendo que la tensión desconocida es $V_a = 10$ V. Entonces el proceso que acabamos de describir se puede resumir en la Tabla 15.3-1. La respuesta digital es **1010**, que es la notación binaria de 10 y así habremos llegado a la solución en cuatro comparaciones solamente. Se demuestra fácilmente que, en general, una conversión de N bits requerirá N comparaciones. Este número es considerablemente menor que el 2^N requerido por el convertidor controlado por contador.

La Figura 15.3-5 es el diagrama de bloques simplificado de un convertidor D/A de 4 bits por aproximaciones sucesivas. El convertidor trabaja reduciendo sucesivamente a la mitad el margen de tensión en que el comparador ha situado la tensión analógica que se está convirtiendo. Sus componentes principales son el registro de 4 bits, que tiene capacidad de set y reset independientes para cada paso, el convertidor D/A de 4 bits y el comparador analógico. Para sincronizar la operación con el reloj del sistema se requieren el contador en anillo y la lógica de control. El contador en anillo (Sec. 14.2) da formas de onda de temporización para controlar el funcionamiento del convertidor.

Por simplicidad, asumimos una entrada unipolar de 0 a 15 V, siendo la salida el equivalente binario de la tensión de entrada. También suponemos que está temporizado el ciclo de retención del circuito de muestreo y retención por lo que V_a es constante en el ciclo de conversión.

Los pasos del ciclo de conversión son, pues, los siguientes; cada paso ocupa un período de reloj:

1. La unidad D/A, el registro de 4 bits y el contador en anillo son puestos a **0** (reset) por el primer impulso del contador en anillo, por lo que en el convertidor D/A el bit MSB es $A_3 = \mathbf{1}$ y todos los demás son **0**. Así, la salida V_b del D/A es 8 V. Esta es comparada con V_a y si $V_a \geqslant V_b$ ($V_a \geqslant 8$ V), el biestable MSB que hay en el registro se queda en **1**; de otra manera es puesto a **0**.
2. El segundo impulso del contador en anillo hace que sea $A_2 = \mathbf{1}$, permaneciendo A_1 y A_0 en **0**, y siendo A_3 **0** ó **1**, según sea el resultado del paso 1. Si $A_3 = \mathbf{1}$, entonces $V_b = 12$ V; si $A_3 = \mathbf{0}$, entonces $V_b = 4$ V. Supongamos $V_b = 12$ V. Esta es comparada con V_a y si $V_a \geqslant 12$ V, entonces se queda en **1** el biestable A_2 del registro. De otra manera, se pone a **0**.
3. Lo mismo que el paso 2, pero el biestable A_1 es puesto a **0** o se queda en **1**; los biestables A_2 y A_3 retienen sus estados del paso 2.
4. Lo mismo que el paso 3, pero ahora se utiliza el biestable A_0, y los A_1, A_2 y A_3 retienen sus estados del paso 3. Ahora aparece el número deseado en el contador y se lee. La Tabla 15.3-2 muestra el proceso para $V_a = 10$ V.

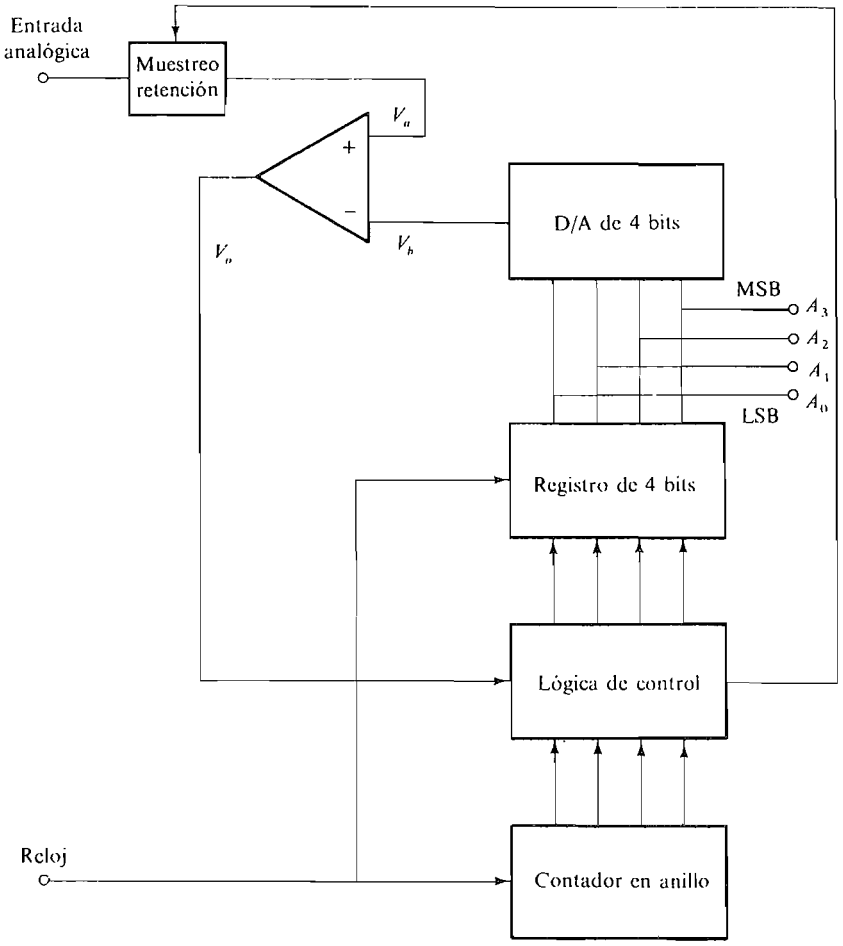


Figura 15.3-5. Convertidor A/D de aproximaciones sucesivas.

Tabla 15.3-2. Aproximaciones sucesivas cuando $V_a = 10$ V

Paso	V_b	Comparación	Respuesta	$A_3A_2A_1A_0$
1	8	¿$V_a \geq 8$ V?	Sí	1000
2	12	¿$V_a \geq 12$ V?	No	1100
3	10	¿$V_a \geq 10$ V?	Sí	1010
4	11	¿$V_a \geq 11$ V?	No	1011
	10	Salida leída		1010

Se ve que la conversión real se hace en cuatro períodos de reloj. Así, por ejemplo, un convertidor de 10 bits con un reloj de 10 MHz tendrá un tiempo de conversión de aproximadamente $10 \times 10^{-7} = 1$ μs.

15.3-4. Convertidores A/D «flash»

Un convertidor A/D «flash» es aquél en el que la conversión de una señal analógica a una digital de N bits ocurre en paralelo en vez de secuencialmente. Como resultado el proceso se realiza muy rápido, en un instante. De esta forma los convertidores A/D pueden realizar actualmente la conversión de una señal analógica a una digital de 8 bits en menos de 1 ns. El convertidor A/D de Le Croy opera a 1,3 gigamuestras por segundo y el chip convertidor A/D de Sony opera a 300 megamuestras por segundo, siendo cada muestra convertida en una palabra de 8 bits. Hace diez años TR producía un circuito convertidor A/D de 30 megamuestras por segundo, lo que era en aquel momento, el estado del arte. En una década la velocidad del convertidor «flash» ha aumentado en un orden de magnitud.

En la Figura 15.3-6 se puede ver un convertidor «flash» de 3 bits que emplea siete comparadores y registros y su lógica asociada. El convertidor «flash» de 8 bits emplea $2^8 - 1 = 255$ comparadores y registros y una cantidad mayor de puertas lógicas. Empleando tecnología de muy alta escala de integración (VLSI) y de alta velocidad (VHSIC) se ha conseguido fabricar estos rápidos dispositivos con un pequeño número de circuitos integrados.

Para explicar el funcionamiento de estos convertidores se va a hacer referencia a partir de ahora al convertidor de 3 bits de la Figura 15.3-6. Se ha escogido este convertidor por simplicidad.

El circuito emplea un divisor resistivo que proporciona diferentes tensiones de referencia a los comparadores C_1 a C_7. La señal analógica de entrada está también disponible a la entrada de cada comparador. En este circuito V_a está comprendida entre $-V_o/14$ V y $15V_o/14$ V. Si V_a está dentro de estos límites, por ejemplo, con un valor intermedio entre $5V_o/14$ V y $7V_o/14$ V, los comparadores C_1, C_2 y C_3 tendrán en su salida una tensión que representa un nivel lógico **0**, mientras que los comparadores C_4 a C_7 generarán en su salida una tensión que representa el nivel lógico **1**. La tabla de verdad de la Figura 15.3-7 representa todas las posibilidades para V_a. Es fácil deducir de esta tabla de verdad:

1. $$\text{MSB} = C_4$$

2. $$\begin{aligned}\text{Segundo bit} &= C_2C_3C_4C_5C_6C_7 + \bar{C}_4C_6 \\ &= C_2C_3C_5C_6C_7 + \bar{C}_4C_6 \\ &= \overline{(C_2C_3C_5C_6C_7)}\,\overline{(\bar{C}_4C_6)}\end{aligned}$$

3. $$\text{LSM} = \overline{(C_1C_2C_3C_4C_5C_6C_7)}\,\overline{(\bar{C}_1\bar{C}_2C_3C_4C_5C_6C_7)}\,\overline{(\bar{C}_1\bar{C}_2\bar{C}_3\bar{C}_4C_5C_6C_7)}\,\overline{(\bar{C}_1\bar{C}_2\bar{C}_3\bar{C}_4\bar{C}_5\bar{C}_6C_7)}$$

Como se puede ver en la Figura 15.3-6 estas funciones lógicas se han realizado empleando circuitos digitales de muy alta velocidad.

En el convertidor «flahs» de 3 bits se puede ver que el error que se comete es $\pm V_o/14$. Para reducir este error, en la práctica se emplean convertidores de 8 bits, en los que se puede demostrar que el error queda limitado a $\pm V_o/510$.

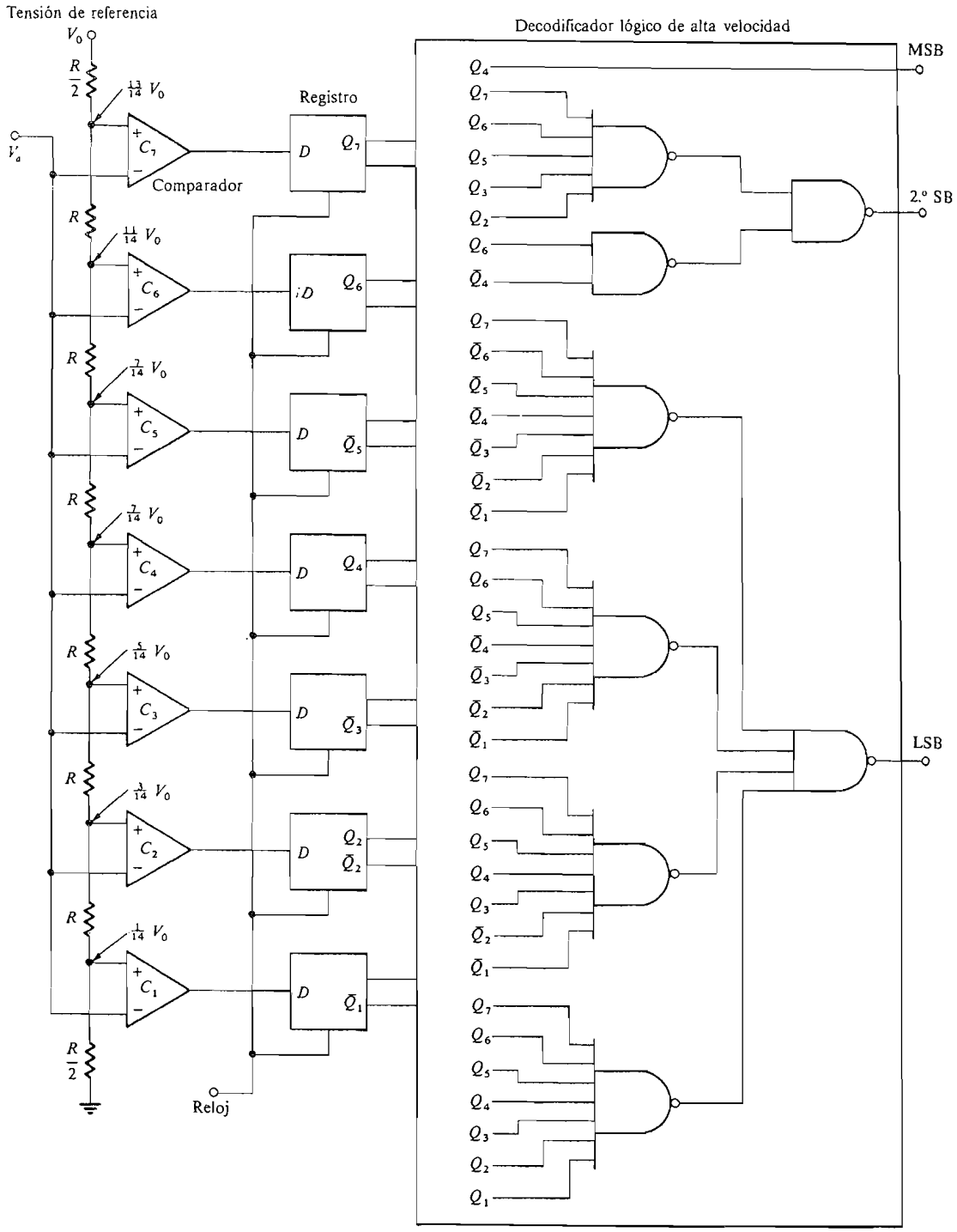


Figura 15.3-6. Convertidor A/D «flash».

Tensión analógica de entrada		Salida de los comparadores							Salida lógica		
$v_a >$	$v_a <$	C_1	C_2	C_3	C_4	C_5	C_6	C_7	MSB	Segundo bit	LSB
$-V_o/14$	$V_o/14$	1	1	1	1	1	1	1	1	1	1
$V_o/14$	$3V_o/14$	0	1	1	1	1	1	1	1	1	0
$3V_o/14$	$5V_o/14$	0	0	1	1	1	1	1	1	0	1
$5V_o/14$	$7V_o/14$	0	0	0	1	1	1	1	1	0	0
$7V_o/14$	$9V_o/14$	0	0	0	0	1	1	1	0	1	1
$9V_o/14$	$11V_o/14$	0	0	0	0	0	1	1	0	1	0
$11V_o/14$	$13V_o/14$	0	0	0	0	0	0	1	0	0	1
$13V_o/14$	$15V_o/14$	0	0	0	0	0	0	0	0	0	0

Figura 15.3-7. Tabla de verdad.

15.3-5. Especificaciones de los fabricantes

A continuación se da una lista de algunas de las especificaciones de los fabricantes.

1. *Señal de entrada.* Esta es el máximo margen de tensión de entrada analógica permisible y puede ser unipolar, es decir, 0 a 10 V, o bipolar, es decir, ± 5 V, ± 10 V, etc.
2. *Tiempo de conversión.* Depende del tipo de convertidor. Los convertidores ultrarrápidos en paralelo tienen tiempo de conversión comprendidos entre 10 y 60 ns; los convertidores de aproximaciones sucesivas varían de 1 a 100 μs.
3. *Formato de salida.* Existe una diversidad de formatos, incluyendo el binario unipolar, binario offset, complemento a uno y complemento a dos y varios códigos estándar. Los circuitos de salida suelen estar diseñados para acoplarlos directamente a TTL, ECL o CMOS.
4. *Precisión.* La precisión incluye errores provenientes de las partes analógica y digital del sistema. El error digital es debido a la cuantificación explicada en la Sección 15.3 y el *error de cuantificación* resultante es usualmente $\pm\frac{1}{2}$LSB. La principal fuente de error analógico es el comparador. Otras fuentes son la tensión de alimentación, las resistencias en escalera, etc. La precisión necesaria y el número de bits deben ser compatibles. Por ejemplo, consideremos un convertidor de 10 bits con un margen de entrada analógica de 0 a $+10$ V. El error de cuantificación es $(\frac{1}{2}^{10}) \times 10 \text{ V} \approx 10$ mV. Si suponemos que el error analógico es aproximadamente igual a 10 mV, el error total es 20 mV referido a la entrada. En este caso, el sistema funciona como un convertidor A/D de 9 bits que está exento de error analógico, ya que un convertidor de 9 bits tiene un error de cuantificación de $(\frac{1}{2}^{9}) \times 10 \text{ V} \approx 20$ mV.

15.4. CIRCUITOS DE TEMPORIZACION

En muchos de los circuitos previamente descritos son necesarios trenes de impulsos de reloj para sincronizar las operaciones de todo el sistema. Los trenes de impulsos se generan mediante circuitos de temporización llamados *multivibradores astables*. A veces se

necesita un solo impulso de una longitud determinada. Tales impulsos son generados por *multivibradores monoestables*. Estos dos circuitos de temporización serán descritos en esta sección.

15.4-1. Multivibrador monoestable

El *multivibrador monoestable* es básicamente un biestable que tiene un solo estado estable. Puede ser construido utilizando puertas NO-O, como muestra la Figura 15.4-1*a*. Este circuito puede ser comparado con el biestable de puerta NO-O representado en la Figura 13.1-1 y puede ser construido fácilmente utilizando puertas CMOS o ECL. La operación

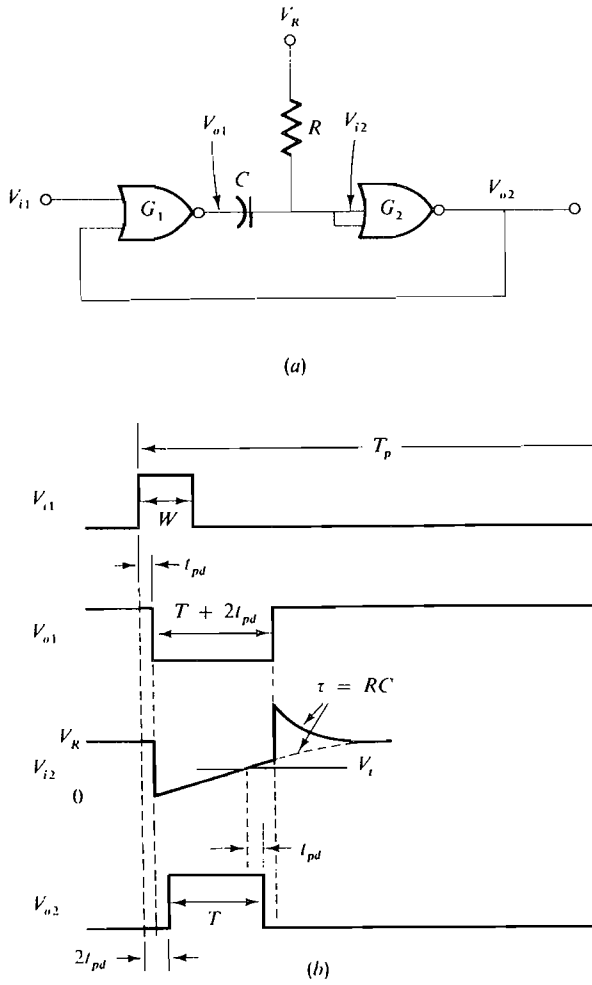


Figura 15.4-1. Multivibradores monoestables: (*a*) construido utilizando puertas NO-O; (*b*) formas de onda.

de un multivibrador monoestable CMOS se puede explicar utilizando las formas de onda de la Figura 15.4-1*b*. En el Problema 15.4-2 se hace un estudio cuantitativo del multivibrador monoestable ECL.

Inicialmente V_{o2} es baja debido a V_R, por lo que V_{o1} es alta. Para iniciar el trabajo monoestable se aplica un impulso V_{i1}. Como la entrada a la puerta G_1 es ahora alta, la salida V_{o1} se convertirá en baja después del retardo de propagación t_{pd}. Puesto que la tensión en los terminales del condensador C no puede cambiar instantáneamente, la entrada V_{i2} a la puerta G_2 cae instantáneamente. Después de un retardo t_{pd}, la salida V_{o2} de G_2 aumenta, manteniendo, por tanto, la salida de G_1 baja, incluso después de que la entrada V_{i1} ha vuelto al estado 0. Por las formas de onda vemos que la mínima anchura del impulso de entrada W es

$$W_{\min} > 2t_{pd} \tag{15.4-1}$$

A medida que aumenta el tiempo, el condensador C se carga hacia V_R. Cuando C se ha cargado hasta el punto en que V_{i2} es igual a la tensión umbral V_t de G_2, G_2 conmuta a conducción y V_{o2} disminuye (después de un retardo t_{pd}) poniendo en corte a G_1. Después de un retardo adicional t_{pd}, V_{o1} vuelve a ser alta. Instantáneamente, V_{i2} tiende a ser alta y el condensador C se descarga hasta que alcanza su estado estacionario.

Ahora el circuito se mantiene en ese estado con $V_{o2} = 0$ V hasta que llega el siguiente impulso de entrada. En el Problema 15.4-1 se demuestra que la duración del impulso T es

$$T = RC \ln \frac{V_R}{V_R - V_t} \tag{15.4-2}$$

Para que el funcionamiento monoestable sea correcto, V_{o2} debe mantenerse alta después de que V_{i1} ha pasado a baja. De esta manera la puerta G_1 no responderá cuando V_{o2} sea baja. Así, la máxima anchura del impulso de entrada es

$$W_{\max} < T + 2t_{pd} \tag{15.4-3}$$

Por otra parte, no se debe permitir que llegue el impulso de entrada siguiente hasta que se alcance el estado estacionario. Si suponemos que esto ocurre después de un tiempo igual a $3RC$, tendremos

$$T_p > T + 3t_{pd} + 3RC \tag{15.4-4}$$

15.4-2. Multivibrador astable

El *multivibrador astable* que se utiliza para generar un tren de impulsos de reloj es básicamente un biestable sin estados estables. La Figura 15.4-2*a* representa un multivibrador astable formado con puertas NO-O. Las formas de onda de la Figura 15.4-2*b* son para CMOS, pero también se pueden emplear puertas ECL (véase Prob. 15.4-5).

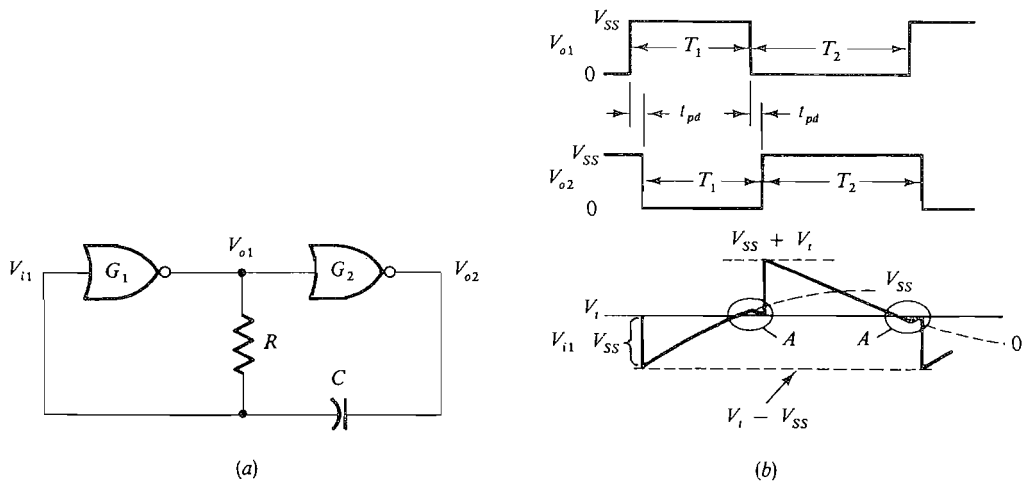


Figura 15.4-2. Multivibrador astable: (*a*) construido utilizando puertas NO-O; (*b*) formas de onda.

El funcionamiento del reloj se explica más fácilmente partiendo de la tensión V_{o1} que sube desde 0 V hasta V_{SS}. Después de un retardo t_{pd}, V_{o2} disminuye y V_{i1} cae instantáneamente a V_{SS}. En este punto, $V_{o1} = V_{SS}$. Supongamos que V_{i1} estaba inicialmente en la tensión umbral por lo que después de haber disminuido en la cantidad V_{SS}, $V_{i1} = V_t - V_{SS}$. Seguidamente, se comprueba que esto es lo que ocurre. Ahora el condensador se carga para hacer que $V_{i1} = V_{SS}$ por lo que la corriente en R se anula. La ecuación de carga es (véase Prob. 15.4-6)

$$V_{i1} = (V_t - V_{SS}) + (2V_{SS} - V_t)(1 - \epsilon^{-t/RC}) \tag{15.4-5}$$

El ciclo de carga termina cuando $V_{i1} = V_t$, es decir, después de un tiempo

$$T_1 = RC \ln \frac{2V_{SS} - V_t}{V_{SS} - V_t} \tag{15.4-6}$$

En este instante, la puerta G_1 pasa a conducción y al cabo de un tiempo t_{pd}, V_{o1} disminuye hasta 0 V. Después de un retardo adicional t_{pd}, V_{o2} aumenta hasta V_R. La tensión en C salta ahora desde V_t hasta $V_t + V_{SS}$ y, puesto que $V_{o1} = 0$ V, el condensador se descarga y V_{i1} disminuye hasta 0 V. La ecuación de esta descarga es

$$V_{i1} = (V_{SS} + V_T)\epsilon^{-t/RC} \tag{15.4-7}$$

Cuando $V_{i1} = V_t$, es decir, cuando $t = T_2$, donde

$$T_2 = RC \ln \frac{V_{SS} + V_t}{V_t} \tag{15.4-8}$$

la puerta G_2 pasa a corte y al cabo de un tiempo t_{pd}, V_{o1} sube hasta V_{SS}. Después de un retardo t_{pd}, V_{o2} cae hasta 0 V y V_{i1} cae desde V_t hasta $V_t - V_{SS}$, lo que verifica nuestro supuesto inicial.

Esta operación carga-descarga continúa indefinidamente y, por tanto, el período de oscilación es

$$T_p = T_1 + T_2 \tag{15.4-9}$$

Obsérvese que $T_2 \geqslant T_1$ y T_2 es igual a T_1 solamente si $2V_t = V_{SS}$.

Es interesante considerar el comportamiento de V_{i1} durante el intervalo de tiempo $2t_{pd}$ después de que alcanza el valor umbral. Estas regiones están marcadas por círculos y letras *A* en la Figura 15.4-2*b*. Durante un período de tiempo t_{pd}, el umbral V_{o1} no cambia por lo que el condensador continúa cargándose o descargándose según el caso. Sin embargo, en el intervalo t_{pd} a $2t_{pd}$, V_{o1} ha cambiado de estado, pero V_{o2} todavía no lo ha hecho. En esta región el condensador invertirá su sentido de carga, como muestra la figura.

15.4-3. El temporizador integrado 555

Existe en el mercado un *temporizador* de aplicación general, integrado con una o dos unidades contenidas en un solo encapsulado. Este CI, el temporizador 555, puede ser conectado para que funcione como multivibrador monoestable o como astable y para que realice muchas otras funciones, algunas de las cuales se estudian en los problemas.

La Figura 15.4-3*a* muestra el circuito básico del temporizador 555 y su conexión como multivibrador monoestable está representado en la Figura 15.4-3*b*. El temporizador se compone de dos comparadores, un biestable *RS* y un transistor. Cuando está conectado como monoestable, el condensador C_d está inicialmente descargado. La operación comienza cuando se aplica un impulso negativo de disparo. La salida del comparador C_2 pasa ahora al nivel alto, poniendo en el estado 1 al biestable *RS*. La salida $\bar{Q}$ del biestable pasa al nivel bajo, poniendo en corte a T_1. El condensador C_d comienza ahora a cargarse, a través de R_d, hacia V_{CC}. Cuando la tensión entre los terminales de C_d alcanza $2V_{CC}/3$, la salida del comparador C_1 pasa a ser alta, restaurando el estado cero (reset) del biestable, por lo que $\bar{Q}$ es alta, poniendo en conducción a T_1 y por consiguiente descargando a C_d.

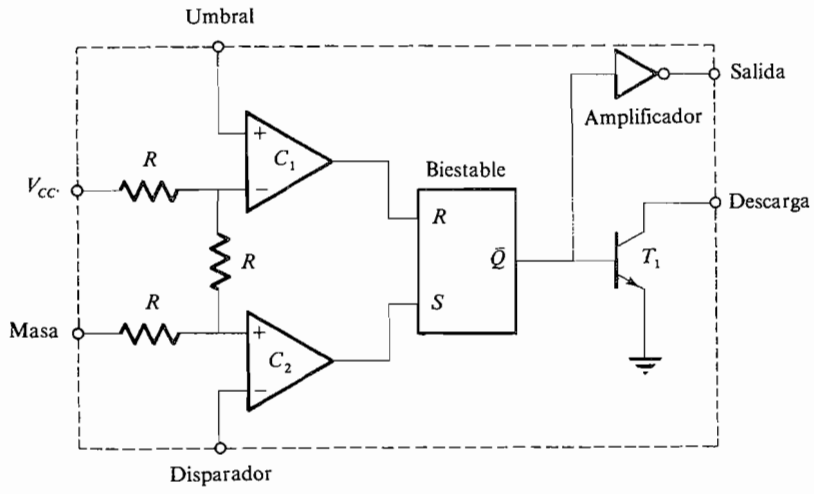
El resultado de la operación anterior es un impulso negativo de salida cuya duración está determinada por el tiempo que necesita C_d para cargarse desde 0 V hasta $2V_{CC}/3$. Como la tensión a través del condensador C_d es

$$V_{Cd} = V_{CC}(1 - \epsilon^{-t/R_dC_d}) \tag{15.4-10}$$

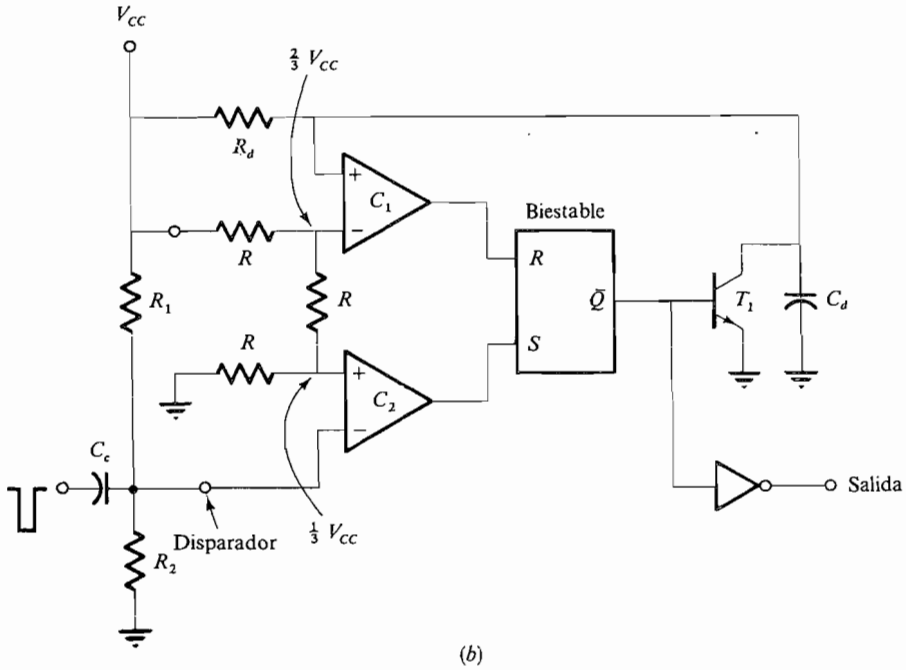
la anchura del impulso es

$$T = RC \ln 3 = 1{,}1RC \tag{15.4-11}$$

En los folletos de información del fabricante se pueden encontrar muchas otras aplicaciones del temporizador 555[4]. En el Apéndice C, Figura C4.7, se encontrarán las



(*a*)



(*b*)

Figura 15.4-3. Temporizador 555: (*a*) diagrama de bloques; (*b*) temporizador 555 conectado como multivibrador monoestable.

hojas de características que incluyen las instrucciones para la conexión del 555 como multivibrador astable. Su funcionamiento como multivibrador astable se analiza en el Problema 15.4-11.

REFERENCIAS

1. H. Taub y D. L. Schilling, «Digital Integrated Electronics», McGraw-Hill, New York, 1977.
2. David F. Hoesschele, Jr., «Analog-to-Digital/Digital-to-Analog Conversion Techniques», Wiley, New York, 1968.
3. Astable and Monostable Oscillators, *RCA Appl. Note* ICAN 6267.
4. Semiconductor Data Library, vol. 6, serie B, págs. 8-43, Motorola, Inc., 1975.

PROBLEMAS

15.1-1. A propósito del estudio del *tiempo de adquisición*, demostrar que se requiere $9R_gC$ para que v_o no se diferencie en más de 0,01 por 100 de la entrada.

15.1-2. Un circuito de muestreo y retención tiene un condensador de 50 pF y la corriente de fugas en modo retención es 1 nA. Si el intervalo de retención es 50 μs y la tensión de retención es 1 V, hallar el porcentaje de caída.

15.1-3. En un circuito dado de muestreo y retención el condensador es de 100 pF y la resistencia de fugas equivalente en el modo de retención es 15 GΩ. Calcular el porcentaje de caída si el intervalo de retención es 100 μs.

15.1-4. Verificar (15.1-1).

15.1-5. En el circuito de la Figura 15.1-4*a*, $R_1 = R_2 = 15$ kΩ y el intervalo de muestreo es 50 ns. Hallar C para que la salida siga a la entrada con una diferencia que no exceda de 0,1 por 100.

15.1-6. En el circuito de la Figura 15.1-4*a*, $C = 500$ pF, $R_1 = R_2 = 15$ kΩ y la corriente de polarización de entrada del operacional es 300 mA. Calcular el porcentaje de caída si el intervalo de retención es 1 ms y la tensión correspondiente es 1 V.

15.2-1. Verificar que la red de resistencias de la Figura 15.2-2*b* tiene una resistencia de $3R$ desde cualquiera de los terminales A, B, S_0, S_1, S_2 o S_3 estando los terminales restantes conectados a masa.

15.2-2. Verificar (15.2-4*a*).

15.2-3. Un convertidor D/A de 6 bits tiene corriente de salida unipolar. Cuando la entrada digital es **110100**, la corriente de salida es 5 mA. Hallar la corriente de salida cuando la entrada digital es **111100**.

15.2-4. Un convertidor D/A de 12 bits tiene un escalón de 10 mV. Hallar la tensión de salida a fondo de escala y el porcentaje de resolución.

15.2-5. Hallar la resolución del convertidor D/A del Problema 15.2-3. Expresar la respuesta en términos de corriente y porcentaje.

15.2-6. Demostrar que el porcentaje de resolución se puede expresar por

$$\%R = \frac{1}{2^N}$$

donde N es el número de bits de entrada.

15.2-7. En el circuito de la Figura 15.2-1, $R_o = 8$ kΩ, $R_f = 1$ kΩ y $V_R = 5$ V. Confeccionar una tabla que dé las tensiones de salida correspondientes a todas las entradas digitales posibles.

15.2-8. El circuito de la Figura 15.2-1 es modificado para que funcione con 8 bits añadiendo cuatro combinaciones de conmutación por resistencias. La referencia es $V_R = 10$ V, $R_o = 160$ kΩ y $R_f = 10$ kΩ. Hallar la salida correspondiente a la entrada **11100110**.

15.2-9. En el convertidor D/A del Problema 15.2-8 debe cambiarse el escalón a 0,3 V. Determinar un nuevo valor para R_f.

15.2-10. Un convertidor D/A de 8 bits tiene una salida a fondo de escala de 20 V. Hallar la tensión de salida cuando la entrada es **11011011**.

15.2-11. Un convertidor D/A debe tener una salida a fondo de escala de 10 V y una resolución menor de 40 mV. ¿Cuántos bits se requieren?

15.2-12. Un convertidor D/A de 8 bits tiene una precisión del 0,2 por 100 a fondo de escala y su salida a fondo de escala es 10 mA. ¿Cuál es el máximo error posible? Si está incluido un error de resolución ¿estaría dentro del margen especificado de precisión una salida de 10 μA para entrada cero?

15.2-13. En el circuito de la Figura 15.2-6*b* demostrar que la resistencia vista en cualquier terminal del conmutador es $2R/3$.

15.2-14. En la Figura 15.2-7 hallar la tensión base-emisor del transistor en estado de corte en cualquier par de transistores.

15.2-15. En la Figura 15.2-7, demostrar que si $V_R \leqslant 0$ la salida es unipolar y siempre positiva, mientras que si $V_R > 0$ la salida es bipolar.

15.2-16. Se debe modificar un convertidor D/A de 3 bits para que acepte números desde -4 hasta $+3$, estando los números negativos en la forma de complemento a dos. La salida analógica debe variar desde 0 V hasta $+7$ V, como se muestra en la tabla. Esto se puede hacer aplicando la entrada digital al convertidor D/A con el MSB complementado de manera que la entrada digital **100** produzca 0 V de salida como en la tabla. Indicar cómo se puede modificar el convertidor de la Figura 15.2-1 para que realice esta translación.

Valor decimal de la entrada	Representación en complemento a dos	Formato binario de offset cuando 100 ≡ 0 V	Tensión analógica de salida, V
+3	011	111	7
+2	010	110	6
+1	001	101	5
0	000	100	4
−1	111	011	3
−2	110	010	2
−3	101	001	1
−4	100	000	0

15.3-1. Un convertidor A/D de 8 bits tiene un margen de entrada a fondo de escala de 10 V. Hallar la resolución y el error de cuantificación.

15.3-2. Un comparador analógico como el representado en la Figura 15.3-2 tiene una ganancia lineal $A_v = V_o/(V_a - V_b) = 5000$. La salida V_o es +5 ó 0 V. Si $V_a = 3{,}274$ V, ¿qué valor de V_b es necesario para que conmuten los estados de la salida?

15.3-3. Un convertidor A/D de 8 bits controlado por contador tiene una resolución de 40 mV y una frecuencia de reloj de 2 MHz. Hallar (*a*) la salida digital si $V_a = 6$ V y (*b*) el máximo tiempo de conversión.

15.3-4. Un cierto convertidor A/D de 12 bits tiene una salida de fondo de escala de 5 V y una precisión de 0,05 por 100 en el fondo de escala. Hallar el error de cuantificación y el error total posible en voltios.

15.3-5. Para el convertidor A/D por aproximaciones sucesivas demostrar que una conversión de N bits requerirá N comparaciones.

15.3-6. Un convertidor A/D de 6 bits por aproximaciones sucesivas tiene una resolución de 0,05 V por paso. Si la entrada analógica es 2,2 V, construir una tabla como la 15.3-2 para hallar la lectura final del registro.

15.3-7. Diseñar un convertidor A/D de 3 bits por aproximaciones sucesivas utilizando 3 biestables D para el contador de anillo, tres puertas Y de dos entradas para el circuito de control lógico y tres biestables JK para el registro. Dibujar un diagrama de temporización para el convertidor en que aparezcan las formas de onda de reloj y del contador de anillo, las formas de onda de la salida del registro y las formas de onda de salida del comparador para una entrada correspondiente a una salida digital **010**.

15.3-8. Considérese un convertidor A/D «flash» de 8 bits. Si la tensión de alimentación V_s es una tensión continua V_o con un rizado de valor de cresta $\pm\Delta$, calcular Δ para asegurar que el error que produce sólo afecta al bit LSB.

15.4-1. Para el multivibrador monoestable de la Figura 15.4-1 demostrar que la duración del impulso viene dada por (15.4-2) suponiendo que el nivel bajo de salida es 0 V.

15.4-2. Considerar que el multivibrador monoestable de la Figura 15.4-1 está construido con puertas ECL, para las cuales $-1{,}6$ V es el nivel bajo de salida y $-0{,}8$ V es el alto. Dibujar las formas de onda correspondientes a la Figura 15.4-1*b*.

15.4-3. Un multivibrador monoestable está construido con puertas NO-Y y TTL como muestra la Figura P15.4-3. Para las puertas suponer que $V_{OL} = 0$ V, $V_{OH} = 3{,}6$ V y $V_{IL} = V_{IH} = 1{,}5$ V.
(*a*) Dibujar las formas de onda del disparador, V_{o1}, V_{i2} y V_{o2}. Hacer constar las suposiciones hechas.
(*b*) Deducir una ecuación análoga a (15.4-2) para la anchura del impulso de salida.
(*c*) Hallar la mínima anchura del impulso de entrada.

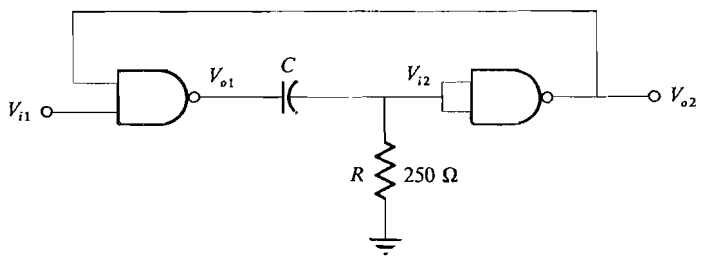


Figura P15.4-3.

15.4-4. En la Figura 15.4-4 está representado un multivibrador monoestable construido con transistores discretos. En el estado estable, T_2 está en conducción (ON) y T_1 está en corte (OFF). El corto impulso de disparo o activación pone a T_1 en conducción.
(*a*) Describir el funcionamiento del circuito después de que T_1 pasa a conducción.
(*b*) Demostrar que, después de aplicar el impulso de disparo, la tensión en la base de T_2 es

$$V_{B2} = V_{CC} + (V_o - V_{CC})\epsilon^{-t/R_{b2}C}$$

donde $V_o = -(V_{CC} - 0{,}7)$.

(*c*) Demostrar que la anchura del impulso es el tiempo que requiere T_2 para alcanzar la tensión de conmutación a conducción $V_{B2} = 0{,}5$ V y

$$T = -R_{b2}C \ln \frac{V_{B2} - V_{CC}}{V_o - V_{CC}} \approx 0{,}7R_{b2}C$$

(*d*) Hallar la anchura del impulso si $V_{CC} = 12$ V, $R_{b2} = 6{,}8$ kΩ y $C = 0{,}002$ μF.

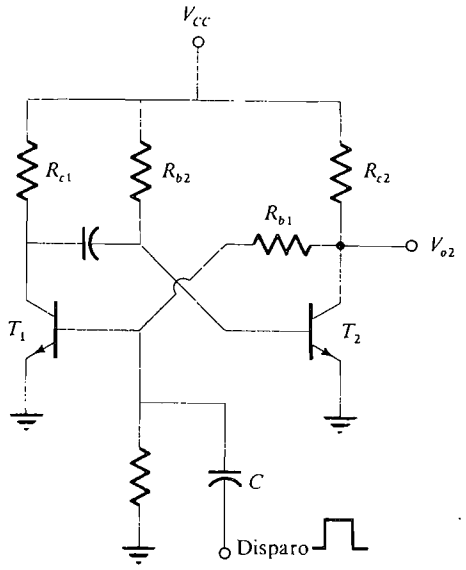


Figura P15.4-4.

15.4-5. Dibujar las formas de onda representadas en la Figura 15.4-2*b* si se utilizan puertas NO-O ECL.

15.4-6. Verificar las Ecuaciones (15.4-5) y (15.4-6).

15.4-7. La Figura P15.4-7 representa un multivibrador astable que utiliza transistores discretos.

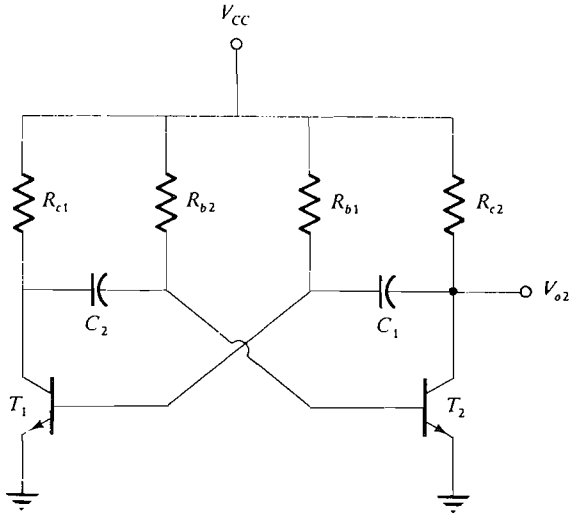


Figura P15.4-7.

(*a*) Describir su funcionamiento cualitativamente.
(*b*) Utilizando las técnicas del Problema 15.4-4, demostrar que

$$T_{ON1} = T_{OFF2} \approx 0{,}7R_{b2}C_2$$
$$T_{OFF1} = T_{ON2} \approx 0{,}7R_{b1}C_1$$

(*c*) Demostrar que la frecuencia de la salida es

$$f \approx \frac{1{,}4}{R_{b1}C_1 + R_{b2}C_2}$$

15.4-8. En el circuito de la Figura P15.4-7, $R_{b2} = 10$ kΩ, $C_1 = C_2 = 0{,}01$ μF_2 y $R_{b1} = 20$ kΩ. Hallar la frecuencia y el ciclo de trabajo* de la salida. Dibujar la forma de onda.

15.4-9. La Figura P15.4-9*a* representa un multivibrador astable construido con un comparador. La característica de transferencia del comparador está en la Figura P15.4-9*b*.
(*a*) Describir el funcionamiento del multivibrador cualitativamente, incluyendo la representación de las formas de onda en la salida y en las entradas del comparador.
(*b*) Demostrar que

$$T = 2R_fC \ln\left(\frac{R_1 + 2R_2}{R_1}\right)$$

(*c*) Hallar la frecuencia si $R_f = 10$ kΩ, $R_i = 6{,}8$ kΩ, $R_2 = 3{,}3$ kΩ y $C = 0{,}1$ μF.

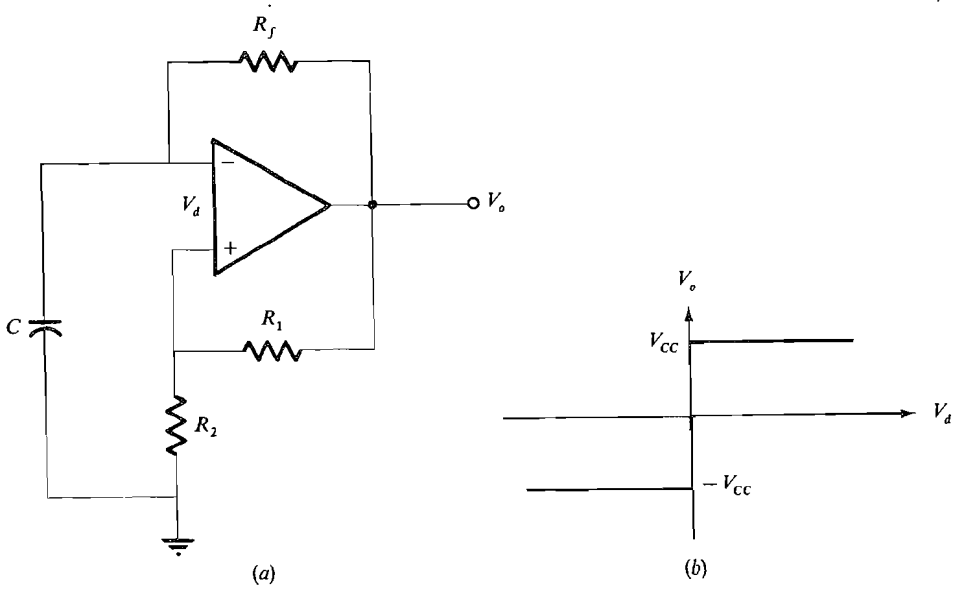


Figura P15.4-9.

* El término ciclo de trabajo corresponde a la relación entre el tiempo de nivel alto y el período total. (*N. del T.*)

15.4-10. El multivibrador astable de la Figura P15.4-9 debe generar un tren de impulsos con un período de 20 μs y un ciclo de trabajo del 50 por 100. Si $R_1 = R_2 = 4{,}7$ kΩ y $R_f = 2$ kΩ, hallar C.

15.4-11. La Figura P15.4-11 muestra las conexiones necesarias para que el temporizador 555 actúe como multivibrador astable.

(*a*) Describir su funcionamiento cualitativamente.

(*b*) La salida es alta durante un tiempo $t_1 = 0{,}7(R_A + R_B)C$ y baja durante un tiempo $t_2 = 0{,}7R_BC$, por lo que la frecuencia de oscilación es $f \approx 1{,}4/(R_A + 2R_B)C$. Hallar f y el ciclo de trabajo si $R_A = 1{,}5$ kΩ, $R_B = 6{,}8$ kΩ y $C = 0{,}01$ μF.

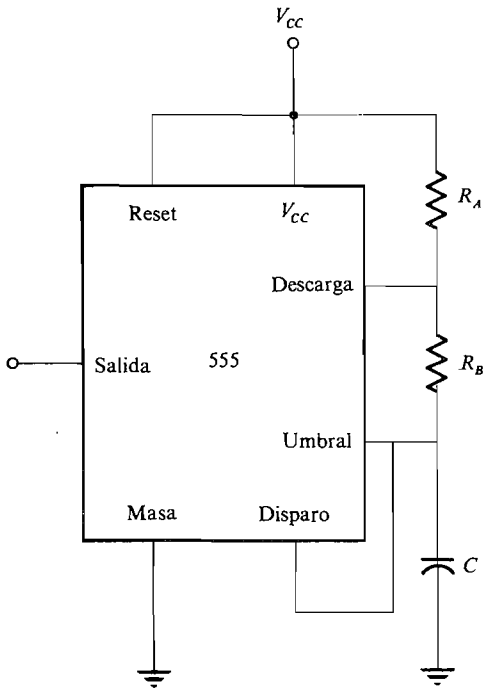


Figura P15.4-11.

CAPITULO

VLSI: Fabricación de circuitos y sus efectos sobre prestaciones, densidad y coste

16

INTRODUCCION

Las propiedades eléctricas y el modelado de los transistores bipolares han quedado cubiertos en el Capítulo 2; su uso en los circuitos de lógica transistor-transistor (TTL) y acoplada por emisor (ECL) se ha estudiado en el Capítulo 12. La Figura 16.1 muestra la vista de una sección de un circuito integrado realizado con tecnología bipolar. Uno de los parámetros más críticos que afecta a la velocidad de conmutación de los transistores bipolares integrados es el ancho de la región de base. Este ancho es función del proceso de «difusión» que será tratado seguidamente y puede ser controlado durante la fabricación del circuito integrado (CI).

La Figura 16.2 muestra una vista simplificada de la sección de un transistor integrado tipo MOS. Las propiedades y los modelos para este transistor se han tratado en el Capítulo 3 y su aplicación en las puertas lógicas se ha mostrado en el Capítulo 12. Es importante recalcar que el parámetro crítico en la velocidad de conmutación del transistor MOS es la longitud del canal (L). Este aspecto ha sido desarrollado en el Capítulo 3, Ecuaciones (3.2-2*a*), (3.2-2*b*) y (3.2-2*c*) que reescribimos aquí:

Lineal
$$i_{DS} = k_n[2(v_{GS} - v_{TN})v_{DS} - v_{DS}^2] \qquad (16.1a)$$

Saturación
$$i_{DS} = k_n(v_{GS} - v_{TN})^2 \quad \text{para} \quad v_{DS} \geqslant v_{GS} - v_{TN} \qquad (16.1b)$$

$$k_n = \frac{\mu \epsilon W}{2tL} \qquad (16.1c)$$

Hay que destacar que k_n aparece tanto en las ecuaciones de la corriente en zona lineal (16.1*a*) como en saturación (16.1*b*) y que L aparece en el denominador de la expresión de k_n. Por lo tanto, manteniendo constantes las otras variables, cuanto más pequeña sea la longitud del canal más rápido será el dispositivo.

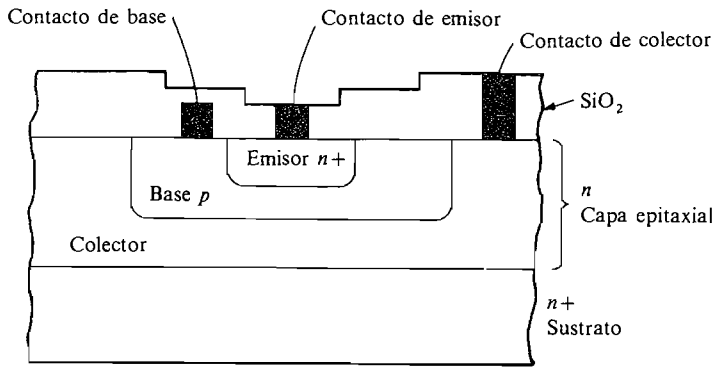


Figura 16.1. Sección transversal de un transistor bipolar.

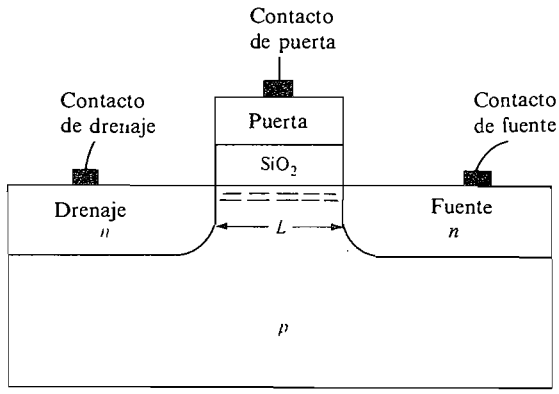


Figura 16.2. Sección transversal de un transistor MOS.

Como veremos después la longitud del canal es función de los pasos de *litografía* y *ataques* al material en la fabricación de circuitos integrados.

Durante los años setenta y principios de los ochenta los sistemas digitales de alta velocidad se hacían con puertas TTL o ECL realizadas con transistores bipolares. La razón era que las limitaciones de los equipos de litografiado y ataque impedían la fabricación con pequeñas longitudes del canal. Las longitudes relativamente altas de los canales no permitían a la lógica CMOS competir en velocidad con los circuitos TTL y ECL cuyas regiones de base se definían muy exactamente mediante el proceso de difusión. En la Figura 16.3 aparece un cuadro comparativo de las prestaciones de estas dos tecnologías (bipolar y CMOS).

No fue hasta aproximadamente el año 83 u 84 cuando las líneas de producción de circuitos integrados fueron capaces de obtener longitudes del canal de 2μ con lo que la velocidad de conmutación para una puerta de dos entradas con carga unitaria era típicamente de 2 a 4 ns. Con esta velocidad la tecnología MOS empezaba a competir muy favorablemente con la TTL; era más rápida que la TTL de bajo consumo y disipaba mucha menos potencia. Hacia 1986 ó 1987 fueron posibles longitudes del canal de 1,25 μm; esto permitió velocidades internas de las puertas de 1 a 2 ns haciendo que la tecnología MOS fuese competitiva en

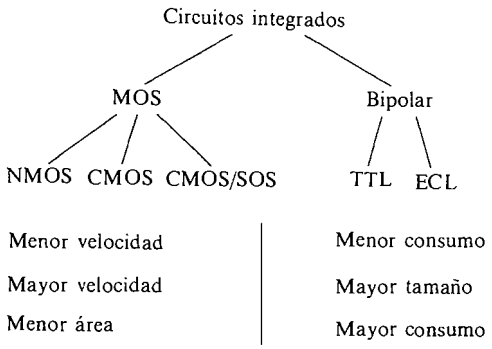


Figura 16.3. Comparación entre circuitos integrados (1970-1983).

	Número de puertas	Velocidad de las puertas	Potencia consumida
ECL	5000 ⟶ 10 000	150 ps ⟶ 900 ps	5 → 30 W
CMOS (1,25 micras) μm	19 000 ⟶ 50 000	0,7 ns ⟶ 1,5 ns	1 → 3 W

Figura 16.4. Comparación entre los gate-array CMOS y ECL.

velocidad con la ECL. Además, como los transistores MOS tienen menor tamaño, el diseñador podía colocar más puertas en una superficie dada, tal y como se muestra en la Figura 16.4. Por estas razones, los conjuntos de puertas (gate-array) CMOS de 1,25μ con 20 000 puertas se usaron para construir el supercomputador ETA-10 en 1986.

Durante la próxima década se espera que las longitudes del canal continúen disminuyendo por lo que la tecnología CMOS seguirá siendo la elegida por los diseñadores para aplicaciones de alta velocidad y alta densidad de integración. Debido a su bajo consumo, especialmente en baja frecuencia, la tecnología CMOS se muestra como la mejor elección en aplicaciones con mínimo consumo. Por todos estos motivos es de esperar que continúe siendo la *dominante* en la segunda mitad de los noventa.

En lo que resta de este capítulo se describen los conceptos básicos en la fabricación de circuitos integrados. El motivo de tratar estas técnicas es cuádruple. Primero, los diseñadores de circuitos integrados de aplicación específica (ASIC) deben elegir una metodología de diseño (Capítulo 17); esta elección necesita un cuidadoso análisis de costos de desarrollo y producción para lo que es importante conocer el proceso de fabricación. Segundo, salvo que la compañía tenga su propia línea de procesado, habrá que elegir una «foundry»* de silicio para realizar el diseño; el conocimiento del estado del arte de las técnicas de procesado y los tipos de equipamiento es esencial para evaluar las limitaciones y la capacidad de cada fabricante de silicio. Tercero, el diseño del ASIC no puede hacerse sin el uso extensivo de software de CAD (diseño asistido por computador) que será tratado en el Capítulo 18; el conocimiento del proceso es muy conveniente para comprender el objetivo de los programas contenidos en los paquetes de CAD. Cuarto, la tecnología

* Industria encargada de la fabricación de chips. (*N. del T.*)

usada determina los límites de características, densidad y rendimiento que el diseñador puede esperar para los ASIC.

Los pasos más importantes del proceso, que serán tratados a continuación, son los siguientes:

Crecimiento del cristal	Adición de material
Construcción de las máscaras	Eliminación de material
Fotolitografía	

Siguiendo estos pasos se discutirán las consideraciones prácticas de *dispersión del proceso*, *rendimiento del proceso*, *leyes de escalado* y *el efecto latch-up*. Estos parámetros tienen un gran impacto en los costes de producción de ASIC para una aplicación dada.

16.1. PREPARACION DE LA OBLEA DE SILICIO

Los materiales de partida para la fabricación de circuitos integrados son obleas de silicio *n* o *p*, pulidas, que presentan el aspecto de una galleta de 4 a 6 pulgadas de diámetro y unas 600 micropulgadas de espesor aunque las futuras tendrán un diámetro de más de 8 pulgadas. La Figura 16.1-1 muestra los pasos más importantes en la producción de obleas de silicio; cada uno de ellos se describirá brevemente en esta sección.

Durante la primera etapa, llamada *crecimiento de Czochralski*, los *ingots* o *boules* (cilindros) de silicio se obtienen por solidificación de la fase líquida usando un elemento denominado *estirador Czochralski*[1]. En este equipo se rota y estira una semilla de cristal de silicio de un crisol de cuarzo que contiene silicio fundido. Los dos parámetros a tener en cuenta en este proceso son la velocidad de rotación y la velocidad con la que se extrae la barra. Las

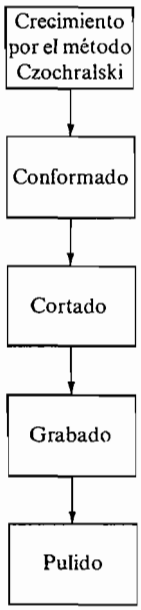


Figura 16.1-1. Crecimiento y preparación de obleas.

barras así producidas pueden tener más de 3 m de longitud y si se varía la velocidad de extracción mientras se está formando la barra se obtienen diferentes diámetros. El objetivo del segundo paso, conformado, es proporcionar un diámetro uniforme usando una muela superficial de tipo torno. En el tercer paso, la barra se corta en obleas que después serán tratadas químicamente para conseguir el espesor deseado y una superficie libre de daño y contaminación; finalmente, se pule la oblea para obtener una superficie suave.

16.2. FABRICACION DE MASCARAS

En el procesado de las obleas es necesario añadir o quitar material pero sólo en aquellos lugares determinados por un patrón; el patrón usado se denomina *máscara* y el proceso de transferencia del patrón a la oblea, *litografía*. En esta sección se describirán los pasos necesarios para fabricar las máscaras mientras que en la siguiente se tratará la litografía.

La fabricación de circuitos integrados se realiza mediante un *procesado por lotes* en el que se hacen muchos circuitos iguales en una misma oblea, fabricándose varias obleas simultáneamente. El número de obleas procesadas cada vez se denomina *tamaño del lote* y puede variar entre 20 y 200. El número de integrados por oblea es función de su tamaño (llamado *tamaño del dado*) y del diámetro de la oblea. Como cada dado es cuadrado mientras que la oblea es circular, el número de dados por oblea es el número de cuadrados de un determinado tamaño que pueden caber en un círculo. Este número puede calcularse mediante la siguiente ecuación:

$$\text{Número de dados} = \frac{\pi r^2}{A} - 1{,}77\,\frac{D}{\sqrt{A}} \tag{16.2-1}$$

donde D = diámetro de la oblea
A = área del dado
r = radio de la oblea

EJEMPLO 16.2-1

Para un tamaño de dado de 250 × 250 milipulgadas, calcular el número de dados en un lote de 50 obleas de 6 pulgadas.

Solución

$$D = 6 \text{ in}$$
$$A = 0{,}25 \times 0{,}25 = 0{,}0625 \text{ in}^2$$
$$r = 3 \text{ in}$$

$$\text{Número de dados/oblea} = \frac{\pi(3)^2}{0{,}0625} - \frac{1{,}77(6)}{\sqrt{0{,}0625}}$$
$$= 452 - 43 = 409$$
$$\text{Número de dados/lote} = 50 \times 409 = 20{,}450$$

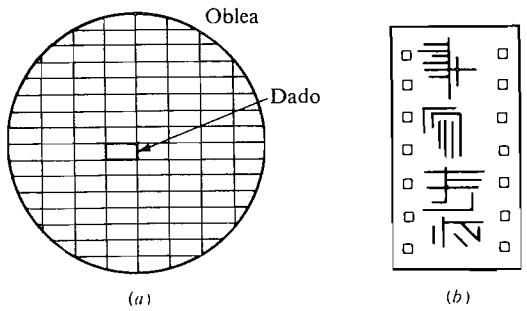


Figura 16.2-1. (*a*) Máscara completa de una oblea: Máscara × 1 con patrón de dado repetido en cada posición. (*b*) Máscara de dado individual conteniendo sólo una copia del dado amplificado × 5 ó × 10.

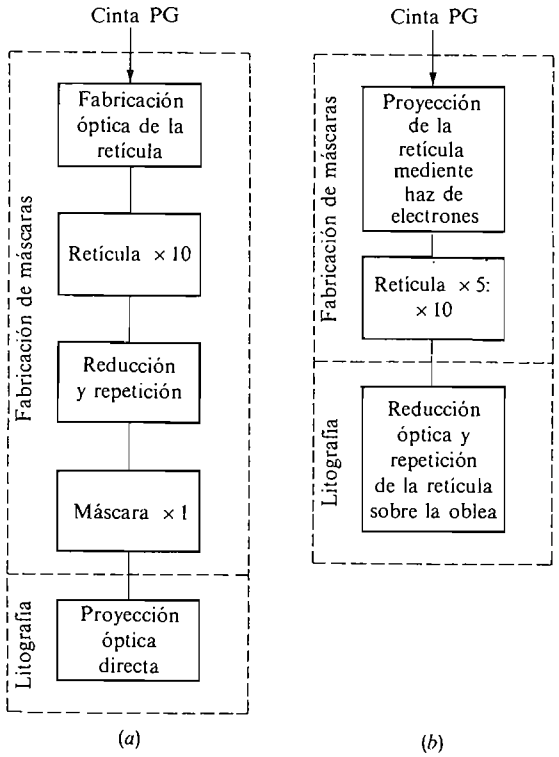


Figura 16.2-2. Fabricación de máscaras: (*a*) litografía de proyección óptica de la oblea completa; (*b*) litografía directa sobre la oblea (DEW).

Dependiendo del tipo de equipo empleado en el proceso litográfico, la máscara obtenida contendrá un dado patrón para cada uno de los dados de la oblea o un solo dado patrón aumentado (× 5 ó × 10) tal y como se muestra en la Figura 16.2-1*a* y 16.2-1*b* respectivamente. Los dos métodos que se emplean más habitualmente en la fabricación de máscaras

aparecen, a grandes rasgos, en la Figura 16.2-2. La información de entrada para ambos es una cinta magnética generadora de patrones (PG). El resultado de los programas de CAD será la cinta PG que contendrá los datos digitalizados necesarios para controlar la fuente luminosa o haz de electrones usada para dibujar el patrón en la placa fotosensible. En la Figura 16.2-2*a* se produce primero un patrón $\times 10$ para un único dado (se llama *retícula* $\times 10$); esta retícula se amplía en un factor de 15 dando lugar a una ampliación *(blowback)* $\times 150$ que puede emplearse para inspección ocular. A partir de la retícula $\times 10$ se fabrica una máscara $\times 1$ (del tipo de la mostrada en la Figura 16.2-1*a*) mediante reducción óptica y proyección sobre una segunda placa fotosensible; este mismo paso se repite para cada uno de los dados de la oblea. Así se consigue una máscara $\times 1$ que será situada muy cerca de la capa fotosensible de la oblea (pegada) y proyectada ópticamente sobre la misma durante el proceso de litografía (litografía por proyección). En el segundo caso (Figura 16.2-2*b*) se usa la retícula $\times 10$ como máscara. En este caso, la retícula se reduce ópticamente y se aplica directamente sobre la oblea (*paso directo sobre oblea o litografía*, DSW). Para tecnologías pequeñas (2μm) la mayoría de los fabricantes prefieren usar retículas $\times 5$ y $\times 10$ y litografía DSW ya que las dimensiones son mayores que en el caso $\times 1$ y, por ello, son más sencillas de construir.

16.3. LITOGRAFIA

Es el proceso en el que el patrón presente en la máscara se transfiere sobre la oblea. En el primer paso se necesita aplicar una pequeña cantidad de material *fotosensible* sobre la superficie de la oblea y extenderlo para cubrirla por completo; esto se hace con un equipo que permite sostener y girar la oblea. El material fotosensible existe en dos variedades, resina negativa y positiva; al exponerlo a la luz la resina positiva se convierte en soluble ante reveladores químicos mientras que la negativa se convierte en menos soluble ante

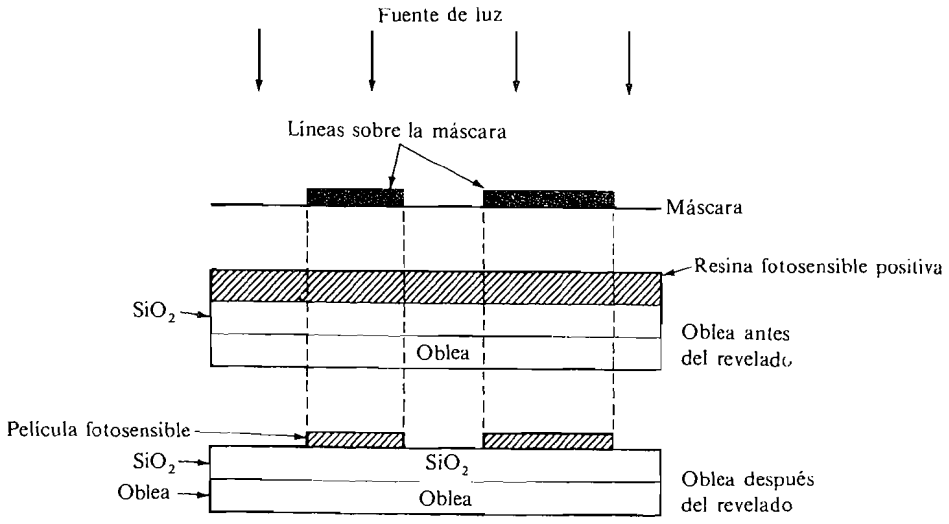


Figura 16.3-1. Ejemplo de exposición de máscaras y revelado empleando resina fotosensible positiva.

estos mismos reveladores. Como la resina positiva alcanza mayor resolución que la negativa se usa con más asiduidad. La Figura 16.3-1 muestra un ejemplo de uso de una *fotorresina positiva*. Como estas resinas positivas se disuelven mucho mejor en las zonas expuestas a la luz a través de la máscara, cualquier línea que ésta tenga se convertirá en una zona en la que queda resina fotosensible después del revelado.

Después, la oblea es expuesta a la luz; las dos técnicas ópticas usadas (*impresión por proximidad* y DSW) emplean luz ultravioleta (UV). En el primer caso, la oblea y la máscara se sitúan sobre un elemento llamado *alineador de proyección*. Por medio de un microscopio, el operario lleva la máscara hasta muy cerca de la oblea (10 a 20μm) y las alinea usando las marcas hechas sobre ambas. Entonces se ilumina la oblea con luz ultravioleta, pasando después a su revelado para eliminar las zonas expuestas a la luz (resina fotosensible positiva). La máscara para este procedimiento tendrá tamaño $\times 1$ y cubrirá completamente la oblea. La resolución del sistema dependerá de la longitud de onda de la luz y de la distancia entre la oblea y la máscara que suele ser del orden de 2 a 4 μm con lo que no sirve en aquellos casos en los que sea necesario un ancho de línea menor de 2 μm.

En el segundo tipo de técnica, DSW, se proyecta sobre el material fotosensible la imagen reducida de un único dado con tamaño de máscara de $\times 5$ ó $\times 10$. En este caso la máscara no está cerca de la oblea sino a unos pocos centímetros. La imagen de la máscara se proyecta después sobre el siguiente dado de la oblea, repitiéndose el proceso varias veces a lo largo de la misma. Este procedimiento permite obtener resoluciones de 0,7 a 1 μm. El precio a pagar por esta mejora es un sistema de proyección más caro que el anterior y como se necesitan proyecciones múltiples, el rendimiento del proceso es menor que en el caso de alineamiento de proyección.

Las técnicas ópticas mejorarán en el futuro permitiendo dispositivos con líneas de 0,5 μm de anchura. Las investigaciones de los laboratorios de AT&T Bell en Murray Hill (New Jersey) sobre la litografía con rayos X se presentan prometedoras para dispositivos de geometrías pequeñas. Los investigadores han diseñado y construido un sistema de exposición de rayos X, con éxito demostrado en transistores con longitudes del canal menores de 0,5 μm. En este sistema se usa la impresión por proyección con rayos X de longitud de onda corta como fuente de energía para la exposición y máscaras de tamaño unidad ($\times 1$).

Una segunda posibilidad para la litografía por debajo de 0,5 μm es la litografía por haz de electrones (e-beam); con este método no se fabrican máscaras: el haz de electrones se usa para grabar directamente (*sistema de grabado directo*, DWS) el patrón sobre la capa fotosensible de la oblea. Con los equipos actuales esta técnica es muy lenta pero futuros avances permitirán conseguir resultados aceptables con los sistemas de grabado directo electrón beam (e-beam).

16.4. ADICION DE MATERIAL

Se usan gran variedad de técnicas para añadir materiales a las obleas durante su procesado; la técnica elegida para un paso determinado es función del material a añadir, de que sea añadido sobre o bajo la superficie, del espesor (si está sobre la superficie) o de la profundidad (si está bajo ésta), de cómo sean de críticas la profundidad, el espesor o las concentraciones, de la máxima temperatura deseable en cada momento del proceso, del rendimiento de la

línea de producción y, por supuesto, del coste del equipo. Se discutirán en diferentes subapartados las siguientes técnicas:

Crecimiento epitaxial
Deposición química en fase vapor a baja presión
Oxidación térmica
Difusión e implantación iónica
Metalización

16.4-1. Crecimiento epitaxial

Los dispositivos CMOS se construyen habitualmente sobre una delgada capa cristalina de silicio que crece, bien sobre la parte superior del sustrato para un elemento CMOS de silicio, bien sobre el sustrato de zafiro en un procedimiento SOS (Silicon-On-Sapphire). Esta fina capa se conoce como capa epitaxial; los componentes se forman sobre ella ya que sus parámetros eléctricos pueden ser controlados más cuidadosamente que los del sustrato. El silicio se desposita sobre el sustrato a alta temperatura (de 1000 a 1200 °C) mediante deposición química en fase vapor a baja presión (LPCVD) en un reactor donde se controlan exhaustivamente tanto los gases para la deposición como los gases de dopado. La reacción completa que se produce usando tetracloruro de silicio ($SiCl_4$) e hidrógeno (H_2) es la siguiente:

$$SiCl_4 + 2H_2 \longrightarrow Si + 4HCl \qquad (16.4\text{-}1)$$

La temperatura de la cámara del reactor y el flujo de gas se controlan cuidadosamente obteniendo como resultado final silicio cristalino sobre la superficie del sustrato y gas HCl de escape. Los dos dopantes introducidos en el reactor son arsénico, para la capa epitaxial (abreviadamente epi) de tipo *n*, y boro para la de tipo *p*. La Figura 16.4-1 muestra las dimensiones del sustrato y de la capa epitaxial.

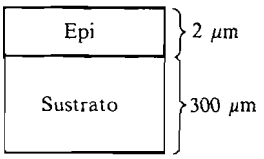


Figura 16.4-1. Dimensiones típicas de epi y sustrato.

16.4-2. Deposición química en fase vapor a baja presión

En varios pasos de la fabricación de circuitos integrados es necesario depositar dióxido de silicio (SiO_2), nitruro de silicio (Si_3N_4) y silicio policristalino (polisilicio). El dióxido de silicio se usa para varios fines: como material de aislamiento entre capas conductoras, como capa de pasivación, como dieléctrico entre la puerta de polisilicio y el canal del semiconductor (óxido de puerta) o como material de aislamiento entre componentes (óxido de campo). Estas aplicaciones aparecen en la sección de un dispositivo de canal *n* en

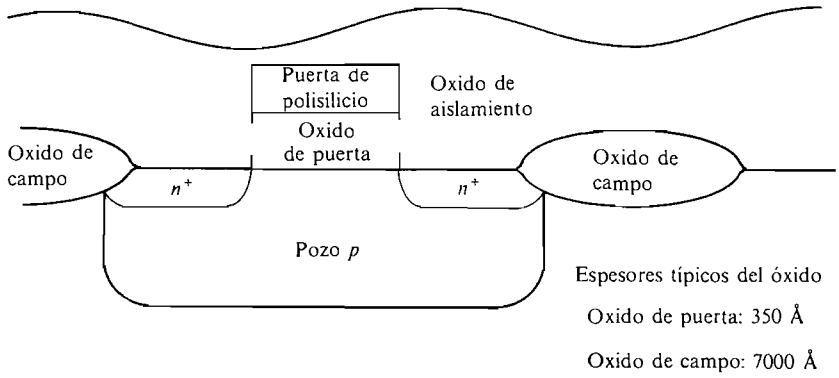


Figura 16.4-2. Sección transversal de un dispositivo de canal *n*.

la Figura 16.4-2. Como el Si_3N_4 se oxida lentamente se emplea para enmascarar determinadas zonas de cara a obtener una capa gruesa de óxido. El polisilicio se utiliza como material de puerta en transistores CMOS y habitualmente se deposita sin dopado. Para dopar se usa la implantación iónica, que se tratará más adelante.

Todos los dieléctricos anteriores se depositan empleando un proceso de deposición química en fase vapor a baja presión (vacío) conocido como proceso LPCVD. Sin embargo, el óxido de puerta y el de campo se hacen crecer normalmente por medio de oxidación térmica; de este proceso se hablará en la Sección 16.4-3.

Un reactor LPCVD consta de una cámara principal para el calentamiento de las obleas a la temperatura deseada, válvulas para la entrada de gases y una bomba de vacío para controlar la presión. Los parámetros que deben regularse son la temperatura, la velocidad del gas y la presión.

El dióxido de silicio puede depositarse por reacción del silano (SiH_4) y el oxígeno (O_2):

$$SiH_4 + O_2 \longrightarrow SiO_2 + 2H_2 \tag{16.4-2}$$

La temperatura típica para esta reacción está entre 400° y 500 °C. De la misma forma, el Si_3N_4 puede depositarse mediante reacción entre el SiH_4 y el amoníaco (NH_3).

La estructura de puerta de polisilicio se deposita también por medio de la técnica LPCVD a temperaturas un poco mayores (de 600° a 650 °C) usando SiH_4 según la siguiente reacción química[1]:

$$SiH_4 \longrightarrow Si + 2H_2 \tag{16.4-3}$$

16.4-3. Oxidación térmica

La oxidación térmica es otra técnica usada para formar capas de SiO_2. En el proceso de deposición, la reacción del silano con el oxígeno produce SiO_2 que se deposita sobre la superficie. Sin embargo, con el procedimiento de oxidación térmica la oblea debe calentarse a alta temperatura (700 a 1300 °C) en presencia de oxígeno; se forma así una capa de SiO_2 con igual espesor por encima que por debajo de la superficie original de silicio. El óxido de campo empleado para aislar los transistores MOS se forma utilizando nitruro de silicio

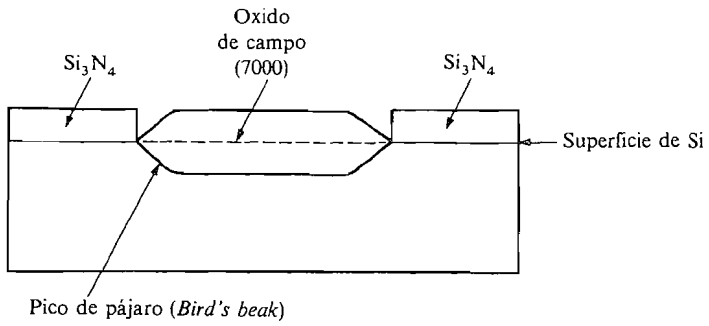


Figura 16.4-3. Oxido de campo formado por oxidación térmica usando una máscara de nitruro.

como máscara tal y como se muestra en la Figura 16.4-3. La zona puntiaguda de SiO_2 que aparece en la sección transversal de la Figura 16.4-3 se llama *pico de pájaro.*

La oxidación térmica se usa también para crear la región de óxido de puerta (muy delgada) que aparecía en la Figura 16.4-2. El espesor y la constante dieléctrica del óxido de puerta tienen repercusión directa en las características del transistor MOS. Si definimos la capacidad de puerta por unidad de área del FET, C_{ox}, como[3]:

$$C_{ox} = \frac{\epsilon_{SiO_2}}{t_{ox}} \tag{16.4-4a}$$

donde ϵ_{SiO_2} es la constante dieléctrica del óxido de puerta y t_{ox} es su espesor, la capacidad de puerta es:

$$C_{puerta} = C_{ox} WL \tag{16.4-4b}$$

donde W es el ancho y L la longitud. Las Ecuaciones (16.1*a*) y (16.1*b*) pueden reescribirse entonces como sigue:

$$i_{DS} = \frac{\mu}{2} C_{ox} \frac{W}{L} [2(v_{GS} - V_{TN})v_{DS} - v_{DS}^2] \tag{16.4-5}$$

$$i_{DS} = \frac{\mu}{2} C_{ox} \frac{W}{L} (v_{GS} - V_{TN})^2 \tag{16.4-6}$$

El efecto de la constante dieléctrica y del espesor del óxido de puerta en la corriente i_{DS}, y por ello, en la velocidad de conmutación, resulta así claro. Para tener un mejor conocimiento de los valores típicos consideraremos el siguiente ejemplo.

EJEMPLO 16.4-1

Comparar los valores de C_{ox} para dos procesos de fabricación CMOS con espesores de óxido de 400 Å y 250 Å. Suponer

$$\epsilon_{SiO_2} = 3{,}45 \times 10^{-11} \text{ F/m}$$

Solución

Usando (16.4-4)

$$C_{ox}(400\ \text{Å}) = \frac{3{,}45 \times 10^{-11}\ \text{F/m}}{400 \times 10^{-10}\ \text{m}} = 8{,}6 \times 10^{-4}\ \text{F/m}^2$$

$$= 8{,}6 \times 10^{-4}\ \text{pF}/\mu\text{m}^2 \qquad (16.4\text{-}7)$$

$$C_{ox}(250\ \text{Å}) = \frac{3{,}45 \times 10^{-11}\ \text{F/m}}{250 \times 10^{-10}\ \text{m}} = 13{,}8 \times 10^{-4}\ \text{pF}/\mu\text{m}^2 \qquad (16.4\text{-}8)$$

donde 1 $\mu\text{m}^2 \triangleq 10^{-12}\ \text{m}^2$. Hay que destacar que como la corriente drenaje-fuente i_{DS} usada en (16.4-5) y (16.4-6) es directamente proporcional a C_{ox}, el dispositivo con menor espesor de óxido de puerta consumirá 1,6 veces más corriente suponiendo constantes los demás parámetros.

Hay que señalar además que sería recomendable tener una buena técnica de control del proceso para asegurar la repetibilidad de los parámetros (en este caso, el espesor de óxido de puerta) de uno a otro lote.

16.4-4. Difusión e implantación iónica

El proceso de difusión e implantación iónica se usa para formar la base de los transistores bipolares y las zonas de drenador y fuente de los transistores MOS. La implantación iónica también se emplea para ajustar la tensión umbral de las zonas del canal.

La *difusión* es un proceso en el que los átomos de silicio del cristal que forma el sustrato se reemplazan por átomos del material de dopado (arsénico para el tipo *n* y boro para el tipo *p*). Es necesario calentar las obleas para obtener la energía suficiente que permita que algunos átomos de silicio dejen su lugar en la estructura cristalina y creen un *lugar vacío* que pueda ser cubierto con otro átomo de silicio o de material de dopado, siempre que estos últimos estén disponibles.

La *implantación iónica* es la técnica más común de obtención de átomos de dopado para el proceso de difusión. Proporciona un método a baja temperatura que consigue dosis muy controladas (de 10^{14} a 10^{21} átomos/cm^3) de átomos de dopado. Un sistema de implantación iónica cuyo coste sea de unos 750 000 dólares, acelera los iones para el dopado por medio de un campo eléctrico de alta energía (500 keV) suministrándoles energía suficiente para penetrar por debajo de la superficie de la oblea hasta una profundidad máxima de 1 a 2 micras (10 000 a 20 000 Å). Donde sólo se necesite una pequeña profundidad de implantación, este paso debe ir seguido de un paso de recocido (calentamiento) para reparar el daño producido en la estructura cristalina por el bombardeo de los átomos de impurezas. Si la temperatura de recocido es bastante alta y se mantiene mucho tiempo se produce la difusión. Así, la implantación de baja profundidad se realiza en dos pasos: implantación iónica y recocido a baja temperatura. Para implantaciones profundas (> 1 ó 2 μm) se emplea como segundo paso una difusión de mayor duración a mayor temperatura que permitirá a los átomos de impurezas alcanzar mayor profundidad en el sustrato.

La profundidad de la implantación iónica es función del potencial de aceleración y de la masa de los iones de impurezas, mientras que la profundidad de la difusión es función de la temperatura y de la duración del proceso de difusión.

Otra aplicación importante de la implantación iónica es ajustar la tensión umbral de los transistores MOS, V_{TN} [ver (16.4-2) y (16.4-3)][4]. La tensión umbral sube cuando decrece la concentración de impurezas y baja al aumentar la profundidad de la implantación.

16.4-5. Metalización

En esta subsección determinaremos las características de la capacidad y resistencia generadas por la interconexión entre los transistores de un chip. En los circuitos integrados MOS esta interconexión se consigue mediante alguno de los siguientes métodos:

1. 1 nivel de polisilicio + 1 nivel de metal
2. 1 nivel de polisiliciuro +1 nivel de metal.
3. 2 niveles de metal

Desde el punto de vista del proceso, la interconexión sería tan simple como un nivel más de polisilicio (*poly*, para abreviar), que es el mismo material empleado para la puerta del transistor, y un nivel de metal. Esto supone algo más de procesado ya que el polisilicio se deposita a la vez que se forma la puerta de los MOS. Sin embargo, la resistividad del polisilicio es tres órdenes de magnitud mayor que la resistividad del metal (por ejemplo, aluminio). Cuando los canales de los transistores eran grandes (bajas velocidades de conmutación de las puertas) y los dados pequeños (interconexionado corto) el poly y el metal se usaban con asiduidad.

Cuando la longitud de los canales se redujo a 2 μm y el tamaño de los dados comenzó a crecer por encima de las 250 milipulgadas de lado, los tiempos de retardo debidos a la alta resistividad del poly empezaron a ser comparables a la velocidad de las puertas para interconexiones cortas y a superar los retardos de puerta en interconexiones largas. En ese momento se introdujeron los polisiliciuros para la puerta de los transistores y el primer nivel de interconexión. Junto con el polisilicio, pueden depositarse metales como el platino (Pt), el titanio (Ti) o el tántalo (Ta) formando polisiliciuros (PtSi, TiSi, TaSi) cuya *resistividad es un orden de magnitud menor que la del polisilicio.*

Con *dos niveles de metalización* se consigue el mínimo retardo de interconexión pero se requieren más pasos de procesado. En la vista seccionada de la Figura 16.4-4 el primer nivel se sitúa sobre el chip después de las puertas de polisilicio, aislándose de la puerta de poly (debajo) y del segundo nivel de metal (arriba) mediante SiO_2. La conexiones entre el metal del nivel 1 y el polisilicio o difusión se llaman *cortes de contacto*; el conexionado entre los niveles 1 y 2 de metal se realiza por medio de aberturas llamadas *vías huecas* que son atacadas (véase Sec. 16.5) a través del SiO_2 (sobre el metal 1) antes de la deposición del nivel 2 de metal.

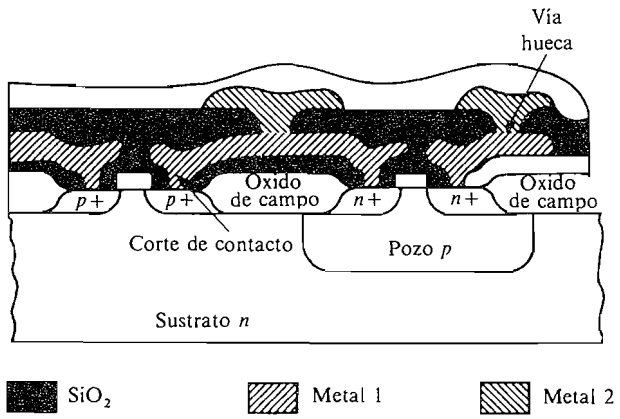


Figura 16.4-4. Sección transversal con dos niveles de metalización.

Tabla 16.4-1. Resistencia de los materiales en interconexión MOS típica

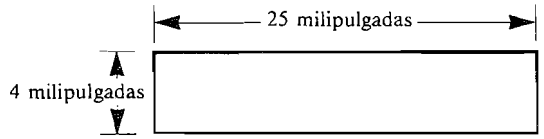
□	Resistencia
Polisilicio	30-100 Ω/□
Polisiliciuro	3-10 Ω/□
Metal	0,03 Ω/□

Resistencia. La resistividad de los tres materiales usados en el conexionado varía ampliamente tal y como muestra la Tabla 16.4-1. Esta resistividad se especifica en ohmios por cuadrado (Ω/□). Para calcular la resistencia de una interconexión entre dos elementos mediante estas especificaciones sólo se necesita conocer la vista superior del material ignorando su espesor pues la resistividad se especifica por unidad de sección vertical. Este aspecto se ilustra mejor con el siguiente ejemplo.

EJEMPLO 16.4-2

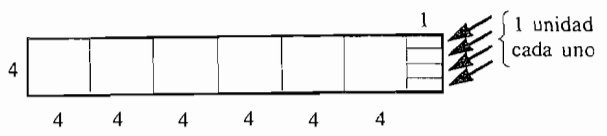
Calcular la resistencia de la siguiente interconexión para polisilicio y metal:

$$R_{poly} = 50\ \Omega/\square \qquad R_{metal} = 0{,}03\ \Omega/\square$$

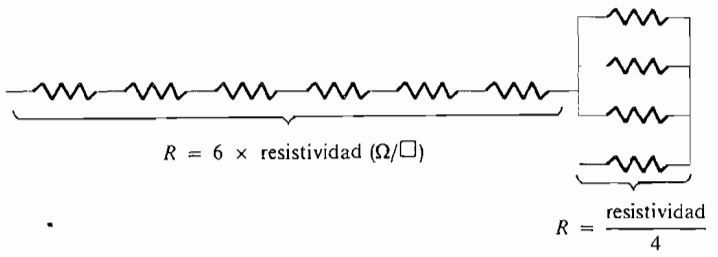


Solución

Redibujamos la interconexión de arriba como seis cuadrados de 4 × 4 milipulgadas y cuatro de 1 × 1 milipulgadas como se muestra abajo:



Prescindiendo del tamaño de los cuadros, la resistencia es la misma. Podemos dibujar el circuito equivalente para esta interconexión:



$$R_{\text{interconexión de metal}} = (6 \times 0{,}03) + (0{,}03/4) = 0{,}109\ \Omega$$

$$R_{\text{interconexión de poly}} = (6 \times 50) + (50/4) = 312{,}5\ \Omega$$

Capacidad. Consideremos ahora la capacidad asociada a las interconexiones en el chip. La capacidad es más una función del dieléctrico situado entre el conductor y el sustrato que del material del conductor. Cuando las interconexiones discurren en canales, como en el caso de los gate-arrays (véase Cap. 17), el único material entre el primer nivel de metal y el sustrato es el óxido de campo como se muestra en la Figura 16.4-5. Si el espesor del óxido de campo es de 8000 Å (0,8 μm), la capacidad por μm^2 de la interconexión puede calcularse mediante (16.4-4); en el caso del Ejemplo 16.4-1 será,

$$\begin{aligned} C_{ox} &= \frac{3{,}45 \times 10^{-11}\ \text{F/m}}{8 \times 10^{-7}\ \text{m}} \\ &\simeq 4{,}3 \times 10^{-5}\ \text{F/m}^2 \qquad (\text{F/m}^2 = \text{pF}/\mu\text{m}^2) \\ &= 4{,}3 \times 10^{-5}\ \text{pF}/\mu\text{m}^2 \end{aligned} \tag{16.4-9}$$

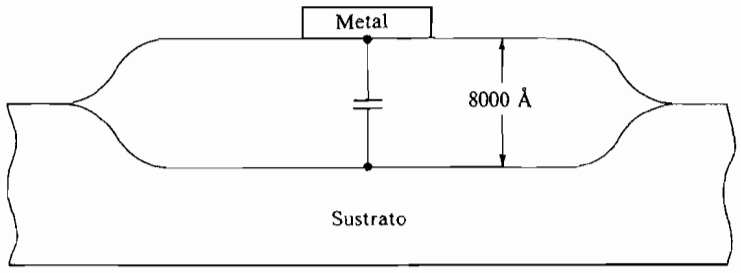


Figura 16.4-5. Capacidad de la metalización con rutas sobre el óxido de campo.

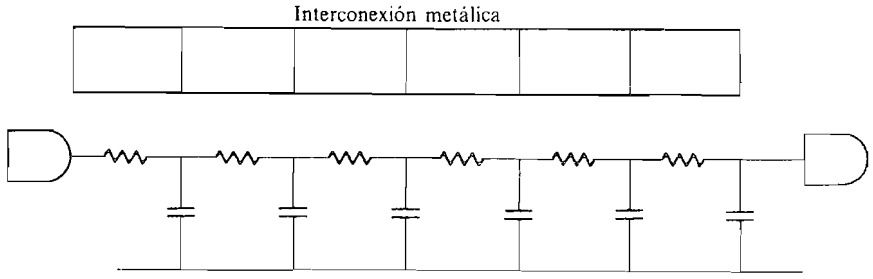
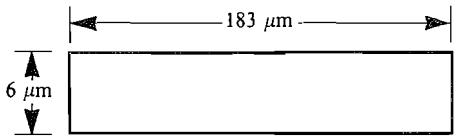


Figura 16.4-6. Red *RC* distribuida de la conexión metálica.

Considerando la capacidad y la resistencia de las interconexiones en el chip parece claro que las interconexiones entre transistores se parecen a líneas con redes *RC* distribuidas tal y como aparece en la Figura 16.4-6. Como la longitud eléctrica de estas líneas es pequeña comparada con las velocidades de los flancos de las puertas MOS, la línea se tratará como una carga *RC* adicional. Para una mejor comprensión de las magnitudes de estos parámetros, consideremos el siguiente ejemplo.

EJEMPLO 16.4-3

(*a*) Calcular la constante de tiempo *RC* para el primer nivel de interconexión de metal que aparece abajo, cuyo recorrido transcurre en un canal donde el espesor del óxido es de 7000 Å.



(*b*) Calcular la constante de tiempo *RC* si la interconexión es de polisiliciuro en lugar de metal.

(*c*) Calcular la constante de tiempo *RC* para el poly.

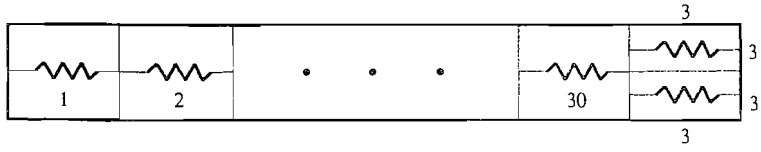
Solución

(*a*) Primero calcularemos la capacidad por micra cuadrada ($C/\mu m^2$) usando (16.4-9)

$$C/\mu m^2 = \frac{3{,}45 \times 10^{-11}\ \text{F/m}}{7 \times 10^{-7}\ \text{m}} = 0{,}49 \times 10^{-4}\ \text{pF}/\mu m^2$$

La resistencia se calculará a partir de la figura tal y como sigue. Dividimos la resistencia en:

Treinta resistencias en serie de 6×6 μm
Dos resistencias de 3×3 μm en paralelo



Usando el valor de resistividad de 0,03 Ω/□ de la Tabla 16.4-1

$$R = (30 \times 0{,}03\ \Omega) + \left(\frac{0{,}03\ \Omega}{2}\right) = 0{,}9 + 0{,}015 = 0{,}915\ \Omega$$

Vemos en la figura que la capacidad C tiene un área igual a $6 \times 183 = 1098\ \mu m^2$. Así, $C = 0{,}49 \times 10^{-4} \times 1098 = 0{,}054$ pF.

$$RC = 0{,}915\ \Omega \times 0{,}054\ \text{pF} = 0{,}05\ \text{ps}$$

(*b*) Usando el mismo valor de capacidad que en el apartado (*a*) ($C = 0{,}054$ pF) calcularemos ahora la resistencia empleando el valor de resistividad de 3 Ω/□.

$$R = (30 \times 3) + 3/2 = 91{,}5\ \Omega$$
$$RC = 91.5 \times 0{,}054\ \text{pF} = 4{,}95\ \text{ps}$$

(*c*) Si se usa el mismo valor de capacidad que en el apartado (*a*) ($C = 0{,}054$ pF) y como la resistividad del poly (Tabla 16.4-1) es aproximadamente 10 veces mayor que la del polisiliciuro:

$$RC = RC\ \text{siliciuro} \times 10$$
$$= 4{,}95 \times 10 = 49{,}5\ \text{ps}$$

Deposición de metal. El proceso más común para depositar metal sobre la superficie de un sustrato se denomina pulverización (*sputtering*). En este proceso se aceleran iones de argón mediante una diferencia de potencial para bombardear el objetivo que es el material a depositar. Los átomos situados cerca de la superficie del objetivo se liberan depositándose sobre el sustrato.

16.5. ELIMINACION DE MATERIAL

Según se ha comentado en la Sección 16.4-2 se depositan una gran variedad de materiales como óxido de silicio (SiO_2), nitruros y polisilicio por medio de deposición química en fase vapor (CVD). Durante estos procesos el material se deposita a lo largo de toda la superficie de la oblea y, por lo tanto, debe eliminarse de aquellos lugares donde no deba estar. La eliminación de un determinado material de un lugar se denomina atacado o grabado (*etching*), proceso que se usa asiduamente en la eliminación de diversos materiales

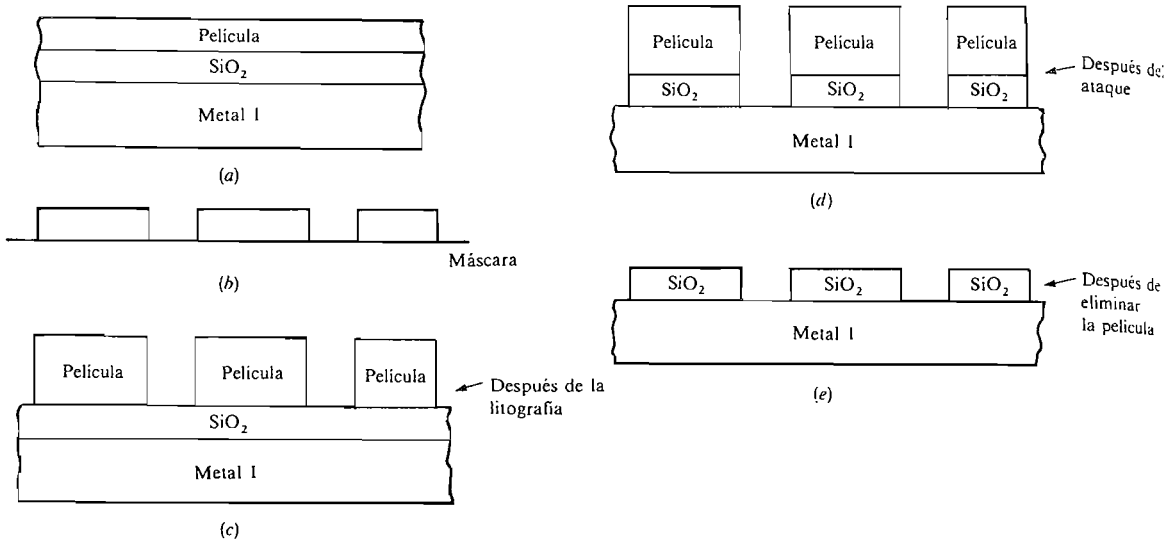


Figura 16.5-1. Eliminación de material por litografía y grabado. (*a*) Vista transversal de partida; (*b*) máscara; (*c*) después de la litografía; (*d*) después del atacado; (*e*) después de la eliminación del material fotosensible.

durante el procesado de circuitos integrados. El papel que juegan la litografía y el atacado en la eliminación de material aparece en la Figura 16.5-1; en ella se muestra una oblea recubierta de material fotosensible. En este ejemplo, los huecos, denominados vías, están grabados en el SiO_2 que se había depositado previamente sobre el metal 1 para actuar como aislante entre los metales 1 y 2. Estas vías deben ser grabadas en el SiO_2 en aquellos lugares donde se requieran conexiones entre los niveles de metal. En este proceso se usa material fotosensible positivo. Después de la proyección de luz y del revelado (litografía) las zonas de material fotosensible que hayan sido expuestas a la luz se eliminan (Figura 16.5-1*b* y *c*) dejando libres las áreas en las que el SiO_2 va a ser eliminado por atacado. La finalidad del paso de atacado es eliminar el SiO_2 en las zonas libres de película fotosensible dejando así al descubierto el nivel 1 de metal. La capacidad del paso de atacado de eliminar sólo un determinado material se denomina *selectividad*. El resultado del paso de atacado aparece en la Figura 16.5-1*d* mientras que la Figura 16.5-1*e* muestra el resultado final después de eliminar el material fotosensible. Seguidamente se tratarán los dos tipos de atacado: el *seco* y el *húmedo*.

16.5-1. Atacado húmedo

Tras la litografía, en el atacado húmedo se sumerge la oblea en un baño líquido que contiene una sustancia capaz de disolver *sólo* el material objeto y no el de los alrededores. En la Figura 16.5-1 el material objeto es el SiO_2 y el atacante químico no debe reaccionar con el metal 1 ni con el material fotosensible. Según el material a eliminar y el material subyacente se emplean gran variedad de agentes químicos y de materiales fotosensibles. La Figura 16.5-2 ilustra el problema del ataque lateral *undercutting*, que limita la aplicación

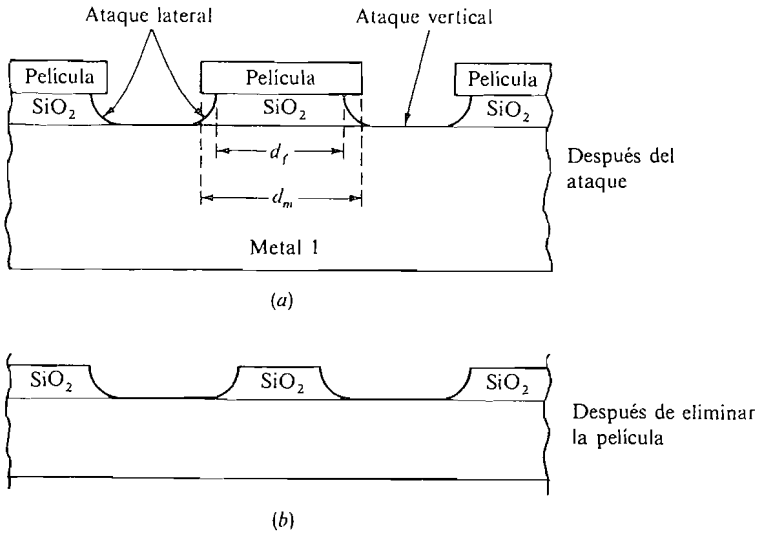


Figura 16.5-2. Ataque lateral como resultado del ataque húmedo. (*a*) Después del ataque; (*b*) después de eliminar la película.

del atacado húmedo a tamaños mayores de 2 μm; en esta figura el ataque lateral, que se refiere al ataque del SiO_2 situado debajo de la resina, se llama sesgo de atacado (*etch bias*) y se define como sigue:

$$\text{Bias} = d_f - d_m \tag{16.5-1}$$

donde d_f y d_m aparecen en la Figura 16.5-2*a*

Los términos de ataque *isótropo* y *anisótropo* se usan para describir las fronteras superior e inferior del *grado de anisotropía* A_f, que se define mediante la siguiente ecuación[1]:

$$A_f = 1 - \frac{V_L}{V_v} \tag{16.5-2}$$

donde V_L es la velocidad de atacado lateral y V_v la de atacado vertical.

Cuando V_L es igual a V_v tenemos $A_f = 0$. Es lo que se conoce como atacado isotrópico dando lugar al tipo de atacado de la Figura 16.5-2*a*. Aunque el atacado isotrópico se define cuando $A_f = 0$, en la industria se emplea este término para cualquier proceso de atacado con un grado importante de ataque lateral prescindiendo de que $V_L = V_v$. Como quiera que el ataque húmedo da lugar siempre a algo de ataque lateral, aquel es conocido como proceso isotrópico de atacado.

Cuando $V_L = 0$ o muy pequeña en comparación con V_v, el proceso se define como anisótropo y da lugar a características similares a las de la Figura 16.5-1*e*. El ataque seco, que se analizará luego, produce estos resultados lo que es muy importante para fabricar circuitos integrados con tamaños menores de 2 μm.

16.5.2. Atacado seco

La técnica de atacado seco supone la formación, a partir de un gas inerte, de iones y átomos que reaccionan sólo con el material objeto del atacado formando un gas que puede, entonces, ser extraído de la cámara del reactor. Para comprender cómo puede ocurrir considérese qué sucede cuando se sitúa un gas en un tubo y se aplica alta tensión a los terminales situados en sus extremos. En estas condiciones se produce una «descarga luminosa» (o plasma) que ioniza parcialmente el gas pasando a contener igual número de cargas positivas que negativas, así como un determinado número de moléculas no ionizadas. En el atacado seco se usa Si y, como gas inerte para provocar la descarga, CF_4, que no reacciona con el silicio más que a alta temperatura; este compuesto contiene átomos de flúor que reaccionan con el Si formando gas SiF_4 [1].

Se han desarrollado una variedad de equipos auxiliares para mejorar el atacado seco. Uno de los elementos del equipo es un sistema de ataque por plasma con placas en paralelo en el que las obleas se sitúan horizontalmente sobre el electrodo inferior; este electrodo está puesto a masa mientras que el electrodo superior se excita con señales de radio-frecuencia tal y como aparece en la Figura 16.5-3. Los reactivos de plasma provocan paredes muy verticales según se muestra en la Figura 16.5-1*e*.

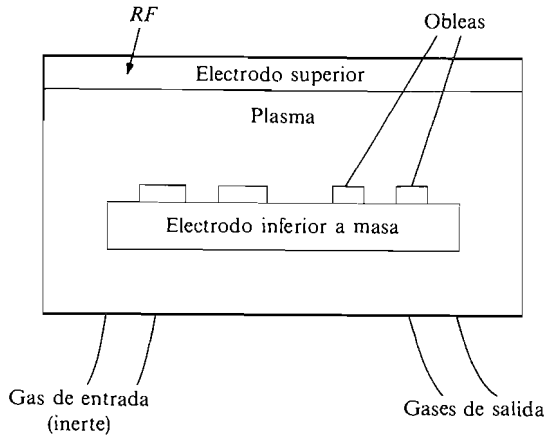


Figura 16.5-3. Sistema de ataque por plasma mediante placas paralelas.

16.6. FABRICACION DE CIRCUITOS CMOS

En esta sección se explica el uso de las técnicas discutidas hasta aquí para fabricar un transistor de canal *n* y otro de canal *p*, necesarios para formar un circuito integrado CMOS. La finalidad de esta sección es mostrar cómo se ordenan los distintos pasos de fabricación y cómo muchas de las técnicas se repiten varias veces durante un ciclo de fabricación. Cada uno de los pasos descritos aparece desde la Figura 16.6-1*a* hasta la Figura 16.6-1*o*. El material de partida para el proceso son las obleas de silicio en las que ya se ha hecho crecer una capa epitaxial de tipo *n* y una capa de SiO_2 (Fig. 16.6-1*a*). Como los transistores se fabrican en la capa epitaxial, el sustrato de silicio se ha omitido en los siguientes pasos que aparecen en la Figura 16.6-1.

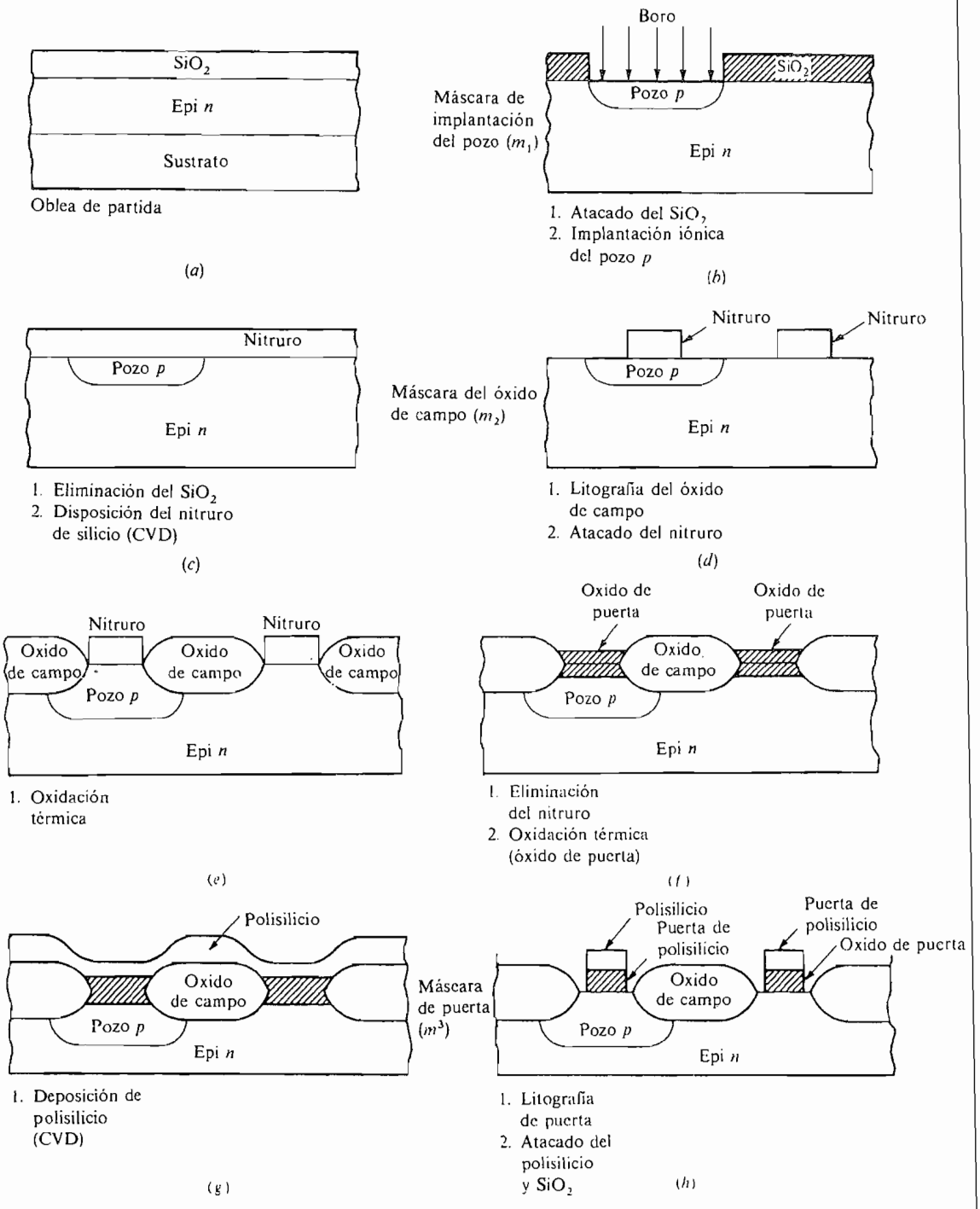


Figura 16.6-1. Pasos típicos en la fabricación CMOS.

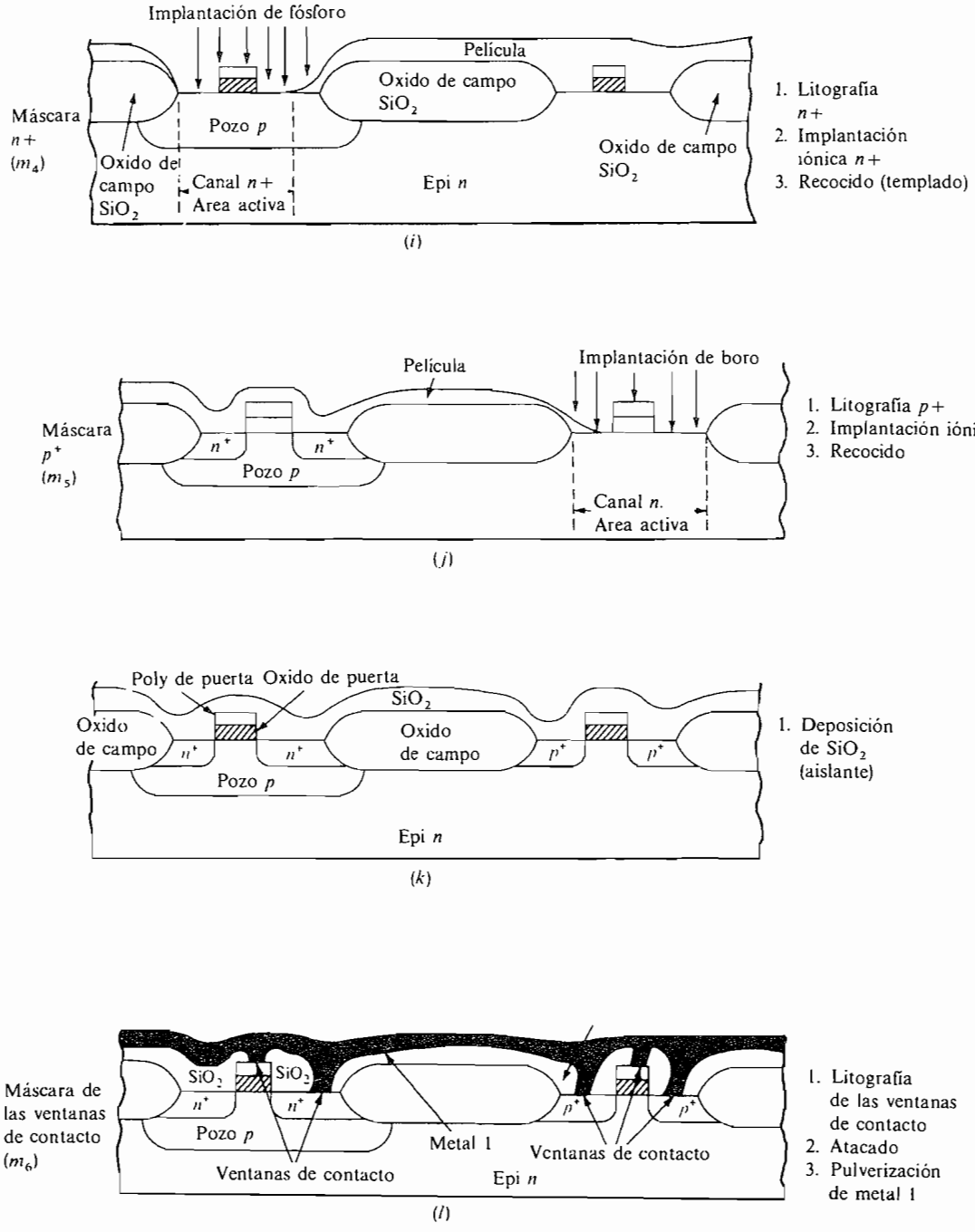


Figura 16.6-1. (*Continuación.*)

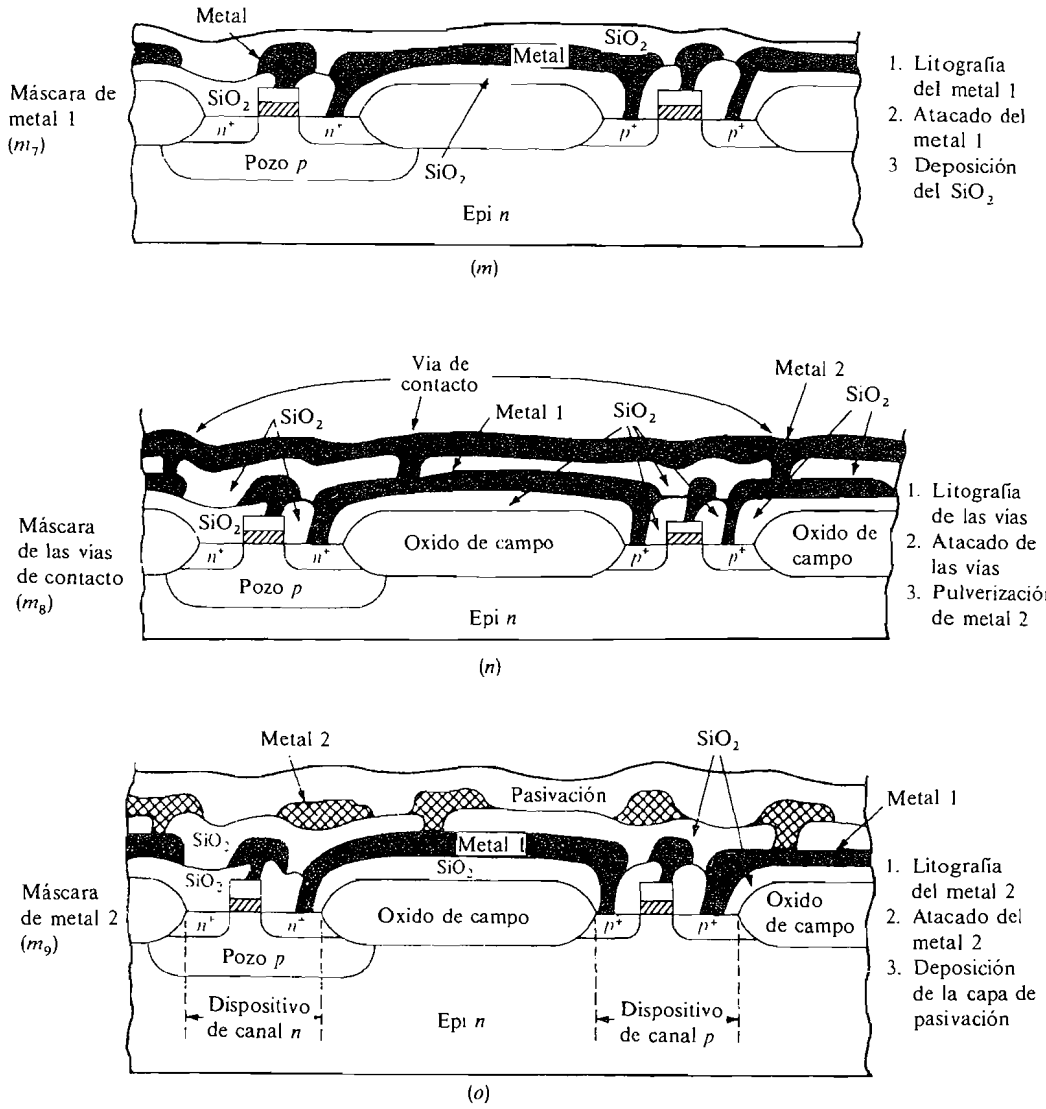


Figura 16.6-1. (*Continuación.*)

La primera operación es abrir ventanas en el SiO_2 y formar un pozo p en la capa epitaxial n (Fig. 16.6-1*b*). El pozo p es donde se realizará el transistor de canal n, mientras que los transistores de canal p se formarán directamente sobre la capa epitaxial n. La realización de un pozo p precisa litografía y ataque para abrir ventanas en el SiO_2, e implantación iónica y recocido para formar el pozo p. Después de formado, el SiO_2 que actuó como máscara para la implantación iónica se retira depositándose una capa de nitruro de silicio (Si_3N_4) por medio de CVD como se observa en la Figura 16.6-1*c*. Después se atacará la capa de Si_3N_4 (Fig. 16.6-1*d*), que actuará como máscara para la formación del óxido de campo empleando oxidación térmica, tal y como se indica en la Figura 16.6-1*e*.

Después de formadas las regiones de óxido de campo se elimina (atacado) la máscara de nitruro y se realiza una segunda oxidación térmica para crear la fina capa de óxido de puerta (Fig. 16.6-1*f*) que cubrirá toda la zona en que se van a formar los transistores *p* y *n*; entonces, se deposita polisilicio por medio de la técnica CVD a lo largo y ancho de la oblea (Fig. 16.6-1*g*). La máscara de puerta se usa para modelar el polisilicio (litografía) que va a ser atacado (Fig. 16.6-1*h*). En este paso se eliminarán tanto el polisilicio como el óxido de puerta, dejándolos sólo donde interese, creando así la estructura de puerta de ambos transistores. Las regiones $n+$ de drenaje y fuente de todos los transistores de canal *n* se formarán ahora; esto se consigue cubriendo toda la oblea con material fotosensible y usando la máscara $n+$ y la litografía para abrir una ventana en toda la zona activa de los transistores de canal *n* como muestra la Figura 16.6-1*i*. Con el poly de puerta haciendo de máscara en la zona *p* se efectúa una implantación iónica con fósforo (o arsénico); implantación que no penetrará en el poly de puerta ni en la región de óxido de puerta del pozo *p*, obligando a que las regiones de drenaje y fuente estén en el pozo *p* entre el poly de puerta de un lado y el campo de óxido del otro (Fig. 16.6-1*i*). Del mismo modo, usando la máscara $p+$, implantación iónica de boro y recocido (templado), se forman las zonas de fuente y drenaje de los dispositivos de canal *p* (Fig. 16.6-1*j*); la sección transversal resultante se muestra en la Figura 16.6-1*k*.

Hasta aquí se han realizado los transistores de canal *n* y *p* y sólo queda la interconexión de los dispositivos que consistirá en un doble nivel de metalización. Se deposita SiO_2 sobre toda la oblea para actuar como aislante (Fig. 16.6-1*k*) y se abren ventanas usando litografía y atacado siguiendo con el pulverizado (*sputtering*) del primer nivel de metalización sobre toda la oblea (Fig. 16.6-1*l*). Este primer nivel se modela por litografía y atacado dejando detrás las conexiones del nivel 1 de metalización. A esto le sigue la deposición de una segunda capa de aislamiento de SiO_2 (Fig. 16.6-1*m*). Las vías son modeladas y atacadas continuando con el pulverizado del segundo nivel de metal sobre todo la oblea (Fig. 16.6-1*n*). Después se usa la máscara de metal 2 para modelar el metal por litografía y atacado (Fig. 16.6-1*o*). El procesado de la oblea está completo salvo por la capa de pasivación, habitualmente SiO_2 dopado con fósforo (cristal *p*); esta capa se deposita dobre toda la oblea actuando como un sello o precinto de la parte superior de la oblea (Fig. 16.6-1*o*). Esta capa de pasivación se modelará ahora creando las ventanas para los pad de conexión de manera que los hilos conecten el dado con el encapsulado por soldadura (*bonded*).

16.7. TEST DE LA OBLEA, SEPARACION Y ENCAPSULADO

Después de haber atacado la capa de pasivación para dejar al descubierto los pad de conexión de todos los dados, cada uno de éstos es testeado por una máquina automática. El equipo de test de la oblea tiene microsondas de prueba que pueden colocarse con precisión en los pad de cada dado; el dado es testeado usando los *vectores de test*, que consisten en una secuencia de tensiones de entrada, estímulos (para los pad de entrada del dado) y resultados de tensión de salida esperados (para los pad de salida del dado) que han sido previamente generados por el ingeniero de diseño. Si el dado pasa todos los vectores de test, es decir todas las salidas proporcionan resultados correctos para todos los estímulos de entrada, entonces las puntas de prueba pasan al siguiente dado aplicándole nuevamente todos los vectores de test, proceso que se repite hasta que todas los dados han sido testeados.

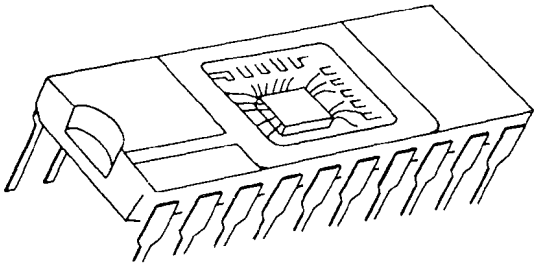


Figura 16.7-1. Hilos de conexión desde el dado hasta los contactos del encapsulado.

El dado que falla el test se marca con tinta. Como este equipo de test está totalmente controlado por computador es posible, para una línea de producción de obleas, completar más de 16 000 vectores de test para cada dado en cuestión de minutos.

Después de comprobar la oblea se completa el proceso de fabricación cortando la oblea mediante un trazador de diamante y rompiéndola en dados individuales de la misma forma en que se corta un trozo de cristal mediante un trazo con diamante y se rompe

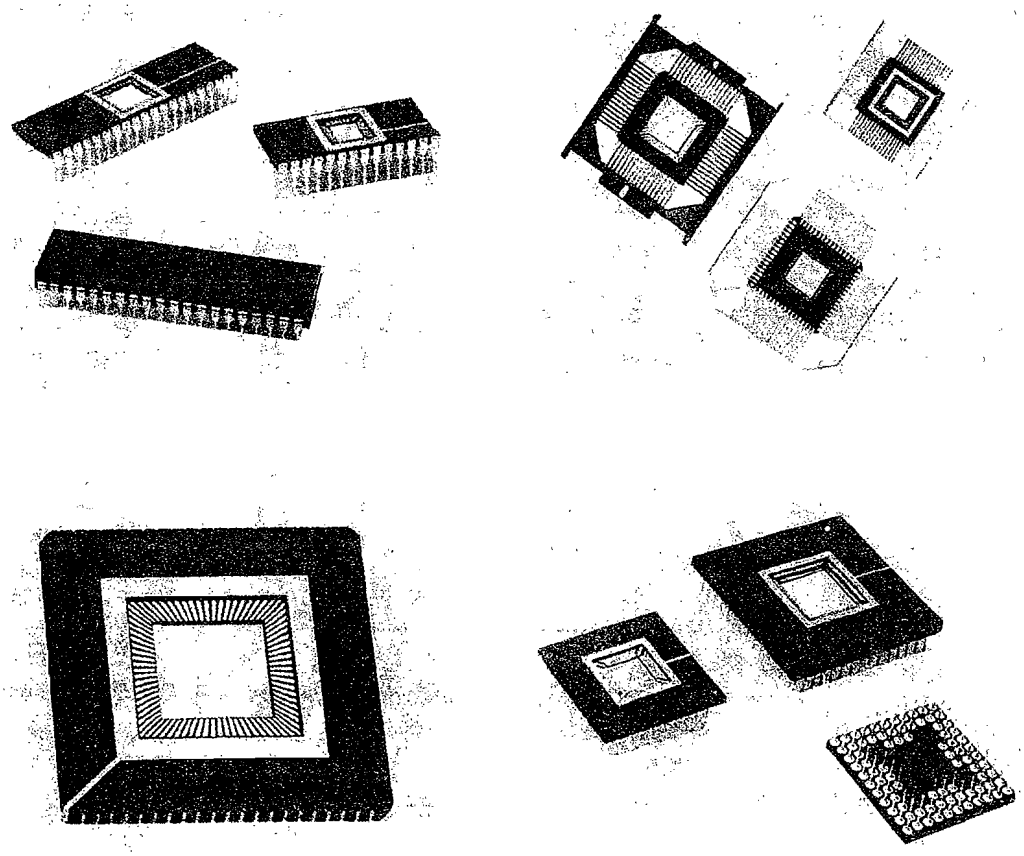


Figura 16.7-2. Tipos de integrados. (*Reimpreso con permiso de LSI Logic Corporation.*)

Lado aproximado (in)	Area (in^2)	Tamaño del conjunto de pines	Número de filas anidadas								
			1	2	3	4	5	6	7	8	9
1,0	1,00	10 × 10	36	64	84	96	100	—	—	—	—
1,1	1,21	11 × 11	40	72	96	112	120	121	—	—	—
1,2	1,44	12 × 12	44	80	108	128	140	144	—	—	
1,3	1,69	13 × 13	48	88	120	144	160	168	169	—	—
1,4	1,96	14 × 14	52	96	132	160	180	192	196		
1,5	2,25	15 × 15	56	104	144	176	200	216	224	225	
1,6	2,56	16 × 16	60	112	156	192	220	240	252	256	
1,7	2,89	17 × 17	64	120	168	208	240	264	280	288	289
1,8	3,24	18 × 18	68	128	180	224	260	288	308	320	324

Figura 16.7-3. Encapsulados PGA habituales. (*Reimpreso con permiso de LSI Logic Corporation.*)

siguiendo la línea trazada. Los dados buenos, esto es, aquéllos no marcados con tinta, se colocan en un encapsulado apropiado para circuitos integrados. Finalmente se sueldan hilos de oro entre los pad de conexión del dado y los puntos de contacto del encapsulado como se muestra en la Figura 16.7-1.

Normalmente se dispone de una gran variedad de encapsulados para circuitos integrados. Los más habituales son el encapsulado plano DIP (*dual-in-line flat packs*), el LCC (*leadless chip carriers*) y el PGA (*pin grid arrays*) que se pueden observar en la Figura 16.7-2. Cuando se necesitan muchos pines de entrada/salida (I/O) se usa el PGA que es el que facilita la mayor cantidad de pines en la mínima área. La Figura 16.7-3 da una lista de los tamaños de PGA más populares.

16.8. RENDIMIENTO DEL PROCESO

El rendimiento de una línea de procesado de circuitos integrados se define como sigue:

$$Y = \frac{\text{Número bueno del dado}}{\text{Número total del dado procesado}} \tag{16.8-1}$$

Los dos factores que más contribuyen al rendimiento de la línea de procesado de integrados son la madurez de la línea y el tamaño del dado. Cuando se establece una nueva línea de procesado el rendimiento tiende a ser muy bajo pero cuanto más circuitos integrados se produzcan el rendimiento crecerá. Esta subida no es un accidente de las leyes físicas sino el

resultado de cuidadosas medidas y del análisis de los ingenieros de proceso que determinan qué paso es el causante del bajo rendimiento. Este proceso de «enriquecimiento del rendimiento» se repite hasta que se consiga un valor aceptable. La siguiente expresión da un modelo muy popular para el rendimiento que se ha estado usando durante muchos años:

$$Y = e^{-AD} \tag{16.8-2}$$

donde A es el área del dado y D la *densidad de defectos* de la línea de procesado. La densidad de defectos del proceso, D, se obtiene de (16.8-2) empleando el rendimiento observado definido por (16.8-1) y el tamaño del dado A. Una vez establecida la densidad de defectos para una línea de fabricación, el rendimiento para un tamaño determinado de dado puede predecirse empleando (16.8-2) cuyo uso se ilustra en el siguiente ejemplo.

EJEMPLO 16.8-1

Si una línea de procesado tiene una densidad de defectos de 5 defectos/cm^2 calcular el rendimiento previsto para un dado cuadrado de 200, 250 y 300 milipulgadas.

Solución

$$D = 5 \text{ defectos/cm}^2 \times 6{,}45 \text{ cm}^2/\text{in}^2 = 32{,}25 \text{ defectos/in}^2$$
$$A_1(200 \text{ milipulgadas}) = 0{,}04 \text{ in}^2$$
$$A_2(250 \text{ milipulgadas}) = 0{,}0625 \text{ in}^2$$
$$A_3(300 \text{ milipulgadas}) = 0{,}09 \text{ in}^2$$
$$Y(200) = e^{-AD} = e^{-(0{,}04)(32{,}25)} = 27{,}6\%$$
$$Y(250) = e^{-(0{,}0625)(32{,}25)} = 13{,}4\%$$
$$Y(300) = e^{-(0{,}09)(32{,}25)} = 5{,}5\%$$

Aunque la Ecuación (16.8-2) ha sido muy popular y funciona bien para dados de pequeño tamaño, cuando el área es mayor ($AD \gg 1$), (16.8-2) da valores de rendimiento menores que los observados. La Ecuación (16.8-2) supone una distribución de defectos uniforme a lo largo de la oblea pero se han desarrollado ecuaciones de rendimiento para distintas distribuciones no uniformes de defectos en la misma[1]. Una de las ecuaciones que más precisamente predice el rendimiento para los dados grandes ($AD \gg 1$) es la siguiente:

$$y = \frac{1}{2DA} \tag{16.8-3}$$

Para ver cómo difieren significativamente las Ecuaciones (16.8-2) y (16.8-3) para tamaños de dado grandes, consideremos el siguiente ejemplo.

EJEMPLO 16.8-2

Calcular el rendimiento esperado usando (16.8-2) y (16.8-3) para un dado que tenga un área de 400 × 400 milipulgadas, suponiendo una densidad de defectos de 5 defectos/cm^2 (32,25 defectos/in^2).

Solución

$$D = 32{,}25 \text{ defectos/in}^2$$

$$A = (0{,}400)^2 = 0{,}16 \text{ in}^2$$

$$Y = e^{-AD} = e^{-5.16} = 0{,}58\% \qquad (16.8\text{-}2)$$

$$Y = \frac{1}{2DA} = \frac{1}{2(5{,}16)} = 9{,}69\% \qquad (16.8\text{-}3)$$

Cuando se planea la producción de integrados de aplicación específica (circuitos integrados diseñados a medida para una aplicación específica) donde la cantidad necesaria puede ser de algunos miles de unidades, el rendimiento esperado y el tamaño del dado son parámetros muy importantes, y se emplean para calcular el coste y el número de obleas de partida que se necesitan para obtener los integrados finales. Para comprender mejor este aspecto consideremos el siguiente ejemplo.

EJEMPLO 16.8-3.

Calcular el número de obleas de las que debemos partir para producir 10 000 integrados que funcionen correctamente mediante la línea de procesado y el integrado siguientes:

1. Tamaño del dado: 450 × 450 milipulgadas.
2. Densidad de defectos de la línea de procesado: 4 defectos/cm^2.
3. Tamaño de la oblea: 6 pulgadas.

Solución

Primero calcularemos el rendimiento esperado usando (16.8-3):

$$Y = \frac{1}{2DA}$$

$$A = 0{,}203 \text{ in}^2$$

$$D = 4 \times 6{,}45 \text{ cm}^2/\text{in}^2 = 25{,}8 \text{ defectos/in}^2$$

$$Y = \frac{1}{10{,}47} = 9{,}5\%$$

Entonces, usando (16.2-1) para calcular el número de dados por cada oblea de 6 pulgadas:

$$\text{Dados/oblea} = \frac{\pi r^2}{A} - 1{,}77\,\frac{D}{\sqrt{A}} \qquad (16.2\text{-}1)$$

$r = 3$ pulgadas
$D = 6$ pulgadas
$A = 0{,}450 \times 0{,}450 = 0{,}203$ pulgadas^2

$$\text{Dados/oblea} = \frac{\pi(3)^2}{0{,}203} - \frac{1{,}77(6)}{0{,}45} = 115$$

Finalmente, calcularemos el número de obleas de partida:

$$\text{Número de obleas} = \frac{\text{(IC necesarios)}}{\text{(rendimiento)(dados/oblea)}} = \frac{10\,000}{(0{,}095)(115)} = 916 \text{ obleas}$$

Hay que señalar que si la densidad de defectos fuera 0, es decir, suponemos un rendimiento perfecto, el número de obleas de partida sería de 10 000/115 = 87.

16.9. DISPERSION DEL PROCESO

Como se dijo en la Sección 16.8, los circuitos integrados se producen en lotes de 50 a 200 obleas con unos 100 dados por oblea (depende del tamaño del dado y de la oblea). Como todos estos circuitos han pasado por todos los pasos del proceso a la vez, las mismas condiciones de temperatura, presión, concentraciones de dopadores, etc., sólo habrá pequeñas variaciones en sus propiedades eléctricas dentro del mismo lote. Sin embargo, hay grandes variaciones entre las propiedades eléctricas de circuitos de lotes diferentes. Aunque todo el equipamiento está construido bajo especificaciones muy estrictas, todos los parámetros del proceso (temperatura, presión, tiempo, etc.) tienen tolerancias aceptables. Por ello, mientras que el porcentaje de desviación de un proceso es muy pequeño, el efecto acumulado de todos sus pasos puede convertirse en significativo. Esta variación en los parámetros eléctricos debida a las variaciones del proceso se conoce como *dispersión del proceso* de un parámetro dado. Por ejemplo, con chips de memoria estándar, la dispersión del proceso se manifiesta mediante una práctica común a todos los fabricantes que clasifican las memorias en función del tiempo de acceso a una dirección, t_{acc}. Cada chip se comercializa con varias opciones para una referencia particular, con las opciones rápidas vendidas a mayor precio. Este aspecto se muestra para varias memorias en la Figura 16.9-1.

Las propiedades eléctricas tales como el tiempo de acceso para las memorias y los tiempos de retardo para lógica combinacional (puertas, registros, multiplexadores, etc.) tienden a seguir una distribución normal cuando se dibujan para varios lotes. Del mismo modo siguen una distribución normal para cada uno de los lotes individuales; sin embargo, como podría esperarse, la desviación estándar de un lote único es mucho menor tal y como puede verse en la Figura 16.9-2.

Número de referencia	Tiempo de acceso a una dirección (máx.) ns
IMS 1600-45	45
IMS 1600-55	55
IMS 1600-70	70

(*a*)

Número de referencia	Acceso a una dirección (máx.) ns	Lectura/modificación/escritura (mín.) ns
IMS 2801-60	32	60
IMS 2801-80	43	80
IMS 2801-100	53	100
IMS 2901-120	60	120
IMS 2801-150	75	150

(*b*)

Figura 16.9-1. Memorias comerciales clasificadas y comercializadas de acuerdo con su velocidad: (*a*) RAM estática CMOS INMOS 64K × 1; (*b*) RAM dinámica CMOS INMOS 256K × 1.

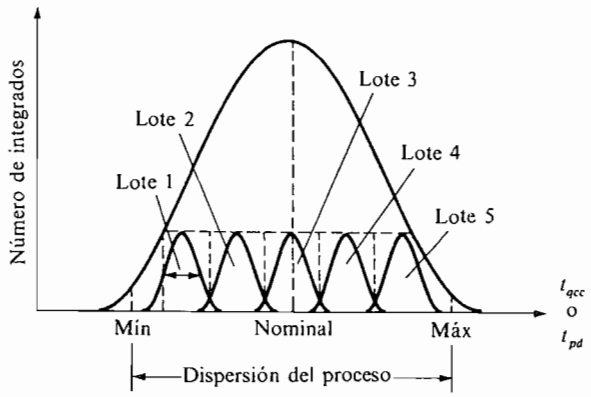


Figura 16.9-2. Dispersión del proceso y lotes de uno a otro extremo.

Para integrados de aplicación específica la desviación del proceso se especifica como un porcentaje del retardo de propagación nominal (típico). Los tiempos de propagación mínimo y máximo (t_{pd}) se calculan de la forma que sigue:

$$t_{pd,\,\text{mín}} = t_{pd,\,\text{nominal}} \times (1 - P) \tag{16.9-1}$$

$$t_{pd,\,\text{máx}} = t_{pd,\,\text{nominal}} \times (1 + P) \tag{16.9-2}$$

donde P es la desviación del proceso, que toma un rango habitual entre el 25 y el 40 por 100. El factor de multiplicación de la desviación del proceso, K_P, se define como:

$$K_P = 1 + P \tag{16.9-3}$$

Así, el máximo retardo de propagación debido a la dispersión del proceso es:

$$t_{vd,\,máx} = K_P t_{pd,\,nominal} \tag{16.9-4}$$

Para considerar el efecto de semejantes desviaciones del proceso en el retardo de propagación veamos el siguiente ejemplo.

EJEMPLO 16.9-1

Suponiendo que el valor de t_{pd} para una puerta de dos entradas con una carga típica es de 4 ns, calcular los valores de $t_{pd,\,mín}$ y $t_{pd,\,máx}$ para una línea de fabricación con un 25 por 100 de desviación del proceso y otra con el 40 por 100.

Solución

25 por 100 de desviación:

$$t_{pd,\,mín} = 4 \times (1 - 0{,}25) = 3 \text{ ns}$$
$$t_{pd,\,máx} = 4 \times (1 + 0{,}25) = 5 \text{ ns}$$

40 por 100 de desviación:

$$t_{pd,\,mín} = 4 \times (1 - 0{,}4) = 2{,}4 \text{ ns}$$
$$t_{pd,\,máx} = 4 \times (1 + 0{,}4) = 5{,}6 \text{ ns}$$

El efecto de la desviación del proceso en el diseño del sistema se discutirá más a fondo en el Capítulo 17.

16.10. EFECTOS DE LA TEMPERATURA Y LA TENSION

En circuitos integrados de aplicación específica (ASIC) CMOS los fabricantes especifican los tiempos de propagación nominales en función del número de cargas y/o de la carga capacitiva, para una tensión de alimentación de +5 V y 25 °C de temperatura en la unión, tal y como se muestra en la Figura 16.10-1. La temperatura de la unión se refiere a la temperatura realmente experimentada por los transistores dentro del encapsulado del integrado. Las tablas y gráficos son suministrados por el fabricante para calcular los tiempos de propagación para diferentes tensiones y temperaturas de la unión.

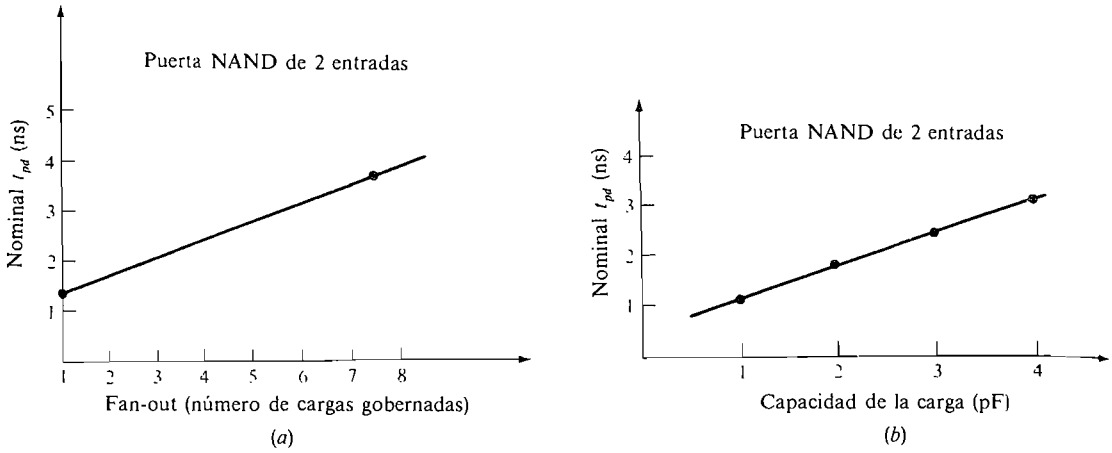


Figura 16.10-1. Retardo de propagación nominal en función de: (*a*) número de cargas; (*b*) capacidad de la carga.

16.10-1. Temperatura en la unión

Para calcular la temperatura de la unión de un integrado refrigerado al aire es necesario conocer la temperatura del aire, su velocidad y la conductividad térmica del encapsulado. La temperatura del aire y su velocidad son propiedades del encapsulado del sistema y la conductividad térmica la da el propio fabricante. La conductividad térmica, θ_{ja}, se expresa en grados centígrados por watio y es función de la velocidad del aire en el ambiente. Este dato se suministra como una curva del tipo de la que aparece en la Figura 16.10-2. Conociendo la información anterior la temperatura de la unión puede calcularse mediante la siguiente ecuación:

$$T_j = T_a + \theta_{ja} P_d \tag{16.10-1}$$

donde T_j = temperatura de la unión
T_a = temperatura ambiente
θ_{ja} = conductividad térmica (°C/W)
P_d = potencia disipada (W)

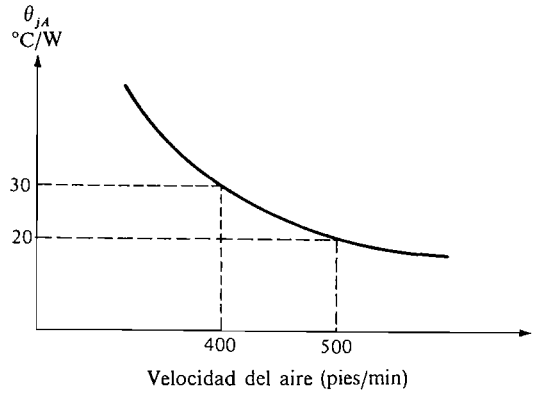


Figura 16.10-2. Curva típica de la resistividad térmica en función del flujo de aire.

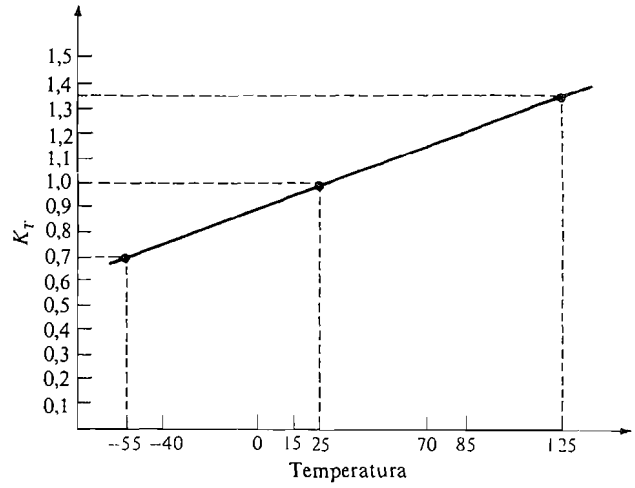


Figura 16.10-3. Efecto de la temperatura de la unión sobre el retardo de propagación de las puertas CMOS. (*Reimpreso con permiso de LSI Logic Corporation.*)

El efecto de la temperatura en el tiempo de propagación de puertas CMOS es lineal como se muestra en la Figura 16.10-3, que suele normalizarse para 25 °C ya que es la temperatura nominal para la que se especifica el tiempo de propagación de puerta. Una vez que la temperatura prevista en la unión ha sido calculada, la constante de multiplicación de temperatura, K_T, puede tomarse de la Figura 16.10-3. El tiempo de propagación nominal se multiplicará por este factor para obtener el valor a la temperatura de trabajo.

16.10-2. Variación de tensión

El efecto de la subida de tensión es la reducción del retardo de propagación de la puerta tal y como aparece en la Figura 16.10-4. El descenso es exponencial en un amplio rango de tensiones (2 a 6 V) según se muestra en la Figura 16.10-4*a*, mientras que en torno al valor

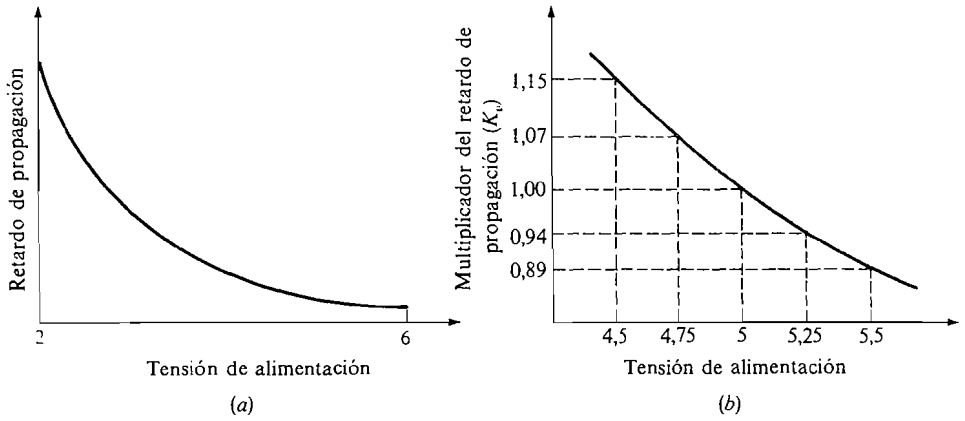


Figura 16.10-4. Retardo de propagación en función de la tensión. (*Reimpreso con permiso de LSI Logic Corporation.*)

nominal de 5 V ± 10 por 100 el descenso es aproximadamente lineal (Fig. 16.10-4*b*). Esta figura ha sido normalizada para 5 V, con lo que el factor multiplicador K_V para otras tensiones de trabajo se puede leer directamente de la Figura 16.10-4*b*.

16.10-3. Peor caso para el retardo de propagación

Lo que más concierne a los diseñadores es el retardo de propagación en el *peor de los casos*; para calcularlo el diseñador del sistema debe tener en cuenta:

El peor caso (el más lento) del procesado del circuito integrado.
La máxima temperatura prevista en la unión.
La tensión mínima de trabajo.

Obtener este peor caso requiere el uso de la información de las Secciones 16.9 y 16.10. Esto se ilustra mejor con un ejemplo del mundo real.

EJEMPLO 16.10-1

Calcular el retardo de propagación en el peor caso para una puerta NAND de dos entradas con una carga 5 pF bajo las siguientes condiciones. Suponer que el retardo de propagación a +5 V con $T_j = 25$ °C y una carga de 5 pF es de 4 ns, y

$T_a = 25$ °C con aire circulando a 400 pies/minuto.
θ_{ja} para el encapsulado = 30 °C/W.
Dispersión del proceso para la línea de fabricación: ±30 por 100.
Tensión de trabajo: 5 V ± 10 por 100.

Solución

Primero calcularemos la temperatura de la unión usando (16.10-1):

$$\begin{aligned} T_j &= T_a + \theta_{ja}P_d \\ &= 25\ ^\circ\text{C} + (30\ ^\circ\text{C/W})(1{,}5\ \text{W}) \\ &= 70\ ^\circ\text{C} \end{aligned}$$

El factor de retardo debido a la temperatura de 25 °C se obtiene de la Figura 16.10-3. El resultado es $K_T \simeq 1{,}14$. Como el retardo de propagación sube cuando baja la temperatura, el valor límite inferior (4,5 V) de la tensión de la fuente de alimentación será el que se use para calcular el peor caso; el factor de multiplicación correspondiente a 4,5 V se obtiene de la Figura 16.10-4*b* y $K_V = 1{,}15$.

Como la dispersión del proceso es, según se especifica, del 30 por 100 el peor caso (el integrado más lento) tendrá 1,3 veces el valor nominal de 4 ns.

Finalmente, el peor caso del factor de multiplicación para este ejemplo puede calcularse:

$$K_{\text{peor caso}} = K_{\text{proceso}} \times K_{\text{temp}} \times K_{\text{tensión}} = K_P K_T K_V$$

Y, de aquí:

$$K_{\text{peor caso}} = 1{,}3 \times 1{,}14 \times 1{,}15 = 1{,}7$$

Por lo que el retardo en el peor caso es:

$$\begin{aligned} t_{pd,\text{ caso peor}} &= t_{pd,\text{ nominal}} \times K_{\text{peor caso}} \\ &= 4 \text{ ns} \times 1{,}7 \\ &= 6{,}79 \text{ ns} \end{aligned}$$

Cuando se emplean circuitos integrados de aplicación específica, el peor caso del factor de multiplicación está en el rango de 1,7 para aplicaciones comerciales (70 °C, 4,75 V) a 2,2 para las aplicaciones militares (125 °C, 4,5 V).

16.11. LEYES DE ESCALADO

En 1974, cuando la longitud típica de los canales era de 5μm , Robert H. Dennar *et al.*[4] escribieron un artículo que sirvió como anteproyecto para la fabricación de dispositivos de 1 μm del canal. Este artículo, ya clásico, afirmaba: «para diseñar un nuevo dispositivo capaz de tener un menor valor de longitud del canal L, el dispositivo debe diseñarse a escala mediante transformación de tres variables: dimensión, tensión y dopado». El artículo introduce un factor adimensional de escalado K, por el que se divide cada dimensión, incluyendo las verticales como el espesor de óxido de puerta y la profundidad de la unión, para obtener las nuevas. Por ejemplo, si L es la antigua longitud del canal, K el factor de escalado y L' la nueva longitud del canal, entonces

$$L' = L \times \frac{1}{k} \tag{16.11-1}$$

Parámetros del dispositivo	Factor de escala
Dimensiones lineales	$1/k$
Concentración de dopado	k
Tensión de trabajo	$1/k$

(*a*)

Parámetros del dispositivo	Factor de escala
Corriente I	$1/k$
Capacidad	$1/k$
Tiempo de retardo VC/I	$1/k$
Disipación de potencia VI	$1/k^2$
Densidad de potencia VI/A	1

(*b*)

Figura 16.11-1. (*a*) Reglas del escalado de dispositivos; (*b*) características del dispositivo en función del escalado.

De la misma forma, la tensión de trabajo del dispositivo se reduce en el mismo factor por lo que la nueva tensión es igual a la antigua dividida por K. Finalmente, las concentraciones de impurezas del sustrato deben *incrementarse* en el factor K por lo que el nuevo dopado será el anterior *multiplicado* por K. Las tres reglas para el escalado del dispositivo aparecen resumidas en la Figura 16.11-1*a*.

Si los tres parámetros de dimensión, tensión y dopado se escalan como en la Figura 16.11-1*a*, las características del nuevo dispositivo pueden precedirse tal y como aparece en la Figura 16.11-1*b*. La corriente del dispositivo escalado es la antigua dividida por K; este resultado puede calcularse usando (16.1*a*) y (16.1*b*) que muestran las corrientes de los dispositivos en la zona lineal y en la de saturación, respectivamente. Usando (16.1*b*), que se reescribe por conveniencia, i'_{DS} puede calcularse en función de i_{DS}:

$$i_{DS} = k_n(v_{GS} - V_{TN})^2$$

donde

$$k_n = \frac{\mu\epsilon W}{2tL} \tag{16.11-2}$$

Sustituyendo

$$W' = \frac{W}{k} \qquad L' = \frac{L}{k} \qquad t' = \frac{t}{k} \qquad v' = \frac{v}{k}$$

resulta

$$i'_{DS} = \frac{\mu\epsilon(W/k)}{2(t/k)(L/k)} \times \left[\frac{v_{GS} - V_{TN}}{k}\right]^2 \tag{16.11-3}$$

$$i'_{DS} = \frac{\mu\epsilon W}{2tL} \times k \times (v_{GS} - V_{TN})^2 \times \frac{1}{k^2} \tag{16.11-4}$$

Por tanto

$$i'_{DS} = \frac{i_{DS}}{k} \tag{16.11-5}$$

La capacidad de puerta de un transistor MOS viene dada por la siguiente ecuación:

$$C_{\text{puerta}} = \frac{\epsilon(W \times L)}{t} \tag{16.11-6}$$

donde W = ancho de puerta
L = longitud de puerta
t = espesor de óxido de puerta

Por tanto, si todas las dimensiones se escalan en el factor K, entonces:

$$C'_{\text{puerta}} = \frac{\epsilon(W/k \times L/k)}{t/k} \tag{16.11-7}$$

$$C'_{\text{puerta}} = \frac{\epsilon(W \times L)}{t} \times \frac{1}{k} = \frac{C_{\text{puerta}}}{k} \tag{16.11-8}$$

Habiendo calculado i'_{DS} y C'_{puerta}, los parámetros restantes de tiempo de retardo, disipación de potencia y densidad de potencia pueden calcularse como muestran las ecuaciones de la Figura 16.11-1*b*. El siguiente ejemplo ilustra el uso de estas leyes de escalado.

EJEMPLO 16.11-1

Considerar un ASIC que tenga las siguientes características:

1. Dimensión mínima: 2 μm.
2. Número de puertas: 10 000.
3. Retardo de puerta: 2 ns
4. Disipación de potencia: 1 W
5. Tamaño del dado = 300 × 300 milipulgadas.

Si este mismo ASIC fuera rediseñado y fabricado empleando una línea de fabricación capaz de tener una dimensión mínima de 1,25 μm, usando las leyes de escalado, predecir:

1. Tamaño del dado.
2. Retardo típico de puerta (t_{pd}).
3. Disipación de potencia.

Solución

Primero calculamos K, como sigue:

$$k = \frac{\text{antiguo tamaño mínimo}}{\text{nuevo tamaño mínimo}} = \frac{2{,}0\ \mu\text{m}}{1{,}25\ \mu\text{m}} = 1{,}6$$

El tamaño del dado puede calcularse ahora:

$$\text{Tamaño del dado}' = \text{tamaño del dado} \times \frac{1}{k} =$$

$$= \frac{300}{1{,}6} = 187 \text{ milipulgadas de lado}$$

El nuevo tiempo de propagación t'_{pd} se calcula seguidamente:

$$t'_{pd} = t_{pd} \times \frac{1}{k} = \frac{2 \text{ ns}}{1{,}6} = 1{,}25 \text{ ns}$$

Finalmente, la disipación de potencia P_D es:

$$P'_D = P_D \times \frac{1}{k^2} = \frac{1 \text{ W}}{(1{,}6)^2} = 0{,}39 \text{ W}$$

16.12. LATCH-UP (ENCLAVAMIENTO)

Con el término latch-up se hace referencia al camino de baja impedancia automantenido entre la tensión de alimentación V_{DD} (+5 V) y masa que se forma a causa de los transistores bipolares parásitos vertical y lateral inherentes a la estructura de la mayor parte de los integrados CMOS[1,3,6,7]. La Figura 16.12-1 muestra el diagrama de un circuito inversor CMOS con su sección transversal y con los transistores superpuestos. El circuito equivalente del camino de baja impedancia aparece en la Figura 16.12-2. El transistor *npn* vertical se forma con la fuente *n* del dispositivo de canal *n*, su pozo *p* y el sustrato de tipo *n*. De la misma forma, el transistor *pnp* lateral consta del drenaje *p* del dispositivo de canal *p*, el sustrato *n* y el pozo *p*.

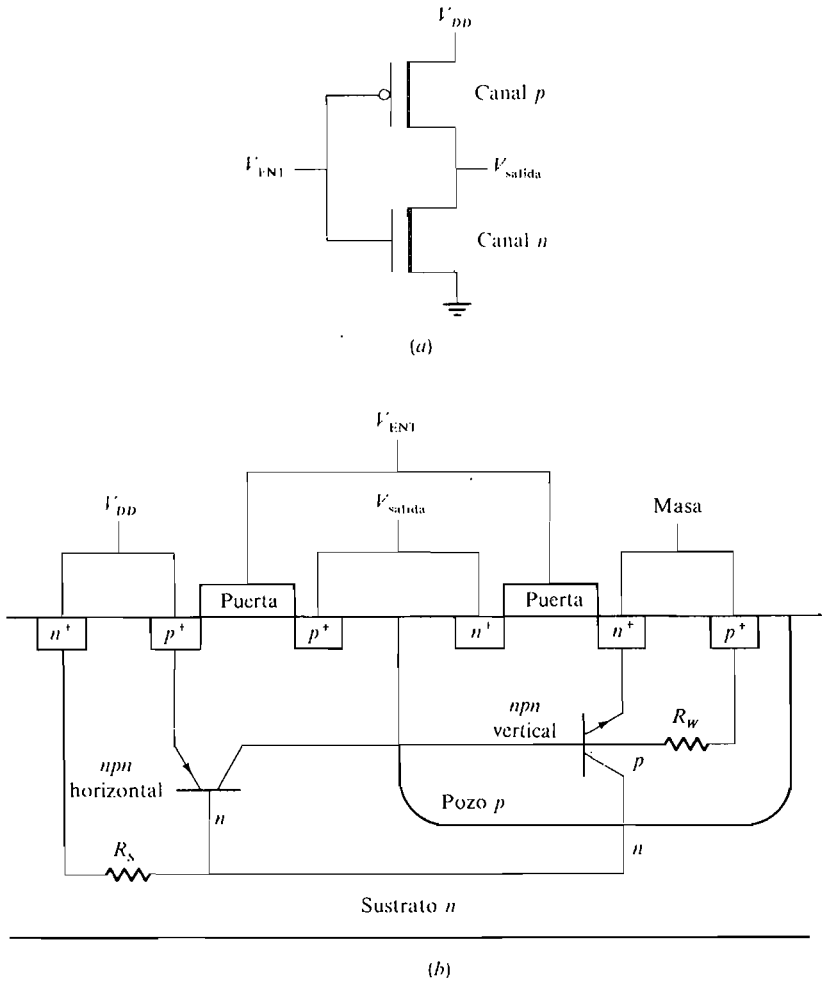


Figura 16.12-1. (*a*) Circuito inversor CMOS; (*b*) sección transversal de un inversor CMOS con los transistores parásitos *pnp* y *npn*.

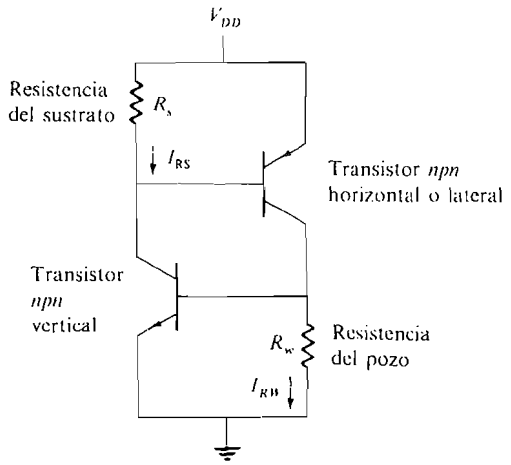


Figura 16.12-2. Circuito equivalente del latch-up (enclavamiento) de los transistores parásitos.

Aunque no se hará un análisis profundo del circuito de la Figura 16.12-2, puede verse que si los transistores se ponen en conducción y la ganancia en lazo cerrado del circuito es superior a 1, que es el caso habitual, existirá un camino de baja impedancia automantenido entre V_{DD} y masa. En el mejor de los casos puede eliminarse este camino apagando y encendiéndo el circuito, pero en la mayoría de los casos de latch-up la corriente suele ser suficiente para provocar un daño irreversible en el integrado. El latch-up recibió mucha atención durante la primera mitad de los años ochenta y ahora se toman muchas precauciones para minimizar la posibilidad de que aparezca. Las precauciones consisten en determinadas técnicas de fabricación que intentan, primero, prevenir el latch-up manteniendo valores muy bajos para R_s y R_w y, después, a nivel de sistema, evitar grandes variaciones de V_{DD} (respecto a masa) durante el funcionamiento del circuito.

Con respecto al proceso CMOS presentado en la Sección 6.6, puede verse que los transistores se fabricaron en la capa epitaxial mejor que en el sustrato. Su finalidad es reducir la componente R_s del circuito de enclavamiento (latch-up) controlando cuidadosamente la resistividad de la capa epitaxial, cuyas propiedades se controlan más fácilmente que las del sustrato. Usar la capa epitaxial es la técnica más común y más sencilla para la protección contra el latch-up. Una segunda técnica consiste en proveer la conexión del sustrato a V_{DD} y del pozo p de todas las puertas a masa. El efecto es minimizar la distancia desde la base del transistor parásito a V_{DD} y masa, asegurando de ese modo bajas R_s y R_w. La tercera técnica de fabricación es un pozo p retrógrado (tratado por Robert D. Rung *et al*[8]). El resultado de tal técnica es reducir la profundidad y la difusión lateral del pozo p mientras se aumenta su dopado reduciendo la resistencia del pozo R_w.

Los circuitos integrados CMOS de entrada/salida necesitan prevenir especialmente el latch-up ya que las corrientes que deben absorber y proporcionar son mayores y el ambiente del sistema con el que deben interaccionar, más ruidoso. Una técnica normal es situar un anillo alrededor del pozo p y conectarlo a masa. El propósito de este anillo es reducir R_w y proporcionar caminos cortos hasta masa desde todos los puntos del pozo.

REFERENCIAS

1. S. M. Sze, «VLSI Technology», McGraw-Hill, New York, 1983.
2. M. Phister, Jr., «Technology and Economics: Integrated Circuit Manufacturing Cost», *Computer Design*, octubre 1979, págs. 34-42.
3. L. Glasser y D. Dobberpuhl, «Design and Analysis of VLSI Circuitry», Addison-Wesley, Reading, Mass., 1985.
4. R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassours y A. LeBlanc, «Design of Ion-Implemented MOSFETs with Very Small Psysical Dimensions», *IEEE Journal of Solid State Circuits*, vol SC-9, núm. 5, octubre 1974, págs. 256-267.
5. M P. Lepselter, D. S. Alles, H. J. Levinstein, G. E. Smith y H. A. Watson, «A System Approach to 1 μm NMOS», *Proceedings of the IEEE*, vol. 71, núm. 5, mayo 1983.
6. A. Ochoa, W. Dawes y D. Estreich, «Latch-up Control in CMOS Integrated Circuits», *IEEE Transactions on Nuclear Science*, vol. NS-26, núm. 6, diciembre 1979, págs. 5065-5068.
7. J. E. Schroeder, A. Ochoa y P. V. Dressendorfer, «Latch-up Elimination in Bulk CMOS LSI Circuits», *IEEE Transactions on Nuclear Science*, vol. NS-27, núm. 6, diciembre 1980, págs. 1735-1738.
8. R. D. Rung, C. J. Dell'Oca y L. G. Walker, «A Retrograde *p*-well for Higher Density CMOS», *IEEE Transactions on Electron Devices*, vol. ED-28, núm. 10, octubre 1981, págs. 1115-1119.

PROBLEMAS

16.2-1. Para cada uno de los tamaños del dado, calcular el número de dados en un lote de 50 obleas de 6 pulgadas y en un lote de 50 obleas de 8 pulgadas.
(*a*) 250 × 250 milipulgadas.
(*b*) 8 × 8 mm.
(*c*) 450 × 450 milipulgadas.
(*d*) 1 × 1 cm.

16.2.2. Repetir el Problema 16.2-1 para lotes de 100 obleas.

16.2-3. Repetir el Problema 16.2-1 para lotes de 200 obleas.

16.2-4. Suponiendo un rendimiento del 22 por 100, ¿de cuántos lotes de 20 obleas se debe partir para fabricar 5000 dados con funcionamiento correcto de tamaños como los del Problema 16.2-1 para obleas de 6 pulgadas?

16.2-5. Suponiendo un rendimiento del 50 por 100, ¿de cuántos lotes de 50 obleas se debe partir para producir 10 000 dados que funcionen correctamente con tamaños como los del Problema 16.2-1 si el tamaño de la oblea es de 8 pulgadas de diámetro?

16.4-1. Calcular el valor C_{ox} de un transistor CMOS con cada uno de los siguientes espesores de óxido de puerta:
(*a*) 200 Å.
(*b*) 300 Å.
(*c*) 350 Å.
(*d*) 600 Å.
Suponiendo constantes todos los parámetros, ¿cuál de los anteriores transistores tendrá la mayor corriente drenaje-fuente (i_{DS}) y cuál la menor i_{DS}?

16.4-2. Repetir el problema 16.4-1 para los siguientes espesores de óxido de puerta:
(*a*) 250 Å.
(*b*) 450 Å.

(*c*) 650 Å.
(*d*) 150 Å.

16.4-3. Calcular la capacidad por micra cuadrada de una interconexión metálica para gate-array y en el caso en que el metal se sitúe en un canal de conexión con un espesor de óxido de 8000 Å.

16.4-4. Repetir el Problema 16.4-3 para un espesor de óxido del canal de conexión de 6000 Å.

16.4-5. Calcular la resistencia total de la interconexión de la Figura P16.4-5 para:
(*a*) Metal (suponiendo 0,03 Ω/□).
(*b*) Polisilicio (suponiendo 50 Ω/□).
(*c*) Polisiliciuro (suponiendo 5 Ω/□).

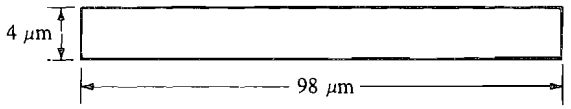


Figura P16.4-5.

16.4-6. Repetir el Problema 16.4-5 para la siguiente interconexión:

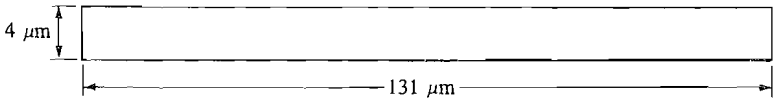


Figura P16.4-6.

16.4-7. Calcular la resistencia total de la interconexión de metal de la Figura P16.4-7 (suponiendo 0,03 Ω/□ para R_{metal}).

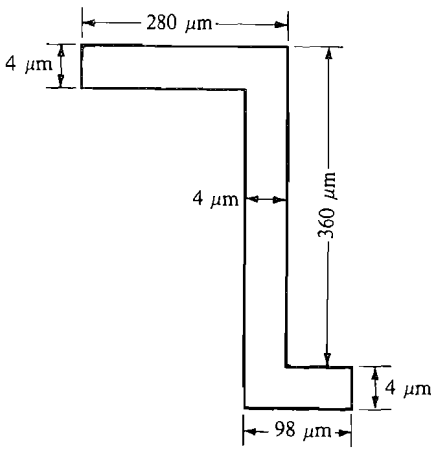


Figura P16.4-7.

16.4-8. Calcular la constante de tiempo *RC* para la interconexión de polisilicio mostrada en la Figura P16.4-8 que discurre en un canal donde el espesor de óxido es de 6000 Å (suponer poly = 30 Ω/□).

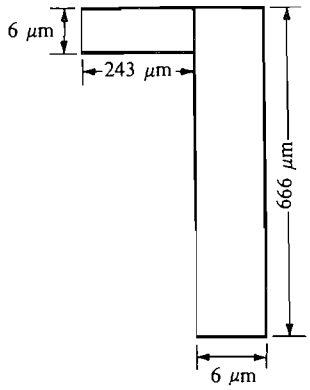


Figura P16.4-8.

16.8-1. Suponer que la línea de procesado tiene una densidad de defectos de 6 defectos/cm^2. Calcular el rendimiento para los siguientes tamaños del dado:
(*a*) 150 × 150 milipulgadas.
(*b*) 300 × 300 milipulgadas.
(*c*) 600 × 600 milipulgadas.

16.8-2. Repetir el Problema 16.8-1 para una línea de procesado que tenga densidad de defectos de 2 defectos/cm^2.

16.8-3. Suponer que una línea de procesado tiene una densidad de defectos de 3 defectos/cm^2. Calcular el rendimiento para los siguientes tamaños del dado:
(*a*) 200 × 200 milipulgadas.
(*b*) 400 × 400 milipulgadas.
(*c*) 650 × 650 milipulgadas.

16.8-4. Calcular el número de lotes de obleas de los que se debe partir para fabricar 20 000 integrados que funcionen correctamente para el siguiente circuito integrado y parámetros del proceso:
1. Tamaño del dado = 600 × 600 milipulgadas.
2. Densidad de defectos = 6 defectos/cm^2.
3. Tamaño de la oblea = 8 pulgadas.
4. Lote de obleas = 50 obleas.

16.8-5. Repetir el Problema 16.8-4 para una densidad de defectos de 3 defectos/cm^2.

16.9-1. Si el retardo de propagación nominal t_{pd} de una puerta NAND manejando una carga unitaria es de 2 ns, calcular el $t_{pd\,\text{mín}}$ y el $t_{pd,\,\text{máx}}$ para una línea de procesado con un 25 por 100 de dispersión y para otra con un 40 por 100.

16.10-1. Calcular la temperatura en la unión para un ASIC CMOS de 3 W situado en una tarjeta de circuito impreso con una temperatura del aire ambiente de 30 °C y con una velocidad del aire de 500 pies/minuto. Suponer que el encapsulado del ASIC es el mismo que en el caso de la Figura 16.10-2.

16.10-2. Repetir el Problema 16.10-1 para un ASIC CMOS de 2 W con temperatura del aire ambiente de 25 °C y con una velocidad del aire de 400 pies/minuto.

16.10-3. Si el t_{pd} de una puerta es de 1,5 ns a temperatura, tensión y procesado nominales (25 °C, 5 V), calcular el factor multiplicador de temperatura K_T, el factor multiplicador de tensión K_V, el factor de multiplicación del proceso K_P y el $t_{pd.\,\text{máx}}$ para las siguientes condiciones de trabajo: 4,75 V, θ_{ja} = 25 °C/W, potencia 2,5 W, velocidad del aire de 400 pies/minuto y temperatura del aire 30 °C con un 40 por 100 de dispersión del proceso.

16.11-1. Dado el siguiente transistor y las dos características de entrada de la puerta para una línea de procesado con una dimensión mínima de 2 μm:
(*a*) Capacidad de entrada = 1 pF.
(*b*) Area de puerta = 100 μm^2.
(*c*) Potencia de la puerta = 1 μW.
Suponiendo que todas las dimensiones, tensión y dopado están escaladas por el mismo factor k, determinar los valores de los parámetros (*a*), (*b*) y (*c*) para un proceso con una dimensión mínima de 1,25 μm.

16.11-2. Repetir el Problema 16.11-1 para un proceso con dimensión mínima de 0,8 μm.

16.11-3. Repetir el Problema 16.11-1 para un proceso con dimensión mínima de 0,5 μm.

16.11-4. Suponer un ASIC con las siguientes características:
(*a*) Dimensión mínima = 1,25 μm.
(*b*) Número de puertas = 30 000 puertas.
(*c*) Tamaño del dado = 350 × 350 milipulgadas.
(*d*) Disipación de potencia = 1 W.
Suponer un escalado uniforme de las dimensiones, la tensión y el dopado. Calcular el tamaño del dado y la disipación de potencia para este ASIC si la dimensión mínima es de 0,5 μm.

CAPITULO

Metodologías de diseño de ASIC y consideraciones en el diseño de sistemas

17

INTRODUCCION

Durante la década de los setenta y principios de los ochenta los sistemas eran realizados empleando los circuitos integrados (CI) diseñados y fabricados por el vendedor correspondiente. Estos CI entraban dentro de las categorías de escala media de integración (MSI), gran escala de integración (LSI) y escala de integración muy grande (VLSI) tal y como aparece representado en la Figura 17.1. Durante ese período muchos sistemas digitales empleaban memorias LSI y VLSI, microprocesadores VLSI como procesadores centrales y funciones MSI con lógica transistor-transistor (serie 7400 TTL). En la Figura 17.2 se enumeran varias funciones MSI de la serie TTL 7400 junto con el número de *puertas equivalentes*, que es el número de puertas CMOS de dos entradas que serían necesarias para sustituir ese CI si fuera realizado empleando únicamente puertas de 2 entradas. Este concepto de «puertas equivalentes» es una medida ampliamente aceptada de la complejidad de un CI.

A la vista de las Figuras 17.1 y 17.2 resulta evidente que existía una diferencia muy significativa en el grado de integración de cualquier lógica implementada con funciones MSI cuando se comparaba con memorias y microprocesadores. A nivel de sistema esto se traducía en unas tarjetas de circuito impreso (PC) en donde los microprocesadores VLSI y las memorias, que proporcionaban la mayor parte de la funcionalidad del sistema, ocupaban sólo una pequeña parte de la tarjeta, mientras que los bloques MSI, que suministraban sólo una pequeña parte de la funcionalidad, ocupaban la mayor parte del espacio de la tarjeta. Mientras que estos circuitos integrados MSI cuestan bastante menos de 1 dólar, estaban siendo situados en tarjetas de circuitos impreso en las cuales el coste de ubicación de un CI era de 2 a 3 dólares. Por tanto, donde se usaban los CI MSI, el coste de la tarjeta de circuito impreso superaba el coste del circuito integrado en un factor de 3 a 10. Cuando se incluyen los costes adicionales de la totalidad del ensamblado tales como fuentes de alimentación, soportes de placas de circuito impreso, cableado de los paneles, armarios y equipos de refrigeración del sistema, el montaje de un CI MSI en un sistema puede mul-

Grado de integración	Funciones típicas	Número de transistores
MSI	Registros de desplazamiento de 4 bits Contadores de 4 bits ascentes y descendentes Multiplexores 8:1	100 · S
LSI	RAM y ROM de < 10 Kbits	> 1000
VLSI	Microprocesadores	> 10 000
	RAM ROM > 10 Kbits	

Figura 17.1. Categoría de integración.

Dispositivo		Puertas equivalentes
7400	NO-Y de 2 entradas	4
7402	NO-O de 2 entradas	4
7474	Biestable *D* doble	15
7497	Multiplicador binario	120
74157	Multiplexor	22
74173	Contador de 4 bits	68
74165	Registro desplazamiento 8 bits	85
74191	Contador ascen./descend. 4 bits	73

Figura 17.2. Algunas funciones MSI de la serie 7400 con el número de puertas equivalentes.

tiplicar el coste del propio circuito integrado por un factor tan alto como 15 ó 20. La solución obvia para reducir el coste del montaje del sistema era minimizar el empleo de CI MSI en el propio sistema. Esto podía alcanzarse mediante la sustitución de varios MSI por un circuito integrado LSI o VLSI. Puesto que el circuito VLSI estaba sustituyendo a circuitos lógicos MSI de aplicación específica, el circuito VLSI era diseñado por el diseñador del sistema mejor que por el fabricante de circuitos integrados. Esto condujo al nacimiento y explosivo desarrollo de los *circuitos integrados de aplicación específica* (ASIC).

El concepto básico tras la aproximación al ASIC era que el diseñador del sistema global diseñara aquellos CI que fueran exclusivos para su aplicación (aplicación específica) y los empleará de manera conjunta con los CI diseñados por el vendedor como microprocesadores y memorias. Esta combinación dio como resultado sistemas que constaban, en su mayor parte, de componentes LSI y VLSI, lográndose un aumento en el nivel de integración del sistema total, mejorándose la realización del sistema, reduciéndose el coste y obteniéndose una relación más atrayente entre los costes de los integrados y del ensamblado.

Pueden emplearse diversas soluciones para el diseño y la producción de ASIC. Esas soluciones, que se estudiarán en este capítulo, son las siguientes:

Logic Cell Array (Matriz de células).
Gate Array (Matriz de puertas).
Structured Array (Matriz estructurada).

Standard Cell (Célula estándar).
Custom Circuits (Circuitos totalmente a medida).

Las características, esfuerzo de diseño y ventajas de cada una de las anteriores aproximaciones a los ASIC se presentan en las Secciones 17.1 a 17.5. La Sección 17.6 muestra una aproximación al análisis del coste que considera tanto los costes de desarrollo del ASIC como los *costes unitarios* de una producción repetida. En la Sección 17.7 se comenta la solución más popular para perfeccionar la comprobación de los ASIC mientras que en la Sección 17.8 se presentarán las técnicas para la distribución y el control del reloj.

Los programas para el diseño asistido por computador (CAD) que se ejecutan en estaciones de trabajo (*workstations*), minicomputadores y grandes sistemas, resultan ser herramientas esenciales en el diseño, análisis y disposición de ASIC y se presentan en el Capítulo 18.

17.1. LOGIC CELL ARRAY

A diferencia del resto de opciones para un ASIC que se tratan en este capítulo, el logic cell array (LCA) es un bloque disponible comercialmente con su proceso de fabricación ya finalizado y que puede ser personalizado para cumplir la función deseada mediante un fichero de datos que se carga en células de almacenamiento RAM en la LCA. Cuando aparecieron en 1985 las primeras LCA contenían más de 2000 puertas equivalentes (de 2 entradas) que eran capaces de sustituir varias docenas de funciones MSI (véase Fig. 17.2). Tanto la definición de la función lógica como sus interconexiones quedan determinadas por los datos contenidos en las células RAM internas; los cambios en la lógica interna pueden implementarse por medio de la carga de un nuevo fichero de datos RAM. Una LCA típica se muestra en la Figura 17.1-1. Contiene 64 *bloques de lógica configurables* (CLB), 58 *bloques de entrada/salida* configurables (IOB) y una red de metal de 2 capas con líneas verticales y horizontales para la interconexión de CLB e IOB. En la Figura 17.1-2 aparece un diagrama de bloques de un bloque de lógica configurable (CLB).

El CLB mostrado en la Figura 17.1-2 contiene un biestable D, seis selectores etiquetados del 1 al 6 y un bloque de lógica combinacional. Este bloque puede implementar una función lógica combinacional de 4 entradas o se puede usar para sintetizar dos funciones independientes de 3 cualesquiera de las 4 entradas. Las entradas del bloque de lógica combinacional son las entradas A, B y C y la salida del selector 1, que se emplea para seleccionar como cuarta entrada bien la entrada D del CLB bien la salida Q del biestable. Este bloque lógico está implementado realmente en la LCA como una RAM 16 × 1. Las salidas del bloque combinacional pueden controlar el biestable D o estar conectadas a las salidas X e Y del CLB a través de los selectores 5 y 6. Los selectores 2 y 4 se emplean para seleccionar las entradas de *set directo* (S) y *borrado directo* (R) del biestable D, mientras que el selector 3 se usa para seleccionar la entrada del reloj (CL). Para una mejor comprensión del grado de complejidad del CLB considérese el diseño de un contador síncrono de 4 bits. Un contador de 4 bits puede diseñarse empleando sólo 4 CLB como los que se muestran en la Figura 17.1-3. Puesto que las puertas necesarias para convertir un biestable D en un biestable J-K deben realizar sólo una función de 3 variables J, K y Q, la segunda función de 3 entradas disponible en cada CLB puede usarse para generar la entrada de habilitación del contador del siguiente bit de mayor peso, como se muestra en la Figura 17.1-4 (véase página 840). Considérese que mientras que la equivalencia en

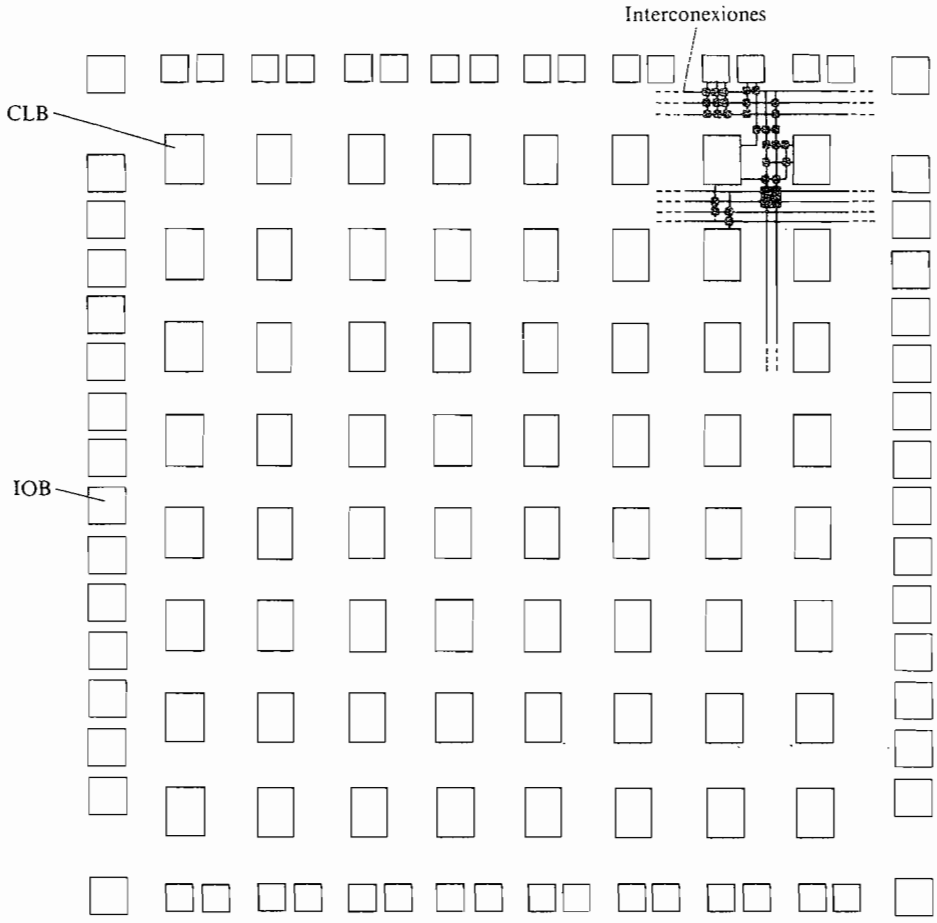


Figura 17.1-1. Layout de LCA XILINX XC2064. (*Reimpreso con permiso de XILINX.*)

puertas del contador sirve como comparación de la complejidad relativa de circuitos integrados, el contador CLB es de suma importancia cuando se realiza la partición de funciones lógicas en la LCA.

La Figura 17.1-5 muestra el diagrama del bloque de entrada/salida. Este bloque puede configurarse como entrada, salida o línea bidireccional *triestado*. Adicionalmente, cuando se reciben datos, la señal de entrada puede controlar un biestable *D* o evitarlo.

Se dispone de programas de *diseño asistido por computador* (CAD) para LCA; se ejecutan sobre pequeños computadores personales (IBM XT, AT, etc.). Por medio de un paquete de gráficos interactivos, los CADs permiten al usuario la definición de la función del CLB y de los bloques de entrada/salida, así como la interconexión de estos bloques. El programa de CAD trasvasa, entonces, esa información a un fichero de datos para la carga dentro de la RAM de almacenamiento de la LCA. Este proceso se muestra en la Figura 17.1-6.

Después de que el fichero de datos que define el modo de funcionamiento de la LCA se almacena en la RAM de la propia LCA, este fichero debe cargarse en el dispositivo LCA

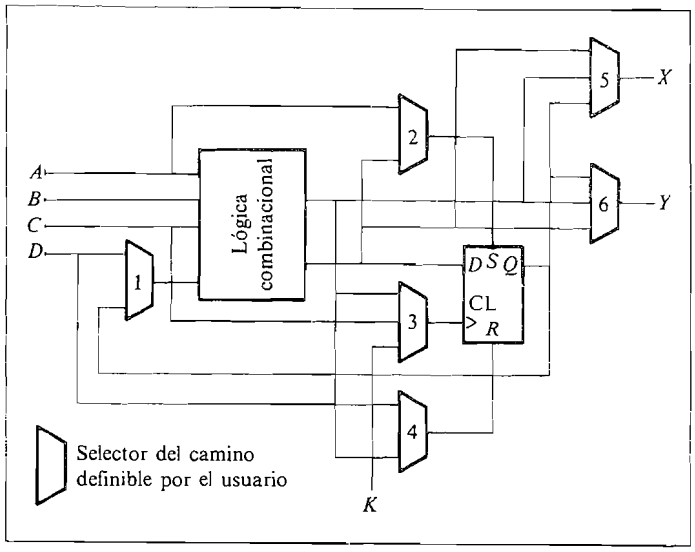


Figura 17.1-2. Diagrama de bloques del CLB XILINX XC2064. (*Reimpreso con permiso de XILINX.*)

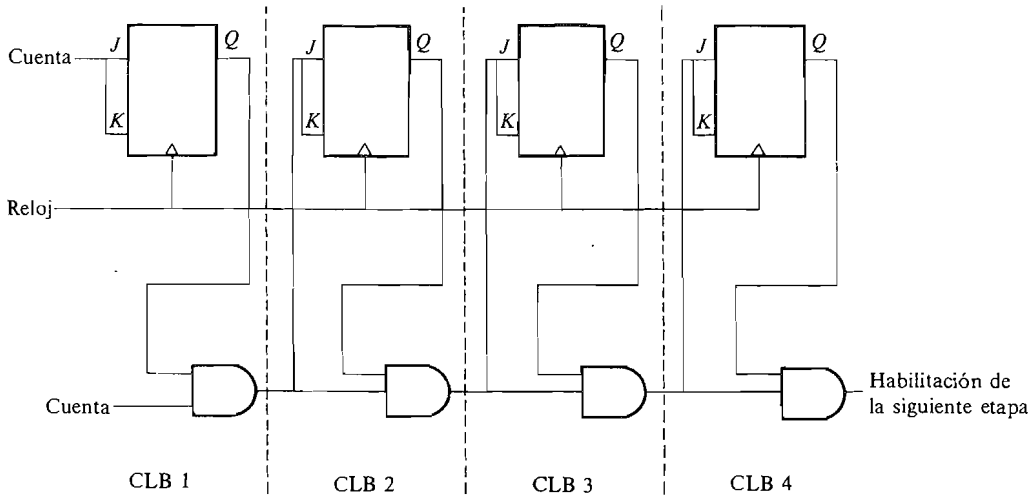
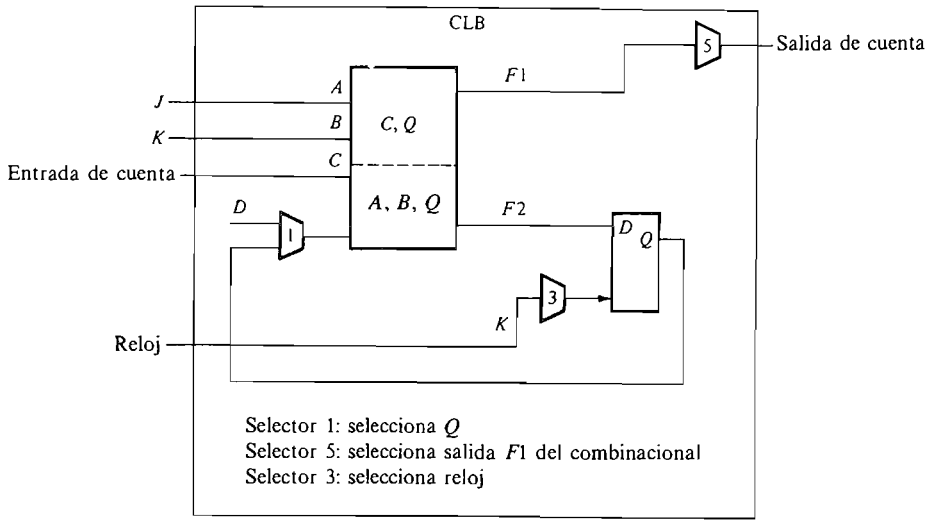


Figura 17.1-3. Contador síncrono de 4 bits empleando 4 CLB.

como parte de la *secuencia de encendido*. Es importante darse cuenta, desde el punto de vista del diseño, que este fichero de datos LCA debe almacenarse en alguna parte dentro del sistema de manera no volátil y que debe preverse suficiente capacidad para el almacenamiento de cada una de las diferentes LCA dentro del sistema.

La ventaja principal del empleo de una LCA es la rapidez con la cual un prototipo de trabajo puede estar disponible. Una vez que el diseño se ha completado y simulado en PC,



Tablas de verdad para salidas combinacionales *F1* y *F2*

Función *F1*

Q	Entrada de cuenta	*F1*
0	0	0
0	1	0
1	0	0
1	1	1

Función *F2*

Q	*B*	*A*	*F2*
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

Figura 17.1-4. Etapa CLB simple del contador de 4 bits de la Figura 17.1-3.

el fichero RAM puede ser generado y cargado en la LCA. No se requiere generación de máscara o procesado del circuito integrado como en las otras soluciones que se comentarán con posterioridad en este capítulo. Los inconvenientes de esta solución basada en LCA son la menor densidad y el funcionamiento más lento de las LCA en comparación con gate arrays, standard cells y full custom en el diseño de ASIC.

17.2 GATE ARRAYS

17.2-1. Visión global

Los *gate arrays*, que proporcionan mayores densidades (número de puertas por chip) y mejor funcionamiento (puertas más rápidas y mayor frecuencia de reloj) que las LCA, ofrecen una alternativa ASIC a las propias LCA. Por ejemplo, al mismo tiempo que

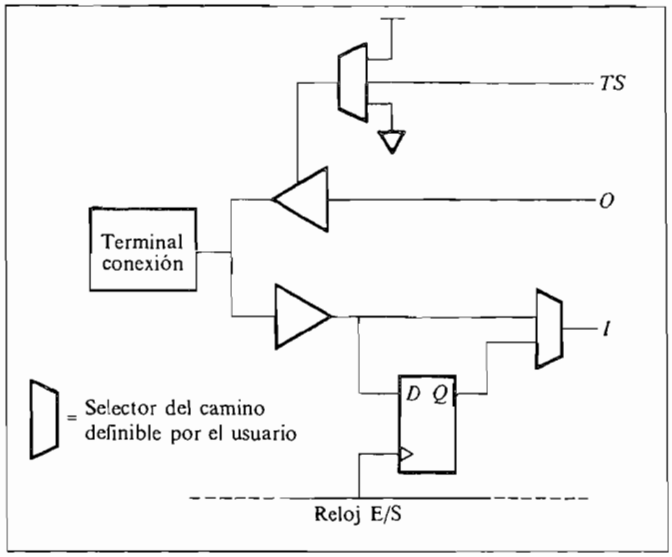


Figura 17.1-5. Diagrama de bloques del bloque E/S de LCA XILINX XC 2064. (*Reimpreso con permiso de XILINX.*).

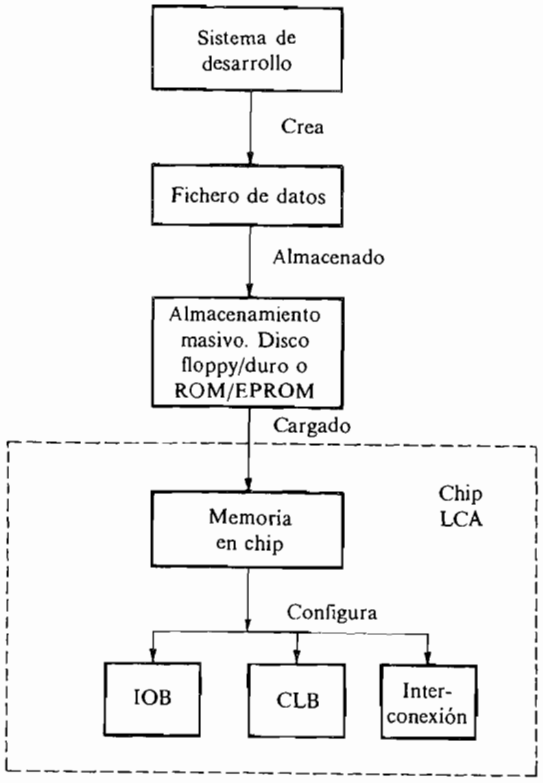


Figura 17.1-6. Generación del fichero de datos LCA.

aparecian LCA con una complejidad de 2000 puertas, ya era fácil disponer de gate arrays de 10000 a 20000 puertas por circuito integrado. Sin embargo, el gate array precisa de la realización de máscaras y de un procesado del CI para particularizar la oblea «maestra» del gate array. Por tanto, el diseñador del sistema paga este aumento de densidad y características con un incremento del tiempo y coste de desarrollo. Parte de este aumento en los gate arrays, si los comparamos con las LCA, se debe al diferente orden de magnitud en el número de puertas. Obviamente se incrementa el tiempo de diseño y simulación a causa del mayor número de puertas del gate array. También aumenta de manera exponencial el tiempo de simulación con el total de puertas. Estas afirmaciones resultarán claras por la razón fundamental de la estructura de los gate arrays que se expone en esta sección.

Tal y como se expuso en el Capítulo 16, la fabricación de circuitos integrados es una operación de procesado por lotes donde muchos CI idénticos se fabrican a la vez. Cuando el volumen de uso de un CI particular aumenta, el coste unitario del mismo disminuye. Sin embargo, cuando se habla de ASIC, donde el CI se diseña para una aplicación en particular, el volumen tiende a ser muy bajo. Para proporcionar un medio de conseguir un compromiso entre el bajo coste de la producción en gran cantidad y el bajo volumen que se requiere de un ASIC particular, fueron desarrollados los gate arrays. En los gate arrays se procesan grandes cantidades de la oblea maestra, que contiene muchos dados cada uno de ellos con un modelo uniforme de transistores *p* y *n*, antes del último paso previo a la metalización. En referencia a la Figura 16.6-1, este preproceso corresponde a los pasos que se muestran en la Figura 16.6-1*a* hasta *k*. Puesto que todos los usuarios de este tamaño particular de gate array necesitarán el mismo tipo de oblea maestra, se pueden fabricar y almacenar grandes cantidades de estas obleas. La particularización de una matriz, que se refiere a la manera en la que la oblea maestra se convierte en un ASIC particular, se consigue de modo total usando lo dos niveles de metalización. Esta personalización corresponde a los pasos mostrados en la Figura 16.1-1*l* hasta *o*. Dicha particularización se hará para las pequeñas cantidades que son necesarias de un determinado ASIC, pero estos pasos se llevan a cabo un poco más adelante que los pasos de preprocesado que fueron realizados con grandes cantidades.

17.2-2. Estructura del gate array

Se estudia ahora qué tipo de preprocesado (o predifusión) patrón de transistores *n* y *p* deberá fabricarse que pueda ser conformado en funciones lógicas que, interconectadas, formarán un ASIC único, utilizando solamente dos niveles de metalización. La Figura 17.2-1 muestra la disposición total de un gate array CMOS típico. Los terminales y transistores de entrada/salida pueden conectarse para crear diferentes circuitos de control de salida o recepción que se forman alrededor del perímetro del gate array. Estas células se usan principalmente para entrada/salida y consisten en transistores mayores que los que se emplean en las células lógicas. Encerrada por una línea de trazos, la matriz interna contiene columnas de transistores *p* y *n* difundidos separados por canales verticales de interconexión (nivel 1). Las conexiones horizontales se implementan en un segundo nivel de metalización y cruzan sobre las columnas de difusión de las posiciones inactivas que se seleccionen. Una de las posibles variaciones en la disposición de células lógicas se muestra en la Figura 17.2-2. Una célula lógica aparece en el centro de la Figura 17.2-2; dispone del área comprendida entre los buses de alimentación V_{DD} y V_{SS} y su ancho es el que se muestra. La célula contiene una región de difusión tipo *p* (debajo del bus V_{DD}) atravesada

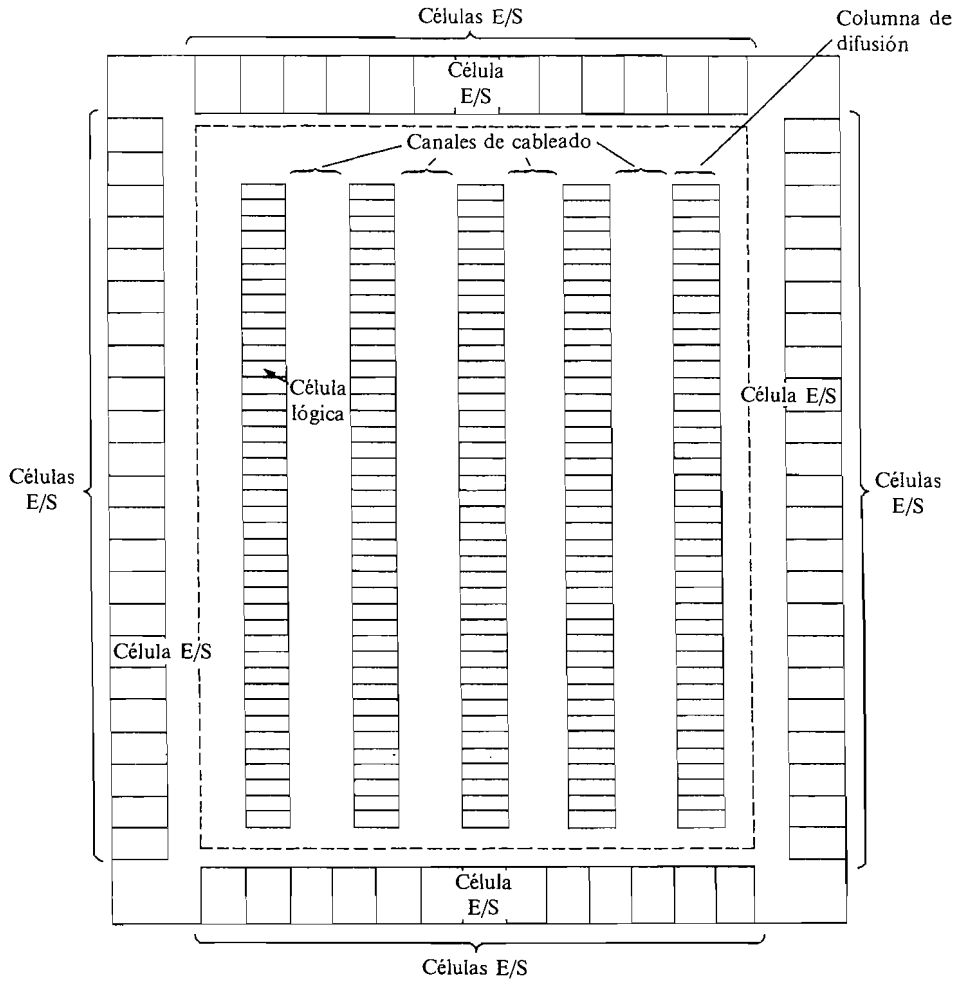


Figura 17.2-1. Gate array sin conectar.

por tres tiras de polisilicio, que están conectadas a contactos de puerta de transistor y se encuentran separadas por regiones de contacto. De modo similar, la célula contiene una difusión *n* de igual tamaño que es atravesada también por tres tiras de polisilicio. Cada región de difusión puede formarse con tres transistores, los cuales pueden estar conectados en paralelo o en serie por medio de metalizaciones verticales como las que se muestran en las Figuras 17.2-3 y 17.2-4, respectivamente. En estas figuras los terminales de drenaje (D_a, D_b, D_c) y de fuente (S_a, S_b, S_c) están etiquetados en el layout (esquema de disposición) y en el esquema eléctrico. Cada transistor se forma mediante la difusión a ambos lados del polisilicio (drenaje y fuente) y el polisilicio que forma la puerta.

Habiendo visto cómo conectar los transistores *p* o *n* de una célula en serie o en paralelo, pasamos ahora a describir cómo se realiza una puerta NO-O o NO-Y de tres entradas. En la Figura 17.2-5 aparecen los esquemas de una puerta NO-O de tres entradas CMOS y de una NO-Y de tres entradas, mientras que la Figura 17.2-6 muestra cómo la

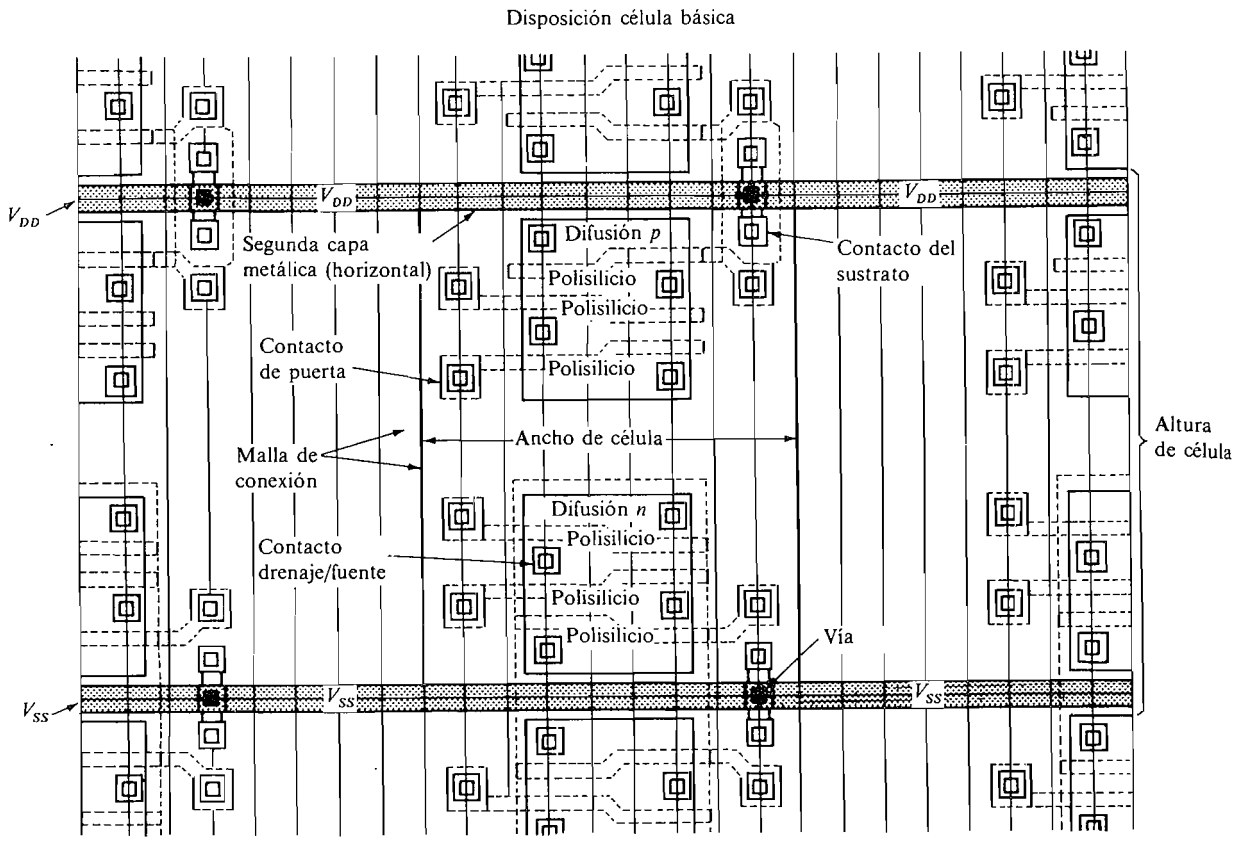


Figura 17.2-2. Layout de células empleadas por Control Data Corporation. (*Reimpreso con permiso de Control Data Corporation.*)

célula de la Figura 17.2-2 puede convertirse en una puerta NO-Y de tres entradas por medio de las conexiones metálicas adecuadas de primer nivel (metalización vertical). De modo similar se puede realizar una puerta NO-O de tres entradas situando los transistores *p* en serie y los *n* en paralelo.

Una segunda célula lógica muy común en gate array contiene sólo dos pares de transistores *p* y *n* como se muestra esquemáticamente en la Figura 17.2-7*a*, en la que los puntos representan posibles contactos. La Figura 17.2-7*b* y *c* muestra cómo pueden conectarse los transistores mediante metalización para formar puertas de dos entradas NO-Y y NO-O respectivamente.

17.2-3. Diseñando con gate array

Cuando se diseña con gate arrays es importante recordar que los transistores *p* y *n* incluidos en las células lógicas tienen el mismo tamaño y que todas las células lógicas son del mismo tamaño. Esto facilita la alta densidad en los gate arrays pero impone las

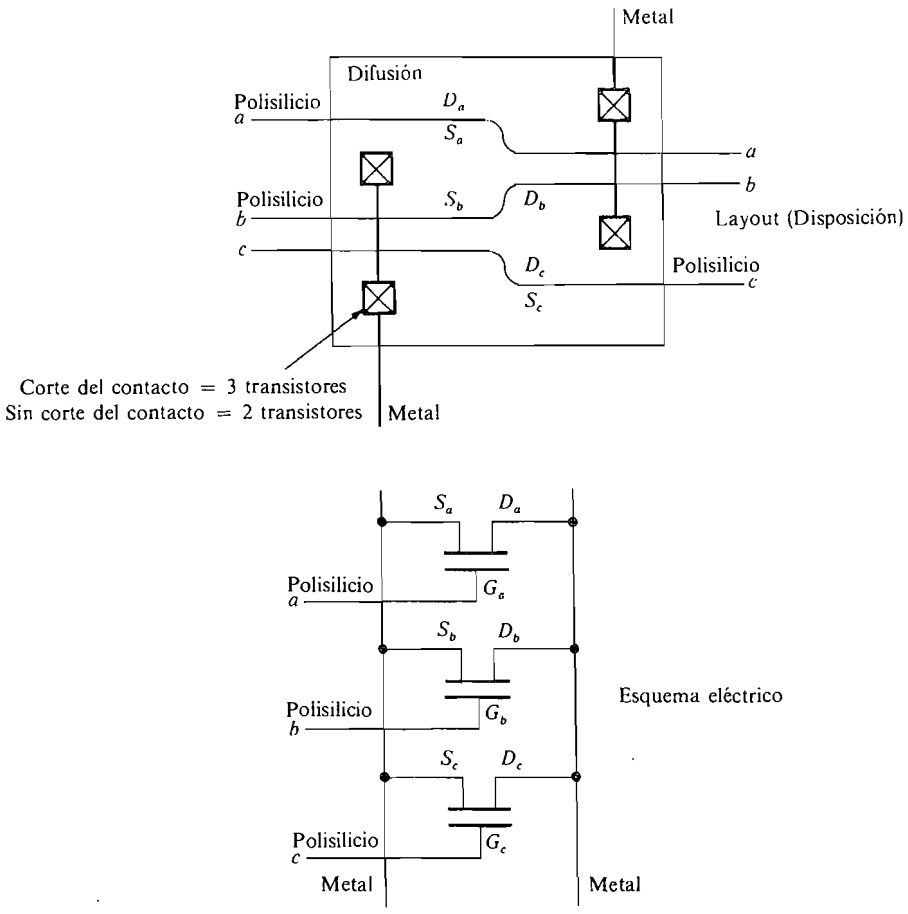


Figura 17.2-3. Región de difusión conectada por metal en vertical para formar tres transistores en paralelo.

siguientes limitaciones en el circuito, de las que el diseñador debe ser consciente: 1) las puertas tienen desequilibrados los tiempos de subida y de bajada y 2) este desequilibrio es peor para las puertas NO-O que para las NO-Y.

La razón del desequilibrio en los tiempos de subida y de bajada de las puertas puede verse considerando un inversor CMOS que controla las entradas de otra puerta. La carga que ve el controlador es principalmente capacitiva, como se muestra en la Figura 17.2-8. Cuando la salida del inversor pasa de un **0** lógico ($\approx$ 0 V) a un **1** lógico ($\approx$ 5 V), la carga capacitiva debe cargarse a través del transistor p y, a la inversa, cuando la salida del inversor cambia de un **1** lógico a un **0** lógico, la carga capacitiva debe descargarse a través del transistor de canal n. En referencia a las anteriores figuras (16.1a) hasta (16.1c) puede verse que la única diferencia entre la corriente de drenaje a fuente suministrada por un transistor de canal p o de canal n, de iguales dimensiones, es la movilidad μ de los portadores en el canal. Para un dispositivo de canal n los portadores son electrones y para uno de canal p son huecos. Puesto que la movilidad de los electrones en el silicio es apro-

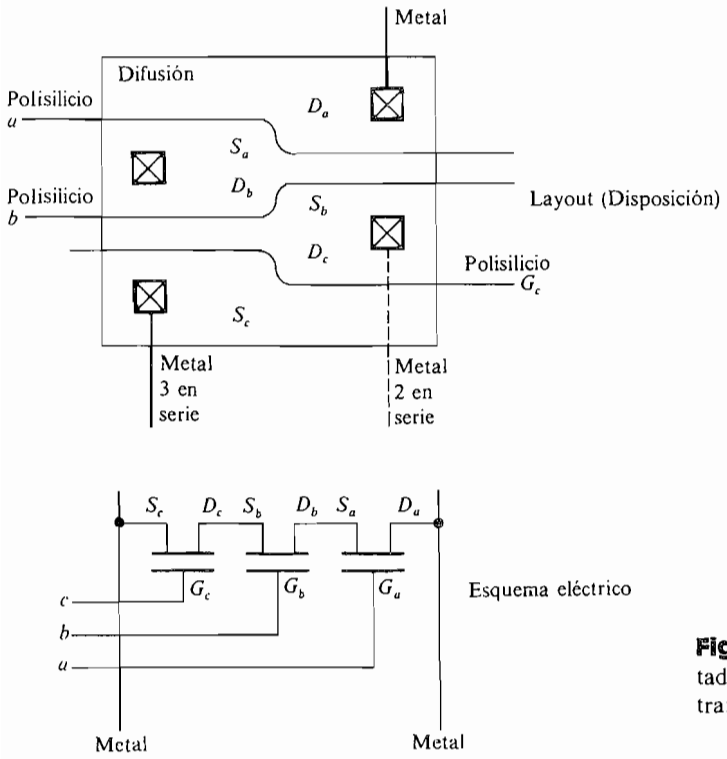


Figura 17.2-4. Región de difusión conectada por metal en vertical para formar tres transistores en serie.

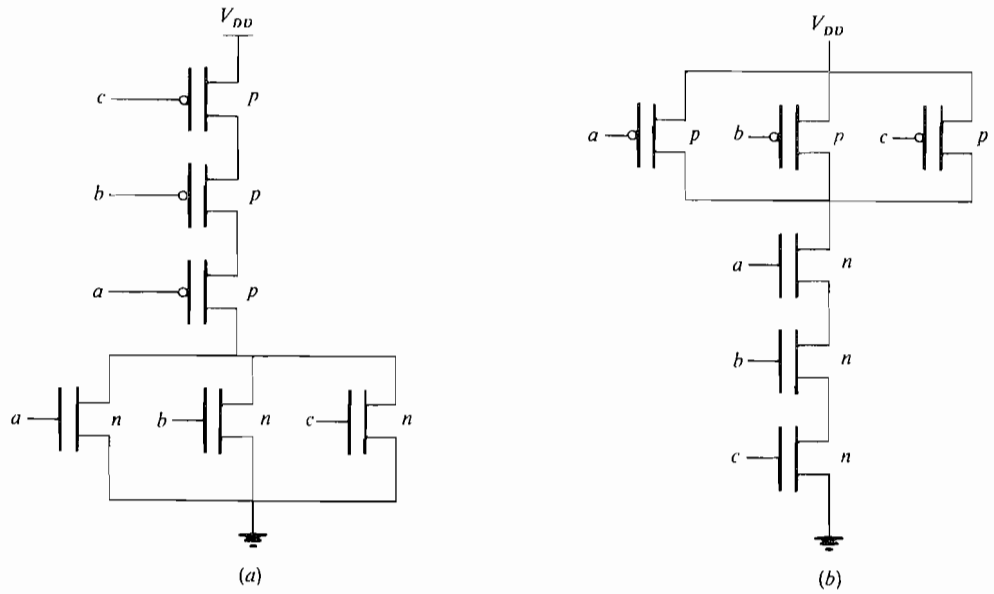


Figura 17.2-5. (*a*) Puerta NO-O de tres entradas CMOS; (*b*) puerta NO-Y de tres entradas CMOS.

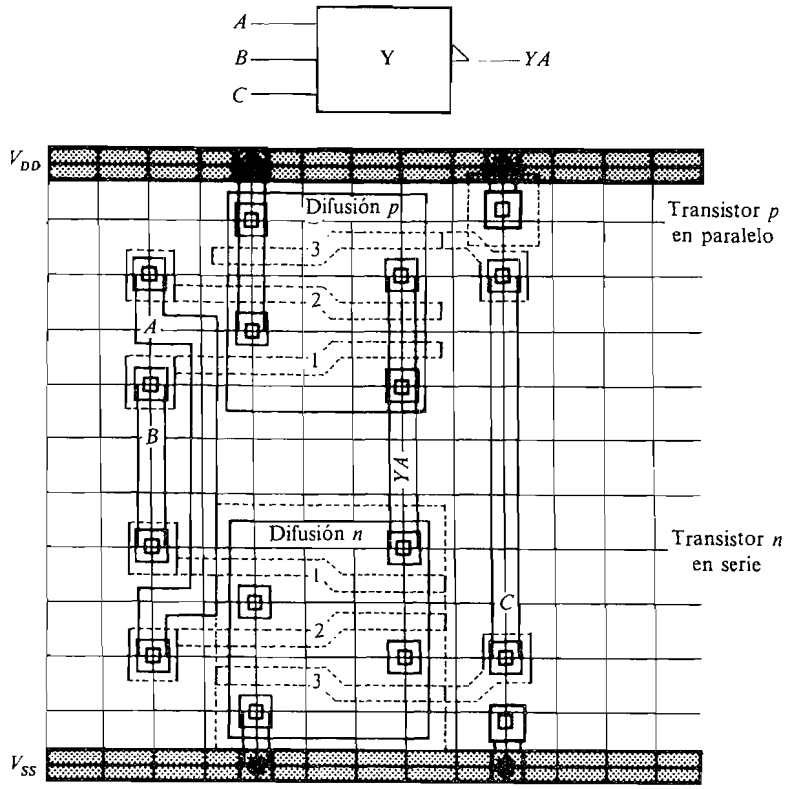


Figura 17.2-6. Célula conectada por metal para formar puertas NO-Y. (*Reimpreso con permiso de Control Data Corporation.*)

ximadamente 2,7 veces la de los huecos, los transistores de canal *n* pueden suministrar 2,7 veces la corriente del transistor de canal *p* y por tanto el tiempo de bajada será aproximadamente 2,7 veces menor que el tiempo de subida.

La razón de que el desequilibrio entre los tiempos de subida y de bajada sea peor en una puerta NO-O que en una NO-Y puede apreciarse considerando los circuitos para las puertas NO-Y y NO-O de tres entradas mostrados en la Figura 17.2-5.

En la puerta NO-O el tiempo de bajada de la puerta será aproximadamente igual al del inversor puesto que los dispositivos rápidos de canal *n* están en paralelo, mientras que el tiempo de subida será mucho mayor ya que los dispositivos de canal *p*, más lentos, están en serie. Por otro lado, la puerta NO-Y tenderá a tener tiempos de subida y de bajada aproximados pues los dispositivos rápidos de canal *n* están en serie, mientras que los dispositivos rápidos de canal *p* están en paralelo. Por tanto, como regla general de diseño con matrices de puertas resulta preferible emplear puertas NO-Y en lugar de puertas NO-O en los caminos del diseño donde el tiempo sea crítico.

La Figura 17.2-9 muestra una visión de conjunto del proceso de diseño con gate array. El ingeniero de diseño establece el mismo empleando una estación de trabajo interactiva. El diseño se da en forma esquemática, empleando los elementos de una familia de células que ha sido suministrada por el fabricante del gate array. Los elementos de la familia de

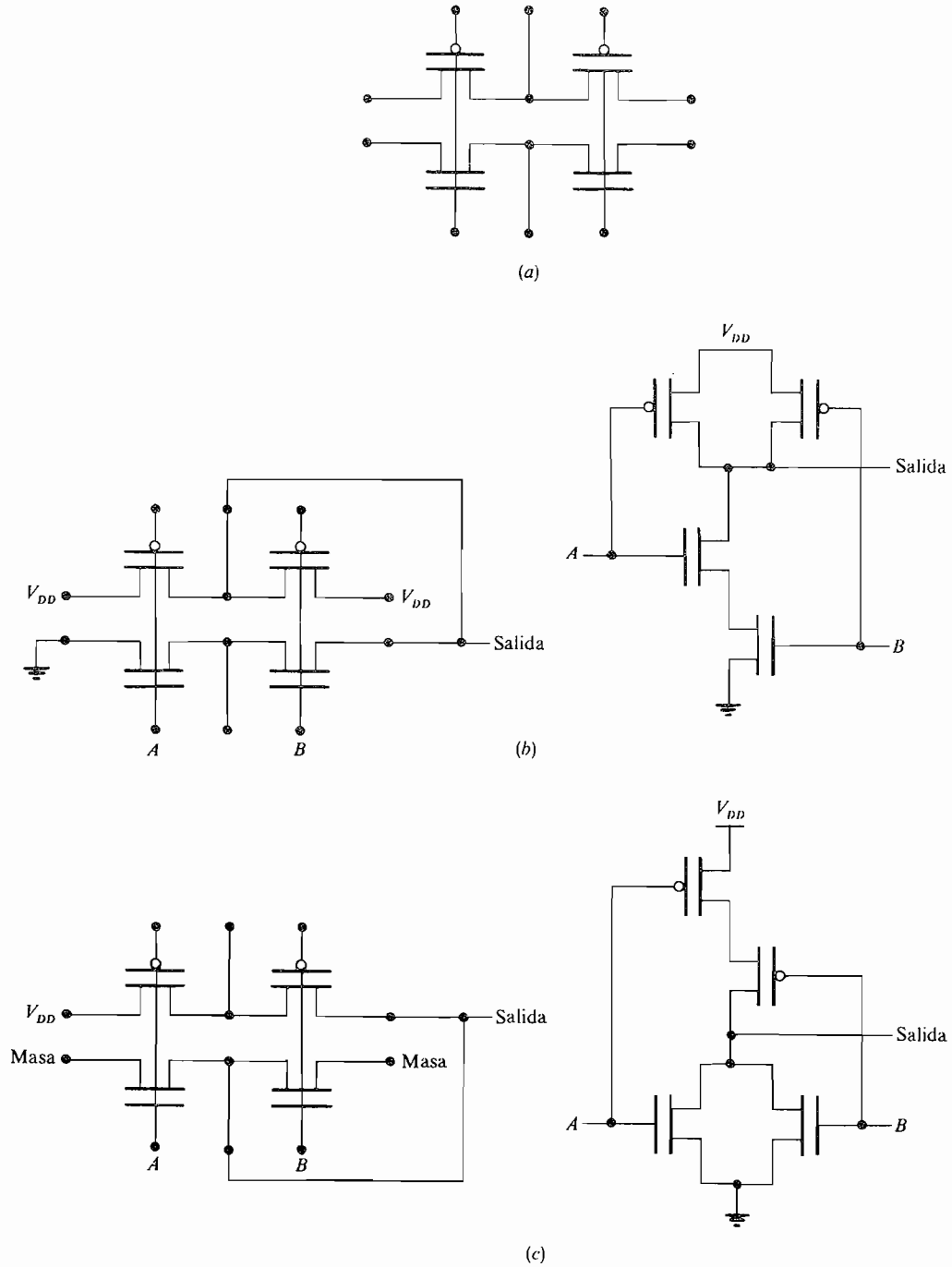


Figura 17.2-7. (*a*) Célula de doble pareja de transistores *p-n*; (*b*) conexión de una NAND de dos entradas; (*c*) conexión de una NOR de dos entradas.

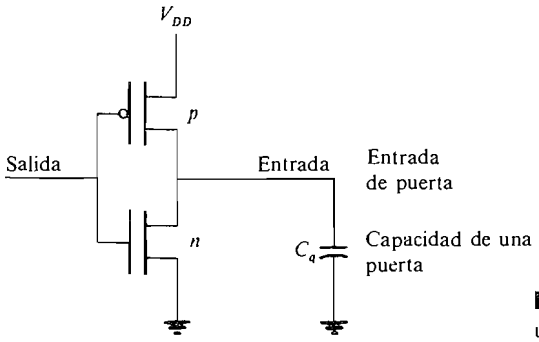


Figura 17.2-8. Inversor CMOS excitando una carga capacitiva.

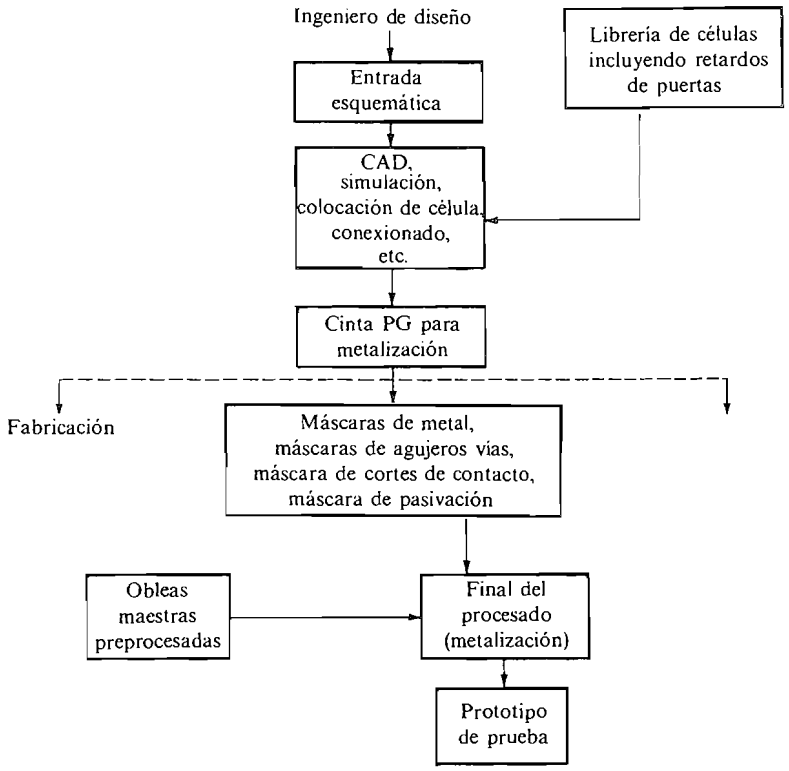


Figura 17.2-9. Diseño gate array y visión global del proceso.

células constan de puertas, biestables y distintas funciones del tipo MSI como multiplexores, contadores de *n* bits y registros de *n* bits. En la Figura 17.2-10 se muestra una lista de los elementos típicos dentro de una familia. Para cada miembro (elemento) de la familia de células el fabricante suministra al ingeniero datos como el símbolo lógico, un esquema eléctrico, los tiempos de retardo excitando cargas variables en términos del número de cargas o picofaradios y el número de células lógicas de la matriz que requiere el elemento.

Lista de macros disponibles

Macros internas

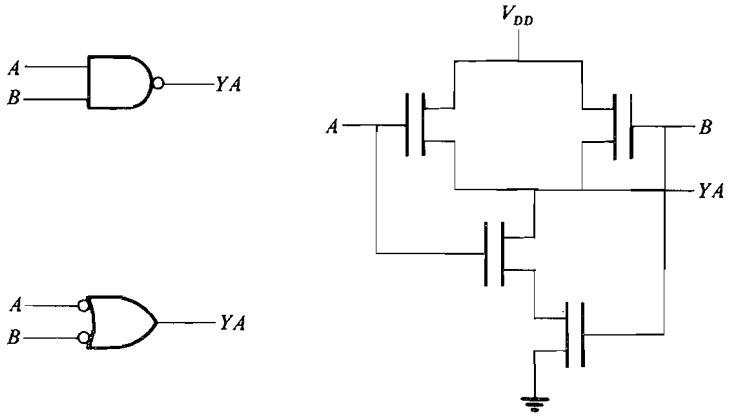
Células	Elemento/Control	Función
1	D000	Inverter
1	D001	Buffer
1	D003	Power Driver
1	D010	2-Nand
1	D011	3-Nand
3	D012	6-Nand
2	D013	5-And
1	D014	2-And
1	D020	2-Nor
2	D021	3-Nor
3	D022	6-Nor
1	D024	2-Or
2	D100	2-2 And Or Invert
2	D101	3-3 And Or Invert
1	D105	1-2 And Or Invert
2	D110	2-2-1 Or And Invert
1	D115	1-2 Or And Invert
4	D122	3-3-3 And Or
6	D124	4-3-2-1 And Or
4	D131	3-1 Or And
2	D150	Exclusive Or
3	D151	2-2 And XOr
2	D155	Exclusive Nor
2 2	D205 200	2-1 Multiplexer
3 6	D207 202	2-1 Multiplexer with Compl. Enable
4 4	D225 220	4-1 Multiplexer with Enable
10 6	D245 240	8-1 Multiplexer with Enable
9	D300	2 to 4 Decode with Enable
18	D310	3 to 8 Decode with Enable
15	D340	8 bit Priority Selector
4	D350	4 bit Priority Encoder
2 6	D405 400	Static Latch with Pass -. Pass
2 4	D475 450	Dynamic Flip Flop
3 9	D456 452	Dynamic Flip Flop with Gated Clock and Sync Set and Clear
2 6	D455 453	Dynamic Flip Flop with Gated Clock
2 6	D476 453	Dynamic Flip Flop with 2-1 Mux Data Input
3 9	D477 454	Dynamic Flip Flop with Multiplexed Inputs and Enable
4 8	D465 461	Static Flip Flop Stack with Gated Clock and 2-And Data Inputs
4 8	D465 462	Like 461 but: Negative Edge Triggered
6 9	D467 463	Static Flip Flop Stack with Gated Clock and 2-1 And-Or Data Input
6 9	D468 463	Static Flip Flop Stack with Gated Clock and 2-2-1 And-Or Data Input
25	D490	Resynchronizer
35	D500	4-bit Up Down Counter with Parallel Load
12 12	D605 600	4-bit Shifter Stack
45	D700	4-bit Adder
40	D701	4-bit Adder with Carries
9	D704	4-bit Partial Adder
12	D720	4-bit Comparator
24	D730	4-bit Comparator
18	D900	10-bit Parity Tree
14	D910	8-bit Exclusive-Or Tree
6	D911	4-bit Exclusive-Or Tree
36 72	D955 950	16-word Read Write Memory Stack
E/S:		
	DC00	Clock Buffer (<.6pF)
	DC01	Clock Buffer (<:15pF)
	DC02	Clock Buffer (<:22.3pF)
	DX00	CMOS-Compatible Input Buffer
	DX20	TTL-Compatible Input Buffer
	DX60	CMOS-Compatible Transceiver
	DX65	TTL-Compatible Transceiver
Sistema de prueba:		
	DOCM	On-Chip Maintenance System

Figura 17.2-10. Librería de célula para gate array de 6 K. (*Reimpreso con permiso de Control Data Corporation.*)

La descripción de un elemento típico aparece en la Figura 17.2-11. Estos datos se suministran también en soporte magnético para entrada en CAD.

El bloque del sistema de diseño asistido por computador (CAD) de la Figura 17.2-9 representa un conjunto de programas que se ejecutan sobre una estación de trabajo y un gran computador. Los CAD se tratarán con más detalle en el Capítulo 18. En este momento, es suficiente con darse cuenta de que el propósito de los CAD es verificar la lógica y la corrección temporal del diseño por medio de la simulación en computador, situar los elementos del diseño en las posiciones físicas dentro de la matriz de puertas y conectar (metalizar) la matriz. La salida final de los CAD es una cinta magnética con el generador del circuito patrón (PG), con la que se pueden realizar las máscaras necesarias para la metalización. Refiriéndonos de nuevo al proceso CMOS típico presentado en la

Tipo: NO-Y de 2 entradas D010



Símbolo lógico Esquemático

(*a*)

Nombre de la entrada	Carga de entrada	Nombre de la salida	Retardo de propagación							
			Subida de la salida				Caída de la salida			
			Base, MS		LF, MS/PF		Base, MS		LF, MS/PF	
			Mín.	Máx.	Mín.	Máx.	Mín.	Máx.	Mín.	Máx.
A, *B*	0,08	*YA*	0,11	0,64	0,65	2,34	0,11	0,35	0,77	2,38

(*b*)

Figura 17.2-11. Datos típicos para un elemento de un gate array. (*Reimpreso con permiso de Control Data Corporation.*)

Tamaño del gate array Número de puertas	Utilización de puertas o células
3 K	90%
10 K	70-80%
100 K	30-40%

Figura 17.2-12. Utilización de la célula por variación del tamaño del gate array.

Figura 16.6-1, la metalización precisa desde la máscara M_6 hasta la M_{10}. Como muestra la Figura 17.2-9, estas máscaras se usan para finalizar la elaboración de las obleas maestras preprocesadas.

17.2-4. Dimensionado del chip

Aunque a los fabricantes les gusta anunciar el tamaño de sus gate arrays mediante el número de puertas *equivalentes*, donde una puerta equivalente se define como una puerta de dos entradas, este dato sólo sirve para realizar comparaciones aproximadas. Cuando se divide el diseño de un sistema en gate arrays separados es importante entender exactamente qué constituye una célula, cuántas células se necesitan para implementar cada miembro de la familia de células y el número total de células lógicas y de entrada/salida que hay en la matriz.

En el gate array del tipo mostrado en la Figura 17.2-7*a* el número de puertas es igual al número de células, mientras que en el gate array del tipo representado en la Figura 17.2-2 el número de puertas anunciado es igual a 1,5 veces el número de células. Lo que el ingeniero que diseña con gate array debe asegurar es que el número total de células usadas en el diseño ASIC no supera el porcentaje de células totales (utilización celular) que recomienda el fabricante. Ya que el gate array tiene un número fijo de canales de conexión, todos los fabricantes recomiendan una utilización celular menor del 100 por 100 para poder garantizar que su software de conexionado podrá realmente interconectar el diseño del usuario. La utilización celular recomendada disminuye a medida que aumenta el tamaño del gate array. En la Figura 17.2-12 se muestran algunos valores típicos de utilización celular.

17.3. STRUCTURED ARRAY*

17.3-1. Visión global

Considerando la estructura de los gate arrays, queda claro que no se han previsto dispositivos de memoria [RAM o de sólo lectura (ROM)] en el gate array. Cuando el número de puertas por chip era bajo, esto no representaba un problema. Sin embargo, cuando el número de puertas aumentó hasta 20 000 y más, la carencia de memoria en los gate arrays llegó a ser un serio inconveniente en muchas aplicaciones. Para superar ese inconveniente se introdujeron varios productos que contenían una región con gate array y

* «Structured Array» es una marca registrada por LSI Logic, Ins.

memorias reconfigurables RAM y ROM. Para ser consecuente con la metodología de diseño del gate array, estas RAM y ROM habían de ser reconfigurables por medio de metalización.

17.3-2. Estructura

Uno de los primeros intentos de combinar memoria y lógica en una única matriz fue presentado en la Conferencia Internacional de Circuitos de Estado Sólido del IEEE en 1985[1]. En este artículo se describían las estructuras de los tres chips siguientes:

20 K puertas sin memoria.
15 K puertas con 6 Kbits de memoria.
10 K puertas con 12 Kbits de memoria.

La matriz de 20 K se dividió en 4 cuadrantes y la segunda y tercera estructura se formaron reemplazando uno o dos cuadrantes con RAM de 6 Kbits, como muestra la Figura 17.3-1. Además, los 6 Kbits de RAM consistían realmente en 4 memorias de 64 palabras × 24 bits como se representa en la Figura 17.3-1. Por medio de la metalización es posible configurar un cuadrante de RAM según diferentes organizaciones empleando la memoria de 64 palabras × 24 bits como bloque de construcción. Por ejemplo, se podrían construir dos memorias de 64 palabras × 84 bits, o una memoria de 64 palabras × 96 bits, o una memoria de 256 palabras × 24 bits a partir del bloque de construcción básico, en un solo cuadrante.

A finales de 1986, LSI Logic Corporation introdujo una serie de productos que denominó serie «Structured Array» (matriz estructurada), que contenían un gran número de puertas en una sección de gate array más grande y memorias de alta velocidad reconfigurables con metal. La Figura 17.3-2*a* enumera los miembros de esta serie con el número de puertas y el total de bits de memoria y la Figura 17.3-2*b* informa de cómo pueden ser configuradas estas memorias. La Figura 17.3-3 muestra la disposición en planta de cada uno de los miembros de la serie Structured Array.

Desde el punto de vista del procesado, el Structured Array es similar al gate array en que cualquier parte de un Structured Array específico puede preprocesarse en grandes cantidades, independientemente de la aplicación, hasta los pasos de metalización. El diseño de aplicación específica del usuario puede implementarse entonces usando dos niveles de metalización, como sucedía con el gate array.

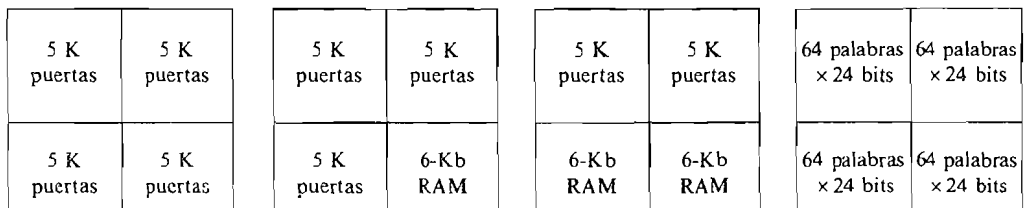


Figura 17.3-1. Gate array CMOS de 20 K con memoria reconfigurable.

Dispositivo	Puertas	Tamaño de RAM
LSA 1501	37 000	18 Kbits
LSA 1502	30 000	36 Kbits
LSA 1503	41 000	4 Kbits (3-port RAM)
LSA 1504	37 000	4 Kbits (5-port RAM)

(*a*)

Tipo de array	Bloques de memoria	Configuraciones posibles por bloque
LSA 1501	Dos × 9 Kbits	1 K × 9 512 × 18 256 × 36
LSA 1502	Dos × 18 Kbits	2 K × 9 1 K × 18 512 × 36
LSA 1503	Dos × 2304 bits 3-port RAM	256 × 9 128 × 18 64 × 36
LSA 1504	Dos × 2304 bits 5-port RAM	256 × 9 128 × 18 64 × 36

(*b*)

Figura 17.3-2. Series de Structured Array de LSI Logic Corporation. (*a*) Tamaño de las RAM y sección gate array; (*b*) configuraciones posibles de RAM. (*Reimpreso con permiso de LSI Logic Corporation.*)

17.3-3. Diseñando con Structured Arrays

Puesto que la región gate array de un Structured Array es idéntica a un gate array, el diseño está sujeto a las mismas limitaciones y metodología que las expuestas en la Sección 17.2. Las memorias pueden reconfigurarse con las limitaciones dadas por el tamaño del bloque constructivo de memoria y el número total de bloques disponibles. Básicamente, la configuración de la memoria consiste en la conexión de los bloques de memoria para formar el número deseado de palabras y de bits por palabra.

17.3-4. Dimensionado del chip

La determinación de la cantidad de lógica que cabe en una región de matriz lógica de un Structured Array específico se realiza exactamente igual que en un gate array. La cantidad de memoria está claramente definida por los bloques constructivos del Structured Array. Como en el caso del gate array, el tamaño dado es siempre el mismo, independientemente del porcentaje de matriz usada en un diseño específico.

17.4. STANDARD CELLS

17.4-1. Visión global

En cada una de las anteriores aproximaciones al diseño ASIC, se estableció un cierto compromiso en el cual se sacrificaba bien la densidad, bien las características finales para facilitar la personalización. Con el *logic cell array* se sacrificaron densidad y velocidad

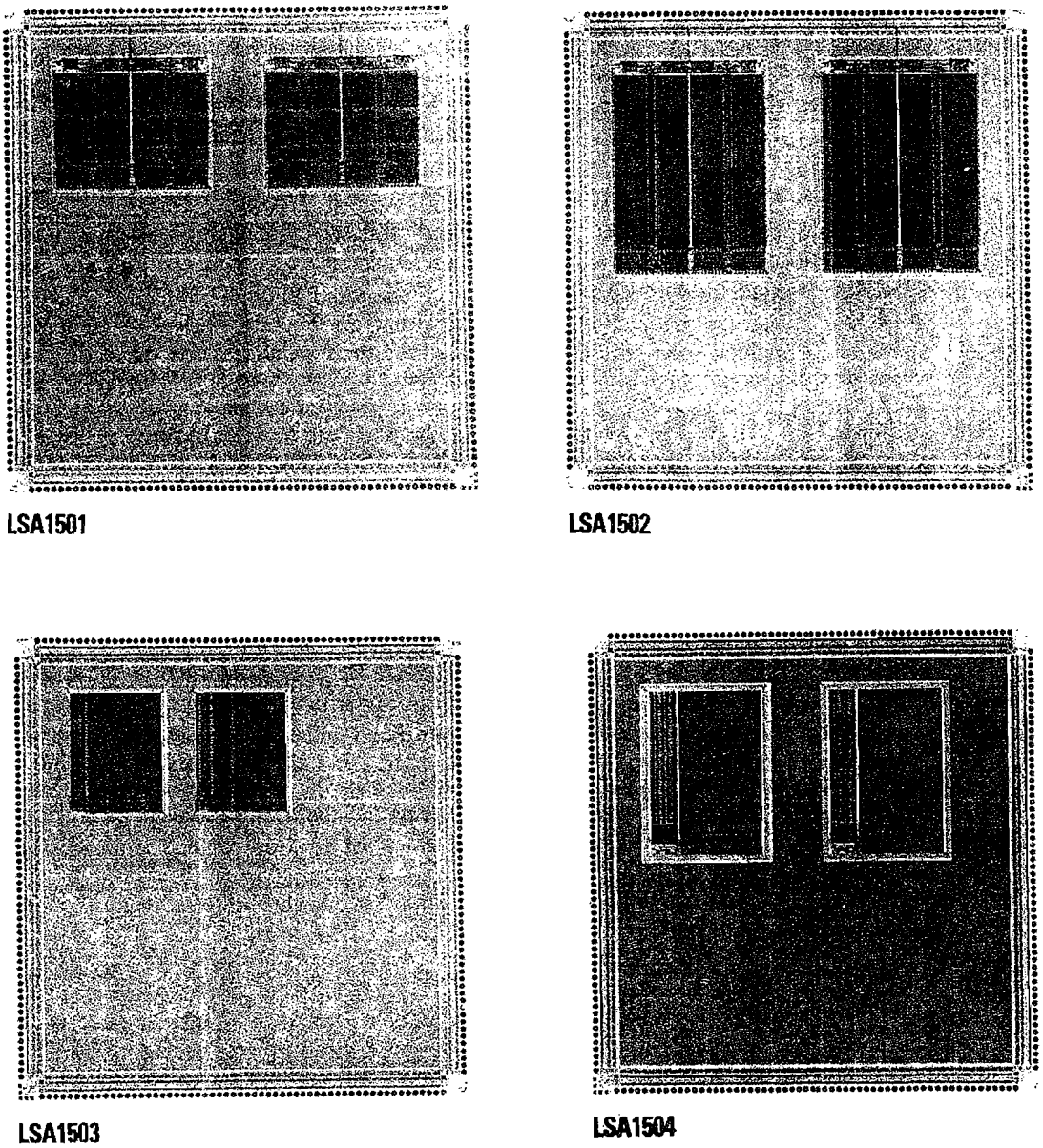


Figura 17.3-3. Plano de planta para la serie de LSI Logic Corporation. (*Reimpreso con permiso de LSI Logic Corporation.*)

para conseguir producir un solo tipo de bloque que pueda ser personalizado por medio de los datos almacenados en los chips de RAM. Aunque capaz de una mayor densidad y mejores características que el logic cell array, el *gate array* sacrificaba tanto las características finales óptimas, al exigir que todos los transistores fuesen del mismo tamaño, como la densidad óptima ya que había que proporcionar suficientes canales de conexionado para

manejar adecuadamente cualquier lógica (y estos canales estaban ahí tanto si eran usados como si no). Estos compromisos permiten que el gate array se personalice a la vez que tiene lugar la metalización del chip.

Con el método *standard cell* es posible mejorar las características, densidad y tamaño del dado del gate array, pero el precio a pagar es que la personalización se consigue mediante unas máscaras únicas para todos los pasos del proceso. Por tanto, el proceso para el diseño con standard cell es más largo y costoso. Puesto que se requiere un conjunto completo de máscaras para cada diseño ASIC, el coste del conjunto de máscaras será mayor que el de las máscaras de metalización que se necesitan para los gate arrays. Una última ventaja de los standard cells es que cualquier tamaño de memoria, ALU u otro bloque funcional deseado puede situarse en cualquier sitio del dado. Esta es una ventaja significativa sobre el Structured Array en el cual las RAM están predifundidas en posiciones específicas.

17.4-2. Estructura del standard cell

A diferencia de los gate arrays, donde una célula queda determinada por un número fijo y una distribución fija de transistores n y p de igual tamaño, en la metodología standard cell una célula es una unidad funcional como puede ser una puerta, un biestable o un multiplexor y contendrá un número variable de transistores de diversos tamaños. Por ejemplo, una célula NO-Y de dos entradas contendrá cuatro transistores mientras que una puerta de cuatro entradas contendrá 8 transistores. Una familia de células se diseña donde los tamaños de los transistores dentro de una célula y desde una célula a otra célula puedan variar y variarán en su longitud (L) y ancho (W). Cada célula de la familia es diseñada y situada para optimizar parámetros específicos. Por ejemplo, si la velocidad es la principal característica, se puede usar transistores más anchos como dispositivos de canal p en pull-up, que equilibrarán los tiempos de subida y de bajada de las puertas. Esto puede verse recordando las discusiones previas (véase Sec. 3.2 y la introducción al Cap. 16) donde la corriente de drenaje a fuente, i_{DS}, para un MOSFET, es proporcional a k_n y k_p, ecuaciones que conviene repetir a continuación:

$$k_n = \frac{\mu_n \epsilon}{2t} \times \frac{W}{L} \tag{17.4-1}$$

y

$$k_p = \frac{\mu_p \epsilon}{2t} \times \frac{W}{L} \tag{17.4-2}$$

donde μ_n = movilidad de los electrones en canal n
μ_p = movilidad de los huecos en canal p
ϵ = constante dieléctrica del óxido bajo la puerta
t = espesor del óxido de puerta
W = ancho del canal
L = longitud del canal
$\mu_n \approx 2{,}7\ \mu_p$ (para silicio)

Puesto que para cualquier línea de procesado dada μ_n, μ_p, ϵ y t están fijadas y L tendrá el tamaño característico mínimo de cara a conseguir la máxima velocidad, el ancho del

transistor de canal *p* debe ser aproximadamente 2,7 veces el ancho del transistor de canal *n* en un inversor CMOS para tener unos tiempos de subida y de bajada equilibrados. De modo similar, la relación W/L de los transistores será distinta en puertas de dos entradas y de cuatro entradas, para mantener resultados óptimos en cada célula (puerta).

Las células de una familia son diseñadas de manera individual, situadas y simuladas empleando un simulador de circuitos con soporte software. Un simulador popular es el denominado SPICE y se presenta en el Capítulo 18. Las células son pues, construidas y comprobadas para confirmar su funcionamiento eléctrico y funcional. Todas las células se diseñan con la misma altura y sólo varian en el ancho, como se muestra en la Figura 17.4-1. Esto se hace para permitir un software de ubicación y conexionado automático que disponga las células en filas de igual altura, con buses de tensión y de masa discurriendo a través de la parte superior e inferior de cada fila. Una disposición típica de células se muestra en la Figura 17.4-2. Las filas adyacentes están separadas por canales de conexión horizontales, como puede verse en la Figura 17.4-3. Puesto que la solución standard cell requiere un conjunto completo de máscaras, las filas de células no necesitan estar separadas por un número fijo predeterminado de canales de conexión. En lugar de esto, el software de conexionado creará tantos canales horizontales de conexión como necesite. Por tanto, el número de canales de conexión entre filas variará, necesitándose el mayor número de canales cerca de la zona central del chip y, evidentemente, menor número cerca de las partes superior e inferior. Dado que la metodología de diseño standard cell se desarrolló antes de que fuera posible el procesado con dos niveles de metalización, las conexiones horizontales usaban metal mientras que los caminos de conexión vertical se realizaban con polisilicio. Esto creó la necesidad de un método de atravesar una fila de células, empleando polisilicio, sin cortocircuitar el ya empleado en el diseño de la célula. Esto se utilizó en el

Célula	Flanco temporal* (ns)	Retardo* (ns)	Altura (μ)	Ancho (μ)
Two-input NOR	0,8 + 3,3 ns/pF	1,4 + 2,2 ns/pF	100 μm	30
Three-input NOR	1,0 + 3,2 ns/pF	1,2 + 2,2 ns/pF	100	50
Two-input NAND	1,0 + 2,0 ns/pF	1,8 + 1,4 ns/pF	100	30
Three-input NAND	1,3 + 2,6 ns/pF	0,6 + 1,8 ns/pF	100	40
Inverter	0,6 + 1,8 ns/pF	1,3 + 1,3 ns/pF	100	20
Four-input NAND	1,3 + 3,7 ns/pF	1,5 + 2,7 ns/pF	100	50
Five-input NAND	2,6 + 4,3 ns/pF	3,2 + 2,9 ns/pF	100	70
Two-input AND	0,6 + 1,6 ns/pF	2,0 + 2,8 ns/pF	100	40
Four-input AND	0,4 + 2,2 ns/pF	3,0 + 1,5 ns/pF	100	60
Five-input AND	0,8 + 1,7 ns/pF	3,1 + 1,4 ns/pF	100	80
2-1 multiplexer (data)	1,5 + 2,9 ns/pF	1,6 + 2,1 ns/pF	100	50
3,2 AND/NOR	1,8 + 4,0 ns/pF	2,0 + 2,8 ns/pF	100	80
XOR	0,7 + 3,1 ns/pF	2,1 + 2,0 ns/pF	100	70
X NOR	1,0 + 4,8 ns/pF	2,4 + 3,4 ns/pF	100	60
D flip-flop with Reset	2,0 + 3,7 ns/pF	3,3 + 3,4 ns/pF	100	150 C→$\bar{Q}$
	1,6 + 1,1 ns/pF	2,8 + 0,83 ns/pF		R→$\bar{Q}$
Latch	1,4 + 3,4 ns/pF	2,0 + 2,3 ns/pF	100	80 D→Q

* Tiempo para tensión nominal (5 V), temperatura (25 °C) y procesado nominal.

Figura 17.4-1. Datos de una familia standard cell típica de 3 μm.

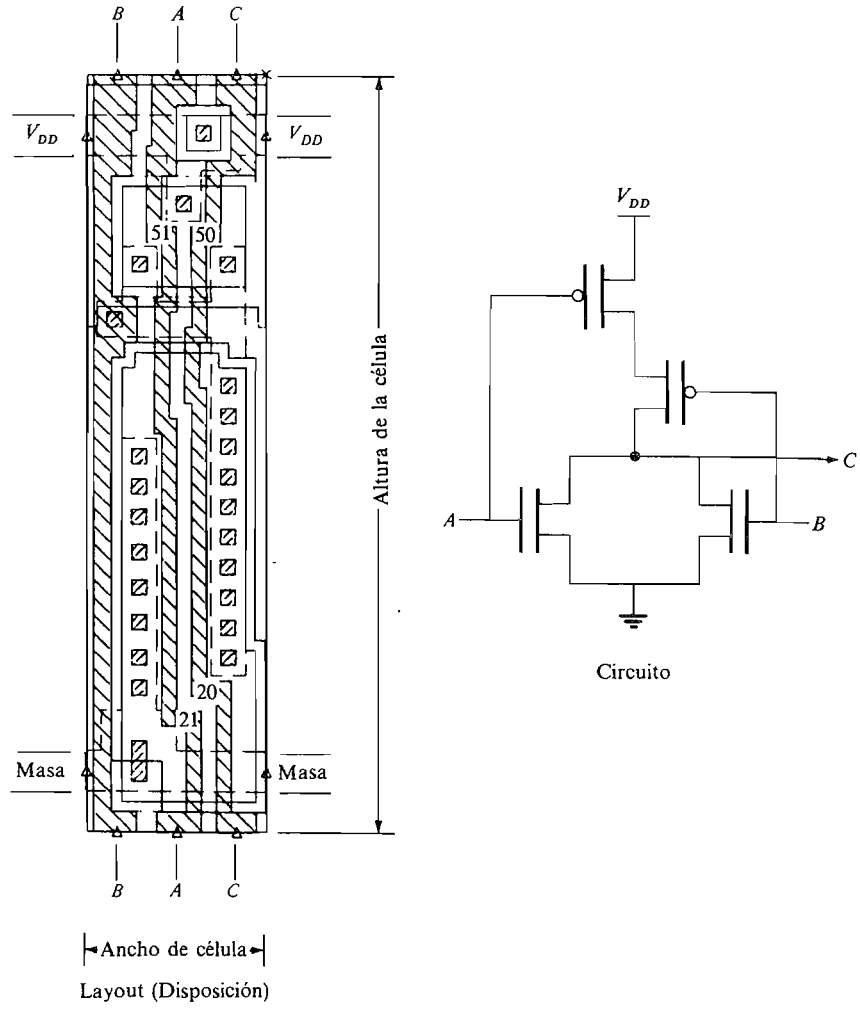


Figura 17.4-2. Distribución de célula de doble entrada para puerta NO-O de dos entradas.

diseño de células del tipo doble-entrada, como se ve en la Figura 17.4-2, donde todas las entradas y salidas de la célula se sacan por la parte superior e inferior de la misma. Si se necesitan canales de conexión verticales adicionales se pueden situar «células de atravesamiento» (*feed-through cells*) entre células lógicas allí donde el conexionado lo necesite. Estas células de atravesamiento, son simplemente caminos de polisilicio actuando como una conexión vertical entre caminos de conexión horizontal. Ahora que el doble nivel de metalización está bien establecido dentro del proceso, se usa la misma solución en la interconexión excepto en que las células han sido rediseñadas para permitir que las entradas y las salidas de la célula se conecten a los contactos metálicos de la parte superior e inferior, y en que las células de atravesamiento son también metálicas.

Grandes bloques diseñados por el usuario como RAM, ROM, etc., pueden incluirse en una librería standard cell. Estos bloques se diseñan como grandes células de usuario

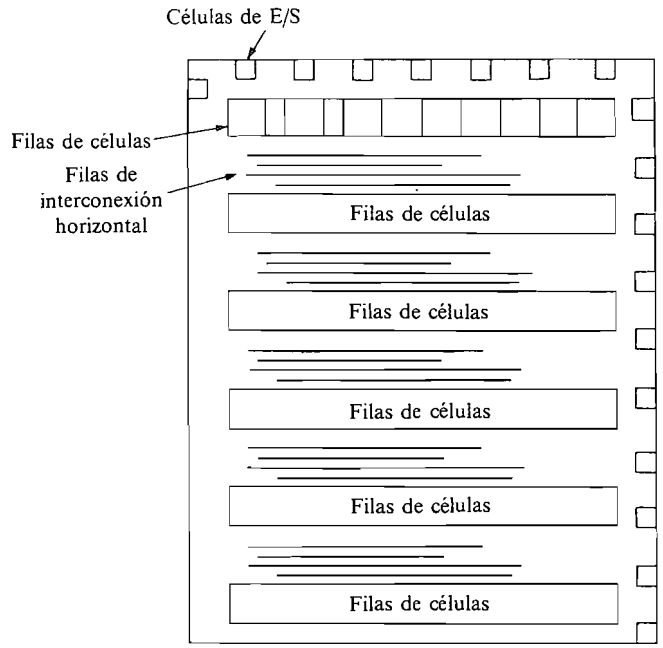


Figura 17.4-3. CI standard cell típico con filas de células separadas por canales de conexión.

que pueden tener cualquier dimensión. Puesto que la mayor parte del software no puede situar y conectar automáticamente bloques que no tengan una altura estándar, son necesarios algunos posicionamientos y conexiones manuales para incorporar estos bloques de usuario en el standard cell.

De lo expuesto con anterioridad resultan claras dos ventajas del standard cell sobre los gate arrays. Primero, debido a que en el conexionado sólo se crean aquellos canales que se necesitan no se derrocha espacio en canales de conexión sin utilizar. Esto conduce a un menor tamaño del dado. También garantiza que el diseño puede ser enlazado puesto que en el conexionado se pueden añadir canales y poner filas de células cuando se necesite. Segundo, puesto que se permiten diferentes tamaños de transistores en el diseño de la célula, se pueden optimizar todas las células para la aplicación deseada, resultando un ASIC más optimizado.

Cuando se observa la disposición de un diseño o una fotomicrografía de un chip, es fácil determinar si se utilizó una solución gate array o standard cell. En el gate array las células están ordenadas en columnas verticales con un espacio uniforme entre columnas. En el caso de standard cells, las células están ordenadas en filas con un espacio variable entre células. Esto se observa en las fotomicrografías de la Figura 17.4-4.

17.4-3. Diseñando con standard cells

El proceso de diseño de una célula estándar ASIC es muy similar al de un gate array. El diseñador del ASIC dispone de una librería de familias de células que contiene los datos necesarios para definir la función, el tamaño y el funcionamiento de cada célula. La

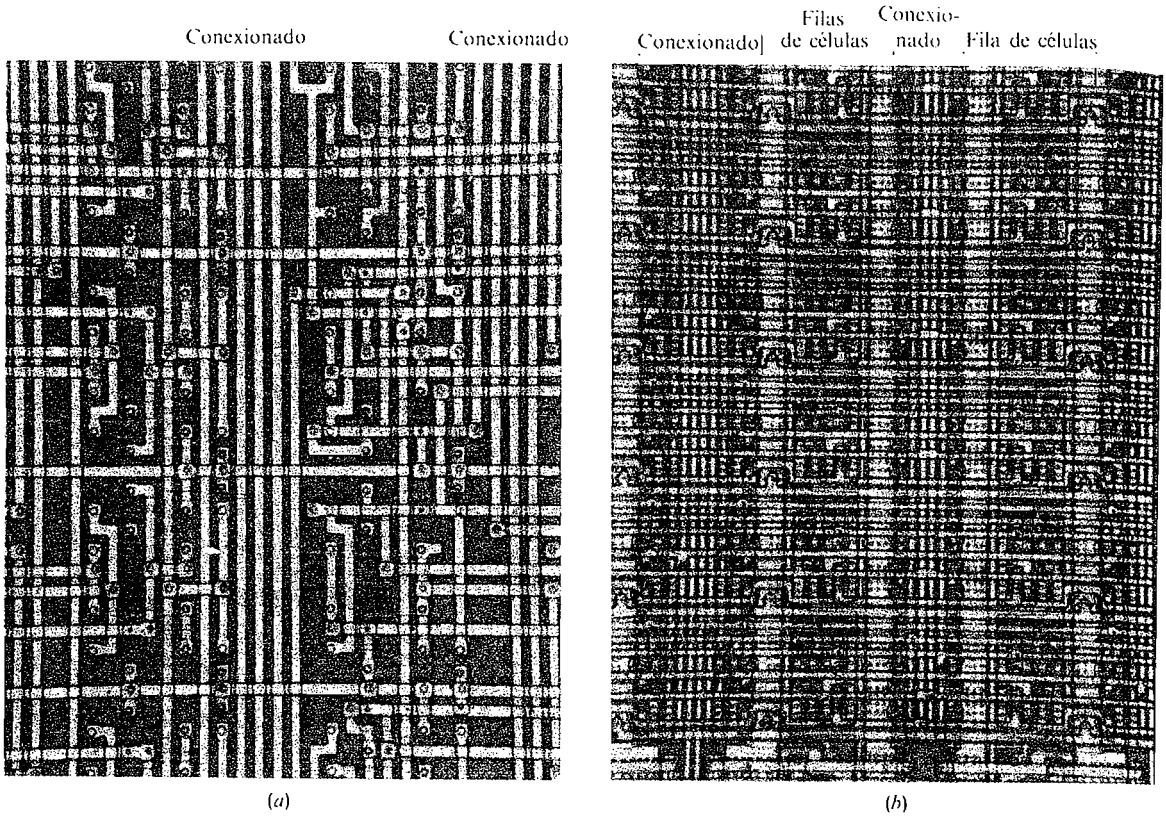


Figura 17.4-4. Fotomicrografías de: (*a*) gate array; (*b*) standard cell. (*Cortesía de V T C Incorporated.*)

función de cada célula está definida por un esquema del circuito y su tabla de verdad. El tamaño de célula se especifica mediante una altura, en la que se incluyen los buses de alimentación y masa en la parte superior e inferior, y el ancho de la célula. Estas dimensiones se expresan normalmente en micras. El retardo de propagación y los tiempos de subida y de bajada para la salida de las células vienen dados usualmente por ecuaciones del siguiente tipo:

$$t_{pd} = \text{retardo base} + (C_L \times \text{factor de retardo}) \qquad (17.4\text{-}3)$$

donde t_{pd} es el retardo de propagación, el retardo base se da en nanosegundos, C_L es la capacidad de carga total y el factor de retardo se especifica en nanosegundos por picofaradios (ns/pF).

La Figura 17.4-5 resume la información clave para una familia de células a tensión, temperatura y procesado nonimales e ilustra las especificaciones detalladas que se suministran para una célula típica de una familia. Hay que advertir que se proporcionan datos para obtener los retardos de propagación y la rapidez de los flancos a varias temperaturas, tensiones y capacidad de la carga. Más importante aún, estos datos se suministran como

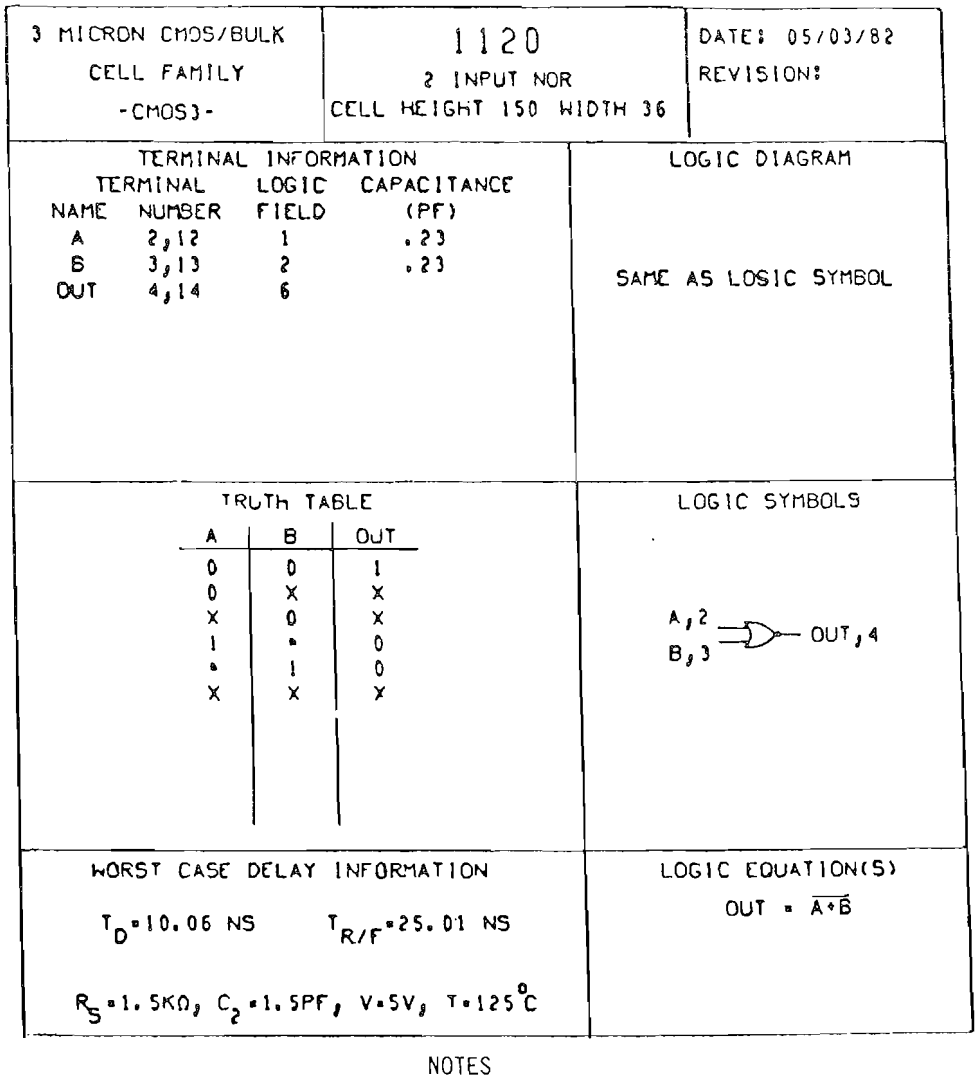


Figura 17.4-5. Hojas de datos típicas de célula.

una base de datos de familias de células en un medio magnético para usar en CAD (programas de diseño asistido por computador), los cuales calcularán todos los retardos del circuito a la tensión, temperatura y proceso especificados por el usuario.

La Figura 17.4-6 muestra una visión global de los pasos de diseño y fabricación para un diseño standard cell. Comparándolo con la Figura 17.2-9 se revela que los pasos y el esfuerzo para el ingeniero de diseño son los mismos para standard cell y gate array. Existen programas de CAD para la realización de las mismas funciones. Donde las dos metodologías difieren es en que para realizar un ASIC mediante standard cell es necesario generar un conjunto completo de cintas generadoras de patrones (PG) y máscaras y todos los pasos del procesado son únicos. Por tanto, donde sería de esperar un coste adicional y un

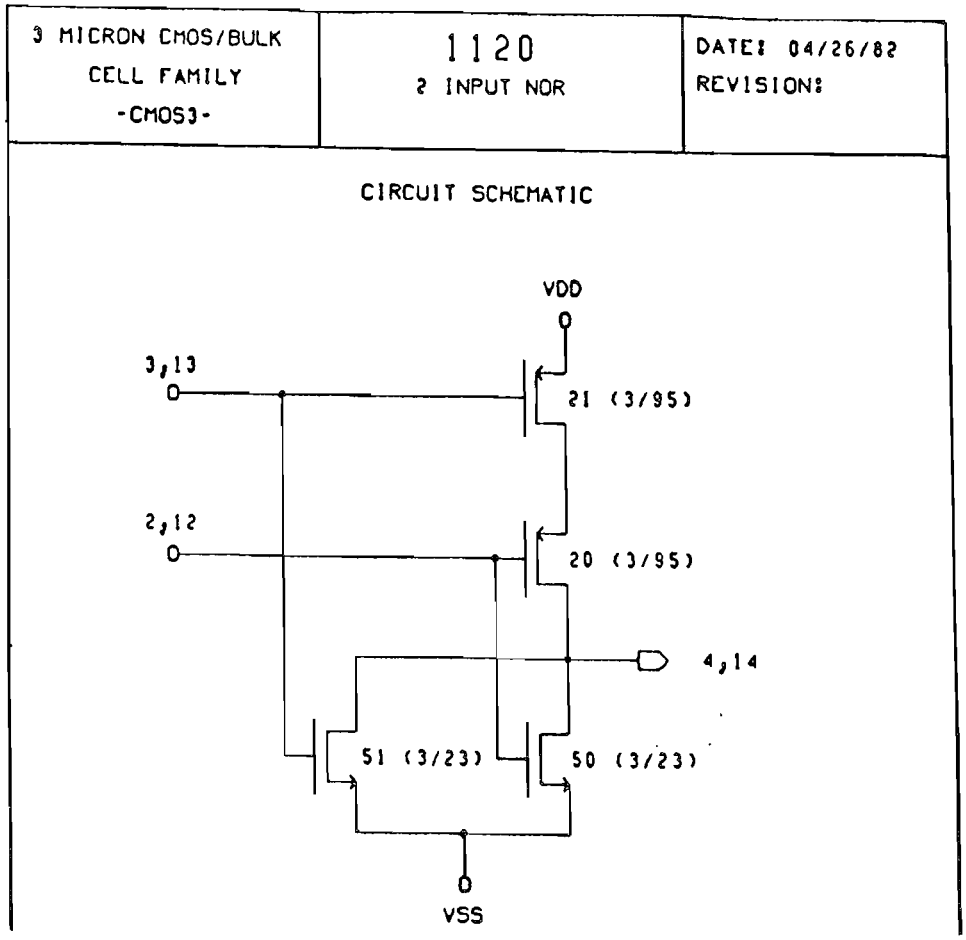


Figura 17.4-5. (*Continuación*).

tiempo de desarrollo extra para la solución standard cell es en la realización de máscaras y en la fabricación. El esfuerzo de diseño por parte del ingeniero de diseño del ASIC es básicamente el mismo para gate array y standard cell.

17.4-4. Dimensionado del chip

Cuando se divide el diseño de un sistema en ASIC standard cell, es necesario para el ingeniero de diseño estimar la cantidad de lógica que encajará en un solo ASIC. En diseños standard cell, a esta estimación se llega calculando el número de micras lineales que requiere la lógica, suponiendo que el chip está dispuesto como una única fila larga. Esto se hace sumando el ancho de todas las células empleadas. El área activa (área de células) se calcula entonces multiplicando las micras lineales totales (ancho total) por la altura de la célula, que es la misma para todas las células. Esta área total se multiplica por

3 MICRON CMOS/BULK CELL FAMILY -CMOS3-	1120 2 INPUT NOR	DATE: 04/30/82 REVISION:

OUTPUT CHARACTERISTIC EQUATIONS

$$P_D(0\text{-}1) = P_{DC}(0\text{-}1) + 0.20\ (T_{R/F} - 10) + 0.63 R_S C_L$$

$$P_D(1\text{-}0) = P_{DC}(1\text{-}0) + 0.22\ (T_{R/F} - 10) + 0.59 R_S C_L$$

$$T_R = T_{RC} + 0.17\ (T_{R/F} - 10) + 2.43 R_S C_L$$

$$T_F = T_{FC} + 0.21\ (T_{R/F} - 10) + 2.41 R_S C_L$$

EQUATIONS

25°C	95°C	125°C
$P_{DC}(0\text{-}1) = 2.33 C_L + 3.64$	$P_{DC}(0\text{-}1) = 3.00 C_L + 3.95$	$P_{DC}(0\text{-}1) = 3.29 C_L + 4.08$
$P_{DC}(1\text{-}0) = 2.08 C_L + 4.02$	$P_{DC}(1\text{-}0) = 2.63 C_L + 4.37$	$P_{DC}(1\text{-}0) = 2.85 C_L + 4.52$
$T_{RC} = 7.69 C_L + 3.57$	$T_{RC} = 10.12 C_L + 4.20$	$T_{RC} = 11.17 C_L + 4.48$
$T_{FC} = 6.43 C_L + 3.32$	$T_{FC} = 8.42 C_L + 3.80$	$T_{FC} = 9.27 C_L + 4.04$

125°C BC

$$P_{DC}(0\text{-}1) = 1.60 C_L + 2.85$$

$$P_{DC}(1\text{-}0) = 1.38 C_L + 2.97$$

$$T_{RC} = 5.66 C_L + 3.12$$

$$T_{FC} = 4.58 C_L + 3.70$$

VOLTAGE TABLE

VOLTAGE	DEVIATION FACTOR			
	TRANSITION		PROP DELAY	
	TR	TF	1-0	0-1
3.0	1.45	1.51	1.64	1.54
3.5	1.29	1.33	1.42	1.36
4.0	1.14	1.15	1.20	1.17
4.5	1.07	1.08	1.10	1.09
5.0	1.00	1.00	1.00	1.00
5.5	.96	.96	.95	.95
6.0	.92	.92	.89	.90
6.5	.89	.90	.86	.87
7.0	.87	.87	.82	.84

Figura 17.4-5. (*Continuación*).

un factor de conexionado de 2,5 para llegar al área activa más conexionado. Al factor de conexionado de 2,5 se llega asumiendo una altura de célula de 100 μm y una media de 15 canales horizontales entre filas, con un espaciado entre canales de 10 μm de centro a centro (zona de metal), como se muestra en la Figura 17.4-7. A medida que la geometría mínima disminuye, la altura de célula y la zona de metal disminuyen también de forma que el factor de conexionado de 2,5 ha permanecido prácticamente constante durante varios

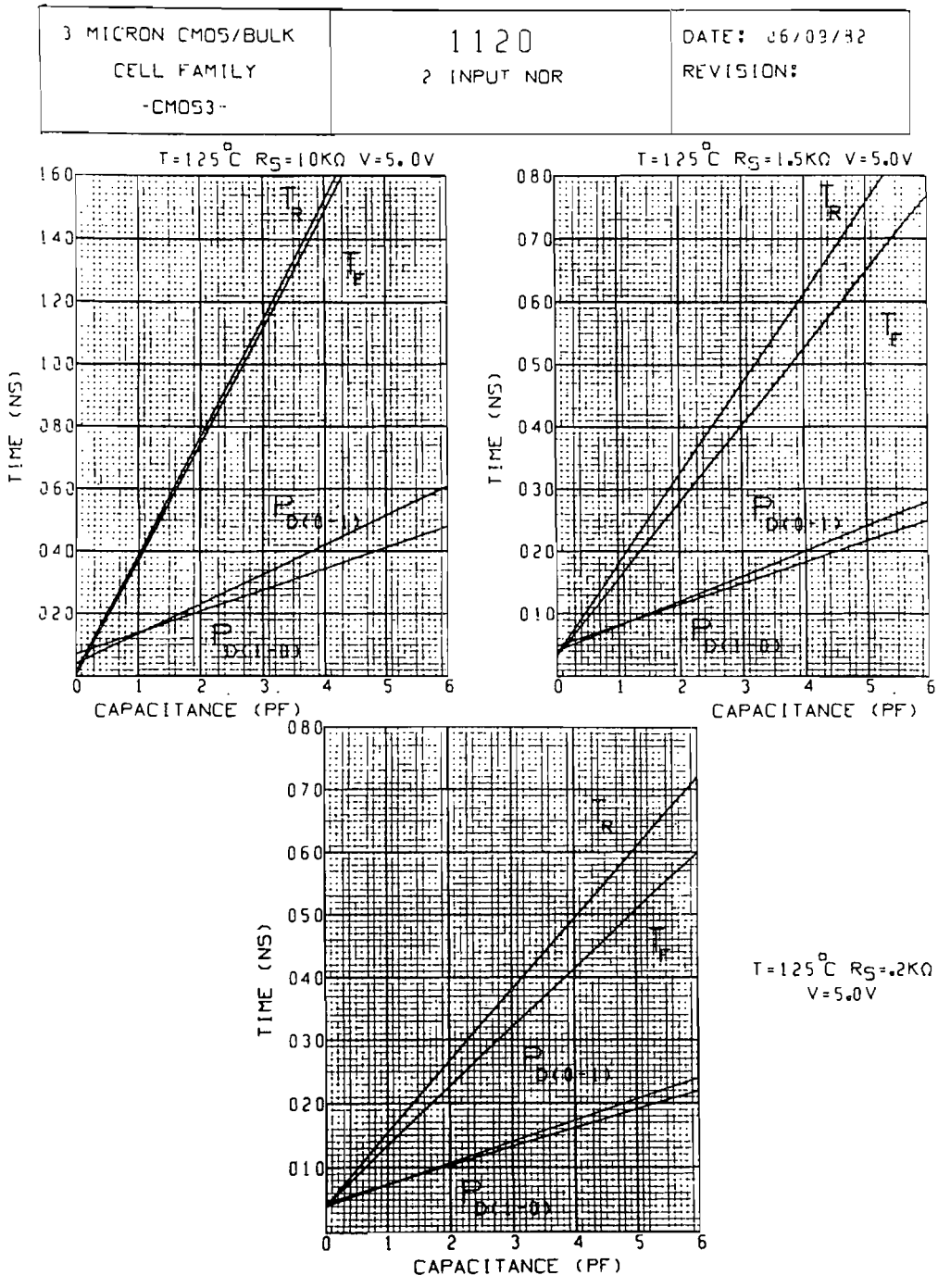


Figura 17.4-5. (*Continuación*).

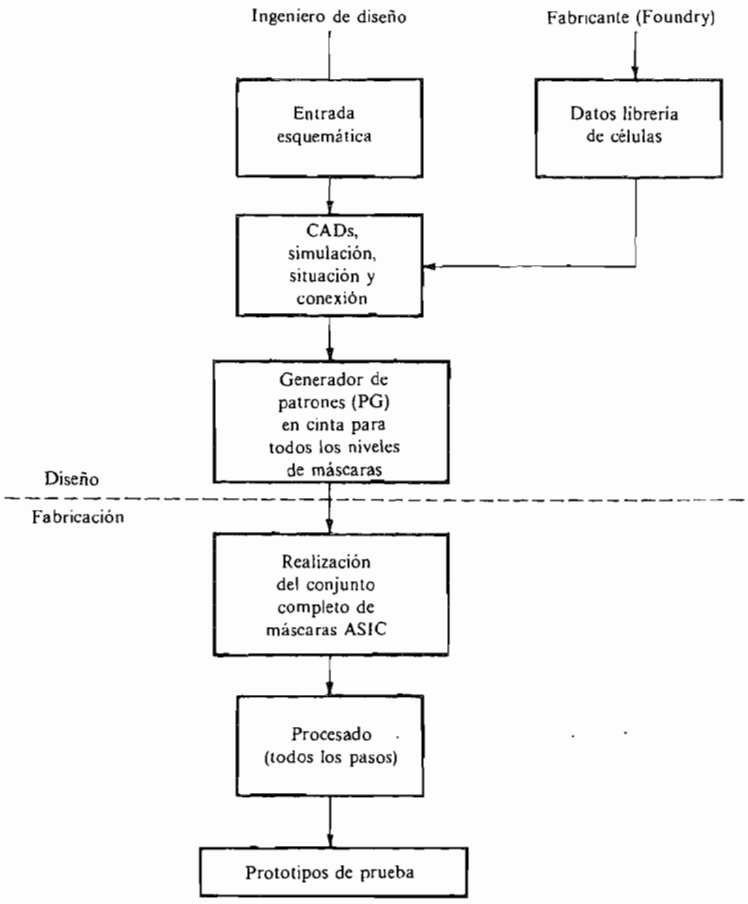

Ingeniero de diseño
Fabricante (Foundry)
Entrada esquemática
Datos librería de células
CADs, simulación, situación y conexión
Generador de patrones (PG) en cinta para todos los niveles de máscaras
Diseño
Fabricación
Realización del conjunto completo de máscaras ASIC
Procesado (todos los pasos)
Prototipos de prueba

Figura 17.4-6. Visión global del proceso y diseño con standard cell.

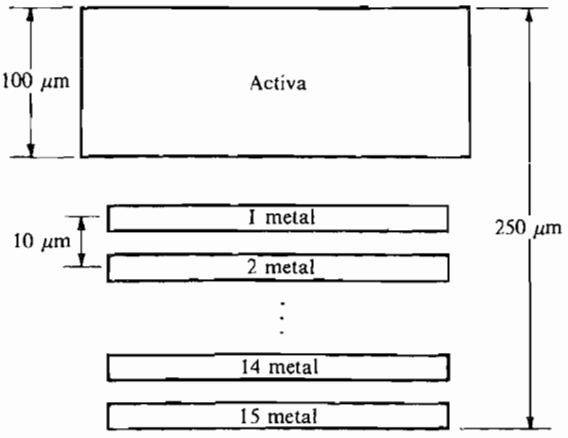


Figura 17.4-7. Area de conexionado frente a la activa para una célula standard cell típica.

años. A la anterior estimación debe añadirse el área de cualquier bloque de usuario, como RAM o ROM, y el espacio requerido para los terminales de conexión, que es aproximadamente de 25 mils en cada lado del dado. Combinando todo lo anterior en una única ecuación se tiene la siguiente estimación para el tamaño del dado (asumiendo un dado cuadrado):

$$\text{Tamaño del dado} = \sqrt{\frac{(W_A \times h \times 2{,}5) + A_d}{645\ \mu\text{m}^2/\text{mil}^2}} + 50 \text{ mils} \qquad (17.4\text{-}4)$$

donde W_A = ancho de la célula total, μm
h = altura de la célula, μm
A_d = área de los bloques internos, μm^2

Para comprender mejor el empleo de esta ecuación considérese el siguiente ejemplo.

EJEMPLO 17.4-1

Calcular el tamaño del dado para un ASIC standar cell que se estima que necesita las células abajo enumeradas. Emplear la familia de células mostrada en la Figura 17.4-1 y suponer un dado cuadrado.

600 biestables D
350 multiplexores 2-1
200 biestables Latch
500 inversores
250 puertas O-exclusiva
175 NO-Y de dos entradas
150 NO-Y de cuatro entradas
1 RAM de 512 × 8 (la RAM se incluye en 6144 mils^2)

Solución

600 biestables D	= 600 × 150 μm lineales	= 90 000 μm lineales
350 multiplexores 2-1	= 350 × 50	= 17 500
200 biestables Latch	= 200 × 80	= 16 000
500 inversores	= 500 × 20	= 10 000
250 puertas O-exclusiva	= 250 × 70	= 17 500
175 NO-Y de dos entradas	= 175 × 30	= 5250
150 NO-Y de cuatro entradas	= 150 × 50	= 7500
Ancho total		= 163 750

$$\text{Area activa} = 163\,750\ \mu\text{m} \times \underset{\substack{\uparrow \\ \text{(Altura de la célula)}}}{100\ \mu\text{m}} = 16\,375\,000\ \mu\text{m}^2$$

$$\text{Area total} = 16\,375\,000\ \mu\text{m}^2 \times \underset{\substack{\uparrow \\ \text{(Factor de conexionada)}}}{2{,}5} = 40\,937\,500\ \mu\text{m}^2$$

$$\text{Tamaño del dado} = \sqrt{\frac{40\,937\,500\ \mu m^2}{645\ \mu m^2/mil^2}} + \underset{\uparrow}{6144} + \underset{\uparrow}{50\ \text{mils}}$$
$$\text{(RAM)} \qquad \text{(E/S conexiones)}$$
$$= 264 + 50$$
$$= 314 \text{ mils por lado}$$

17.5. DISEÑO FULL CUSTOM

17.5-1. Visión global

Todos los diseños iniciales de circuitos integrados (CI) eran diseños full custom y aún hoy día gran cantidad de CI como memorias y microprocesadores son diseños totalmente a medida. Los primeros CI a medida se disponían manualmente en hojas Mylar de gran tamaño que eran reducidas fotográficamente. Se necesitaba un diseño manual por separado para cada máscara del conjunto. Actualmente este proceso ha sido automatizado de manera significativa puesto que sólo se realiza un único diseño simbólico que tiene distintos símbolos para cada uno de los niveles de máscaras. La inmensa mayoría de estos diseños se realiza en estaciones de trabajo tales como las estaciones de trabajo CALMA. Aunque el diseño se introduce todavía a nivel de distribución del circuito en lugar de a nivel esquemático de puertas lógicas, las CALMA permiten la duplicación sencilla de un circuito. La situación y el conexionado de todos los circuitos se introducen manualmente en las estaciones CALMA.

El diseño full custom precisa la mayor inversión en tiempo de desarrollo y fuerza de trabajo pero esto repercute en un tamaño mínimo del dado y en densidad máxima y mejores características. El tamaño del dado es muy importante en aplicaciones donde la demanda es elevada. Como se mostraba en la Sección 16.8, el rendimiento y, por tanto, el coste del ASIC son función del tamaño del dado. Las mejores características de los diseños a medida vienen de su capacidad tanto para optimizar los circuitos individuales a nivel de transistor, ajustando las relaciones W/L para satisfacer sus necesidades específicas de control, como para situar los circuitos muy cercanos los unos a los otros, reduciendo por esa razón el retardo RC de la interconexión. Por tanto, incluso puertas del mismo tipo pueden tener transistores de diferente tamaño dependiendo de su carga. Además, cuando se trabaja a nivel de transistor se pueden crear realizaciones muy novedosas de funciones lógicas que pueden evitar cantidades significativas de espacio real. Se presentan varios ejemplos de estas nuevas implementaciones en los circuitos de *cuenta y selección* en el texto sobre VLSI de Meade y Conway[2].

Otra aplicación que se presta a un diseño *custom* (a medida) es cualquier diseño regular formado por un elemento base de lógica o de procesado que, una vez optimizado, puede repetirse varias veces en el CI. Aquí, la capacidad de duplicación de la estación de trabajo puede usarse de manera efectiva a nivel de chip, para conseguir las ventajas en densidad y características de un diseño totalmente a medida. Ejemplos de tales aplicaciones son las matrices sistólicas lineales, desarrolladas por Lipton[3] para comparar cadenas de ADN, y las matrices sistólicas bidimensionales de Mead y Conway[2] expuestas en el Capítulo 8.

17.5-2. Estructura del diseño full custom

A diferencia de los gate arrays, Structured Arrays y standard cells, cada una de los cuales presenta una estructura fundamental dentro del silicio, la solución totalmente a medida no impone restricciones estructurales al diseñador. Cualquier cosa puede ir en cualquier sitio y en muchos casos los bloques lógicos se interconectan colocándose contiguos unos a otros.

17.5-3. Equipo de diseño

Empleando los CAD disponibles y estaciones de trabajo los diseños de gate arrays, Structured Arrays y standard cells pueden ser realizados por un único ingeniero de diseño lógico que no precisa tener experiencia en el diseño de CI o en el layout. Empleando estas herramientas, cualquier diseñador de sistemas experimentado, que haya diseñado tarjetas de circuitos digitales con éxito empleando bloques TTL o ECL estándar, puede convertirse en un diseñador ASIC. Esto no es así cuando se realiza el diseño full custom de un ASIC. Los ASIC a medida son diseñados normalmente por un equipo formado por un *ingeniero de diseño lógico*, un *ingeniero de diseño de CI* y un *ingeniero de layout;* se necesita a cada uno de estos ingenieros para que contribuya con su conjunto de habilidades. El papel de cada uno se discutirá a la vez que se describen los pasos de diseño mostrados en la Figura 17.5-1. El ingeniero de diseño lógico divide el diseño del sistema en ASIC, genera diagramas de bloques y diagramas lógicos para cada chip y es el responsable de la realización de una simulación funcional donde todos los retardos de las puertas se tratan como retardos unitarios y se ignoran los retardos del cableado. El propósito de tal simulación es verificar la corrección lógica del diseño. El diseñador del circuito y el ingeniero encargado del layout trabajan muy próximos. El diseñador del circuito especifica el diseño incluyendo todos los tamaños de transistores, mientras que el ingeniero de layout optimiza la ubicación topológica de los mismos. El chip se simula entonces empleando parámetros del proceso, modelos de transistores y datos de la disposición para simular la evolución temporal del chip. Antes de la generación de las cintas PG, la base de datos realizada por el diseñador del circuito y el ingeniero de disposición de circuitos se compara con la base de datos del diseño lógico para asegurar que están de acuerdo. Finalmente se realiza un conjunto completo de máscaras únicas y se ejecuta el proceso completo.

17.6. ANALISIS DE COSTES

Cuando se diseña un nuevo sistema, el diseñador debe seleccionar la tecnología del circuito integrado y las técnicas de encapsulado que reúnan todos los requerimientos técnicos, quedando aparte la planificación del desarrollo y las restricciones del coste. A lo largo de la década de los ochenta numerosos estudios, análisis e informes económicos indicaban que, incluso con un número de transistores relativamente bajo, los CI semicustom daban lugar a un menor coste del sistema que los chips MSI (circuitos TTL o ECL de 16 pines). Un artículo de Fey[4] en 1986 contenía la siguiente enérgica afirmación: «Para conseguir todas las ventajas que ofrece la oportunidad de eliminar costes en los dispositivos custom y semicustom, el fabricante de sistemas debe eliminar virtualmente todo circuito MSI». Dado que se usarán ASIC custom o semicustom se ha de estudiar la solución de diseño más adecuada para una aplicación específica. El propósito de esta sección es presentar aquellos aspectos del diseño de sistemas que es necesario considerar cuando se toma tal decisión.

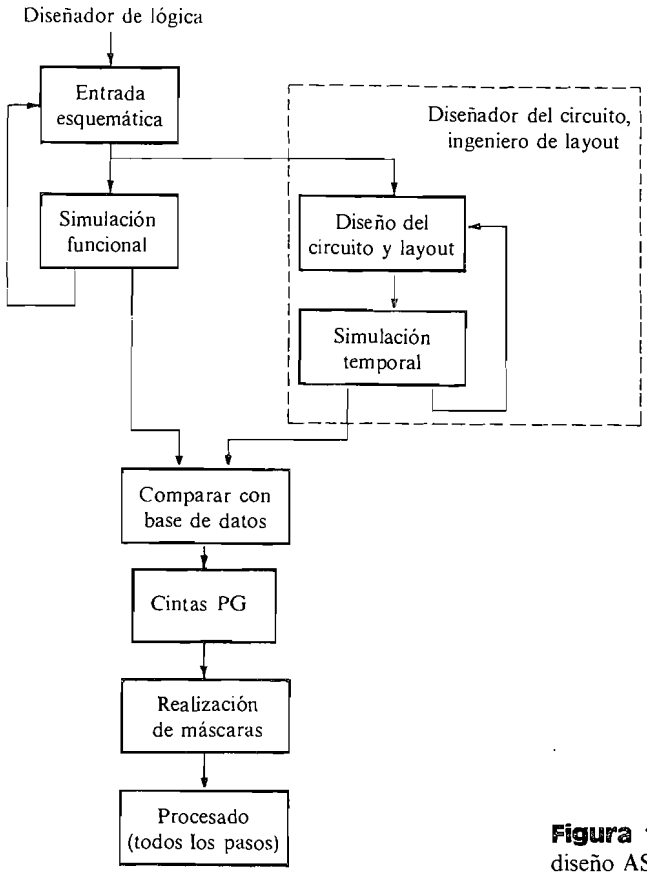


Figura 17.5-1. Pasos necesarios para un diseño ASIC totalmente a medida.

Cuando se diseña y realiza un sistema debe examinarse el coste del programa total. Este coste total puede dividirse en dos categorías: coste de desarrollo y coste unitario de producción. El coste de desarrollo incluye tiempo de desarrollo, personal y el suficiente dinero para desarrollar y completar el primer prototipo del sistema. El coste por unidad de producción incluye el personal y los componentes requeridos para realizar una sola unidad de producción del sistema. El coste total puede expresarse mediante la siguiente ecuación:

$$\text{Coste total} = \text{coste de desarrollo} + (\text{coste unitario} \times \text{n.° de unidades}) \quad (17.6\text{-}1)$$

Cuando el número total de unidades es muy alto, se puede minimizar el coste del programa total invirtiendo inicialmente más dinero en el desarrollo si esto va a repercutir en un menor coste unitario de producción. Por otro lado, si el número de unidades de producción es muy bajo, estamos más lejos de obtener una ganancia al gastar más dinero en desarrollo para reducir el coste unitario de producción.

En los sistemas en los que una parte de los bloques son ASIC, el coste de desarrollo del ASIC y el coste de producción del ASIC en cantidad, dominarán al coste total. Por tanto, en la selección de una metodología de diseño del ASIC se necesita ser cuidadoso al evaluar y comparar los seis valores siguientes tomando soluciones de compromiso cuando sea necesario:

Volumen de producción del ASIC total
Tamaño de dado del ASIC
Tiempo de desarrollo del ASIC
Coste de desarrollo del ASIC
Densidad del ASIC (puertas por chip)
Número de ASIC diferentes requeridos.

En el resto de esta sección se discute cada una de las soluciones de diseño consideradas en las Secciones 17.1 a 17.5, en relación con los anteriores factores.

17.6-1. Efecto de las soluciones de diseño sobre el coste

Logic cell array. La solución logic cell array es la que presenta la menor densidad y peores características de las consideradas. Debido a su baja densidad se necesita mayor cantidad de chips que si se empleara un ASIC de mayor densidad. En sistemas muy grandes este problema se agudiza con la necesidad de disponer los *datos personalizados* en almacenamiento no volátil en alguna parte del sistema. La mayor ventaja de esta solución es su bajo tiempo y coste de desarrollo. Por tanto, para aquellos sistemas relativamente pequeños con cantidades totales bajas, donde la rapidez para introducir un producto en el mercado es esencial, el logic cell array es una buena elección.

Gate array y structured array. Estas dos metodologías se engloban juntas puesto que su coste de desarrollo y su coste unitario de producción son prácticamente los mismos. El gate array ofrece respecto al logic cell array un orden de magnitud mayor en cuanto a densidad y siempre es capaz de ofrecer el procesado más rápido bastante antes que la solución standard cell. La razón de esto es que las familias de células pueden ser desarrolladas rápidamente puesto que sólo requieren el conexionado de los transistores n y p de tamaño único, disponibles en la matriz. El coste de desarrollo de un gate array es mayor que el de un logic cell array, aproximadamente el mismo que un standard cell, y considerablemente menor que el de un diseño full custom. Puesto que el tamaño del dado para un número fijo de puertas es mayor que para un standard cell o full custom, el rendimiento es menor y, por tanto, los costes unitarios son mayores. Por estas razones, el gate array es una buena elección para un amplio rango de tamaños de sistemas, desde pequeños hasta muy grandes, donde las cantidades a producir son bajas o moderadas. Para altas o muy altas cantidades, el coste de desarrollo adicional de obtención de un menor tamaño del dado por medio de standard cell o full custom podría saldarse con un coste del programa total significativamente menor.

Standard cell. Excepto por el coste de realización y fabricación de máscaras, el coste de desarrollo restante es aproximadamente el mismo para standard cell y gate array. Las librerías standard cell tienen un mayor tiempo de desarrollo debido a que se necesitan diseños de circuitos, disposiciones y simulaciones adicionales. Por tanto, las familias de células para un nuevo proceso aparecerán después que las familias de células gate array. La decisión de emplear gate arrays o standard cells (una vez que ambas están disponibles) pasa por la determinación de la cantidad total de ASIC necesarios. Si el tamaño del dado se reduce lo suficiente como para conseguir una disminución del coste de la producción global, entonces la solución standard cell es la elección preferida cuando se compara con la gate array.

Full costom. Los diseños full custom están reservados normalmente para cantidades muy grandes o estructuras muy regulares, puesto que el desarrollo de un CI no repetitivo totalmente a medida puede costar entre 5 y 10 veces más que un gate array o un standard cell. En cantidades muy grandes el beneficio de un tamaño de dado reducido y unas características óptimas pesan más que el coste de desarrollo inicial. Si el diseño es altamente repetitivo, el esfuerzo del diseño full custom se reduce enormemente y los beneficios obtenidos deberían considerarse cuidadosamente.

17.6-2. Conclusiones

No hay ecuaciones mágicas o reglas simples que hagan fácil la selección de una metodología. Una cuidadosa división del diseño del sistema, la estimación del tamaño del dado y del rendimiento de las metodologías alternativas y las predicciones exactas del volumen de producción serán los aspectos a considerar para una aplicación dada. Para cualquier aplicación específica se pueden obtener curvas similares a las de la Figura 17.6-1. Obsérvese que en la Figura 17.6-1 se representa coste relativo frente a cantidad relativa. Debido a que los costes del ASIC son extremadamente variables, sería absurdo situar escalas absolutas en esta figura. Lo que es importante comprender es que para una aplicación en particular,

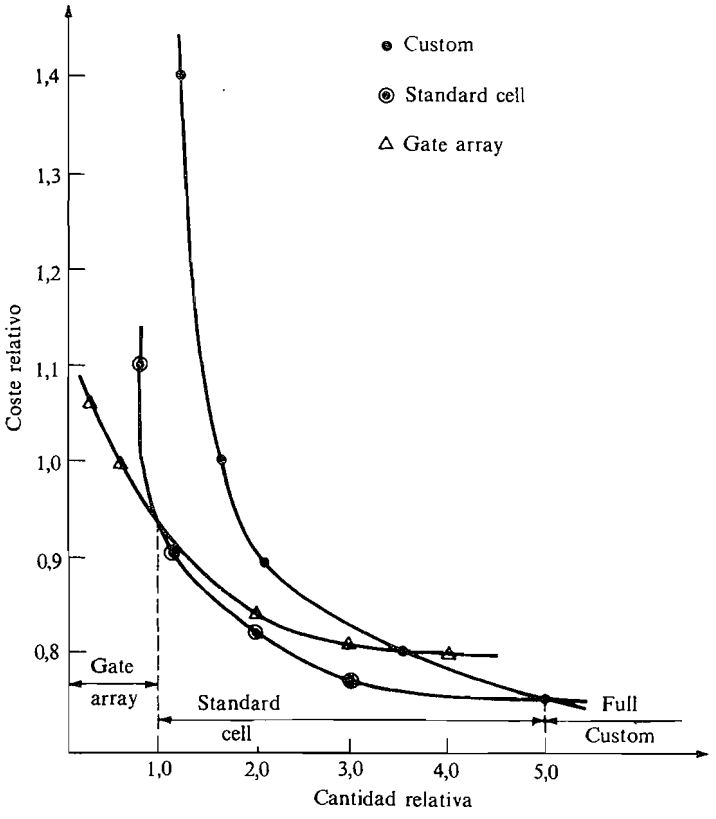


Figura 17.6-1. Costes ASIC relativos para gate array, standard cell y full custom.

y en un instante dado, estas tres curvas se cruzarán tal y como se muestra, siendo la única diferencia el punto de cruce.

17.7. DISEÑANDO PARA LA TESTEABILIDAD

El ingeniero de diseño del ASIC debe suministrar datos de test (de prueba) que se usan como criterio de aceptación de los circuitos fabricados. Estos datos de test consisten en un conjunto de estímulos de entrada y resultados de salida esperados y se denominan *vectores de test*. Los estímulos de entrada son generados por el ingeniero de diseño, que emplea el software de simulación del CAD para producir las respuestas de salida esperadas. Además, existe el software para el análisis de fallos stuck-at que ensayará el diseño empleando estímulos de entrada y suponiendo que existe un único error cada vez, para determinar qué nodos internos del diseño pudieran estar fijos a **1** o a **0** y detectarlo en los terminales de salida. La salida de este software es una *cobertura de faltas* que se expresa en términos de porcentaje. Esta cifra expresa el porcentaje de nodos internos que podrían sufrir un fallo (*stuck-at*) detectable en los terminales de salida. Los ingenieros de diseño mejorarán su conjunto de estímulos de entrada hasta conseguir una cobertura de faltas superior al 95 por 100. Puesto que el análisis de faltas stuck-at y la cobertura pueden requerir grandes cantidades de tiempo de computación, muchos diseñadores aceptan cierto *riesgo de testeabilidad* empleando programas de CAD que clasifican los vectores de test de acuerdo con el número de nodos internos que han sido cambiados por el conjunto completo de vectores de test. En estos casos no es aceptable el cambio de menos del 100 por 100 de los nodos. Es importante advertir que aunque el tiempo de computador que se necesita para este análisis es exponencialmente menor que el análisis de faltas stuck-at, existe el riesgo de que incluso si un nodo es modificado por los vectores de test, su funcionamiento defectuoso pueda no dar como resultado un error detectable en las salidas del chip.

Independientemente de cuál de las anteriores soluciones se use para clasificar los vectores de test, es posible reducir el número de vectores de test necesarios para la testeabilidad del diseño realizado en el chip. El propósito de esta sección es tratar las siguientes soluciones para incluir la testeabilidad en el diseño.

Examen de la trayectoria (*scan path*).
Multiplexores y puntos de test.
Sistema de mantenimiento en el chip (OCMS).

17.7-1. Examen de la trayectoria

La técnica de *examen de la trayectoria* fue publicada por primera vez por Michael Willians en 1973[5]. Desde entonces se ha usado de manera extensiva a nivel de sistemas así como a nivel de chip. Las técnicas de examen de trayectoria proporcionan un medio de mejorar la observabilidad de los registros internos de un ASIC, diseñando todos los registros con una trayectoria de desplazamiento serie y conectándolos para formar un registro de desplazamiento largo que puede ser cargado o leído en serie como parte del procedimiento de test. El examen de la trayectoria o camino es el método más útil para diseños síncronos, donde todos los registros están sincronizados en el mismo flanco de reloj, y para lógica combinacional sin realimentación entre registros (a no ser que la trayectoria de realimentación

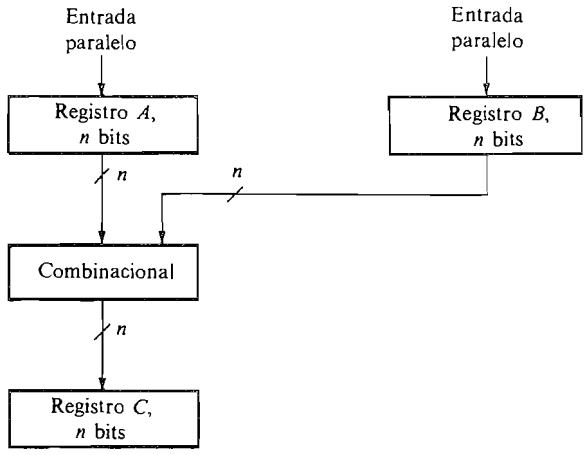


Figura 17.7-1. Ejemplo de diseño totalmente síncrono con lógica combinacional entre niveles de registros sin trayectoria de examen.

contenga al menos un biestable o registro de desplazamiento; esto se denomina *inscripción*)* como muestra la Figura 17.7-1. Para la mayoría de los sistemas de alta velocidad y ASIC, la mayor parte de la lógica encaja dentro de esta categoría. Sin la técnica de examen de la trayectoria, los registros de la Figura 17.7-1 podrían ser biestables *D* síncronos maestro-seguidor, lo que requiere aproximadamente 20 transistores por cada bit. Para introducir la técnica de examen de la trayectoria en este diseño, los registros de la Figura 17.7-1 deberían ser diseñados como registros de desplazamiento de *n* bits con una carga en paralelo. Todos los registros deberían conectarse entonces para formar un único registro de desplazamiento largo con una única entrada y salida serie, como se muestra en la Figura 17.7-2.

Un biestable *D* de exploración es simplemente un biestable *D* con un multiplexor 2-1 situado antes de la entrada *D*, como se ilustra en la Figura 17.7-3. El precio que el

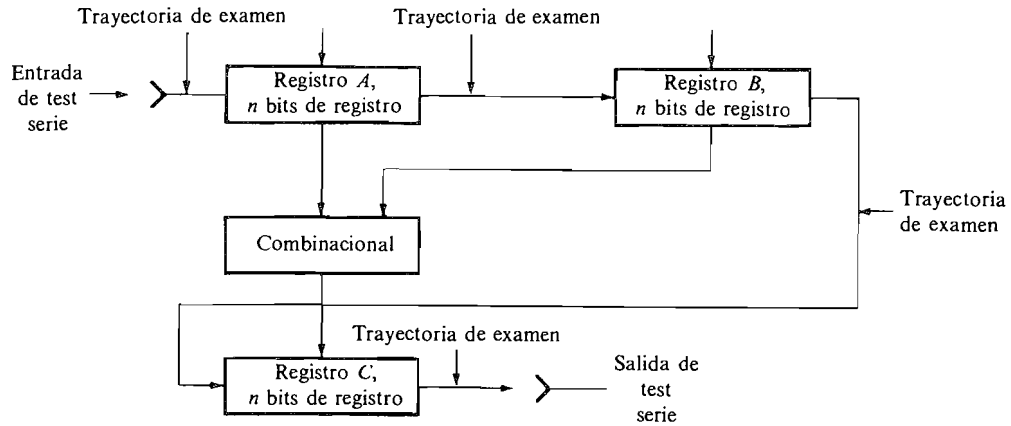


Figura 17.7-2. Trayectoria de examen añadida a la lógica de la Figura 17.7-1.

* Si no hay registros (elementos de retardo) en el camino de realimentación, podría producirse una «carrera».

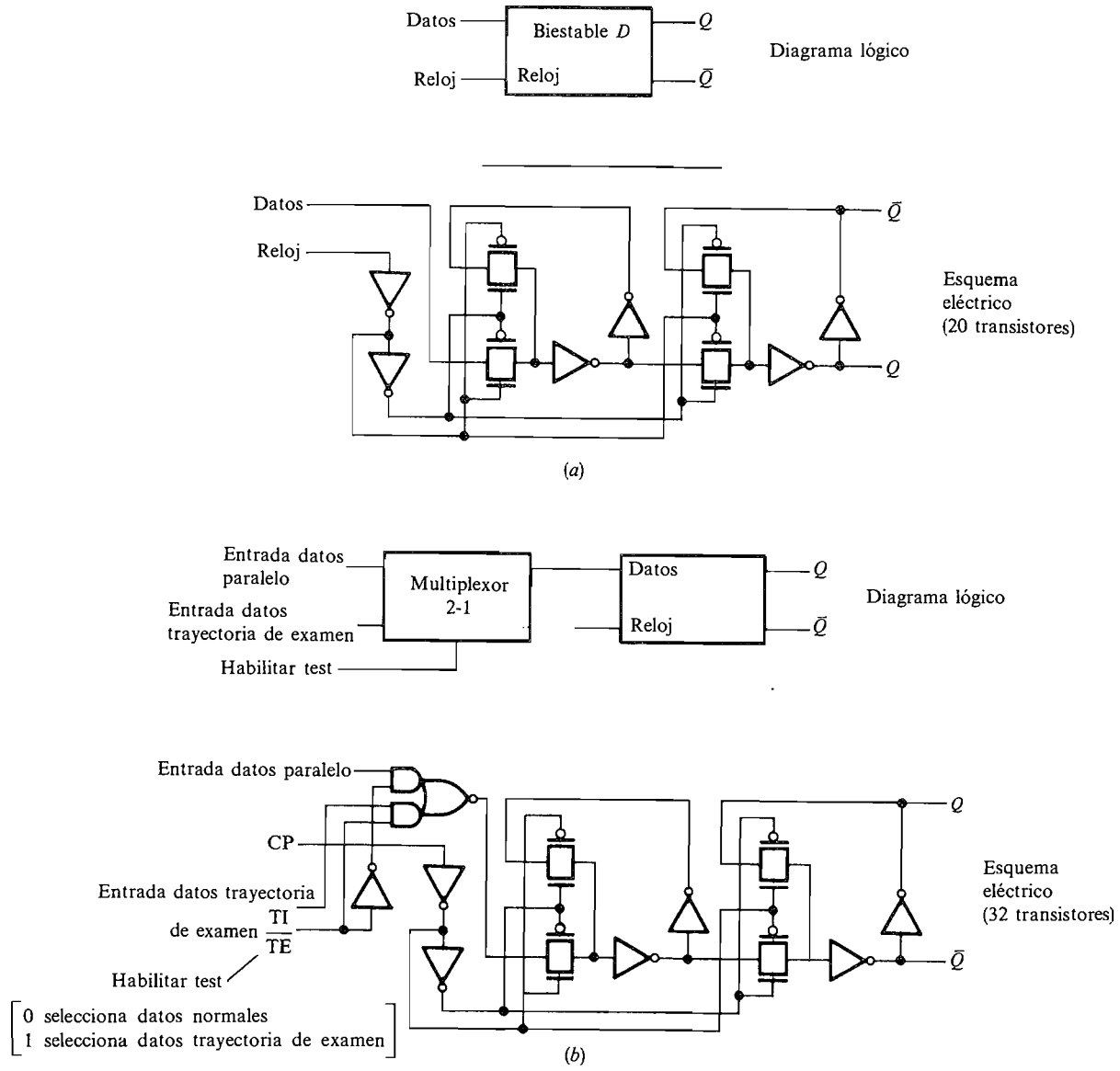


Figura 17.7-3. Típico biestable *D*: (*a*) sin capacidad de examinar trayectoria; (*b*) con capacidad de examinar. (*Reimpreso con permiso de LSI Logic Corporation.*)

diseñador debe pagar por examinar la trayectoria es un incremento de 20 a 32 transistores (60 por 100 de aumento) por cada bit de registro, más un aumento del tiempo de establecimiento debido al tiempo de propagación del multiplexor 2-1. El beneficio que se obtiene es una reducción muy significativa del número de vectores de test necesarios para comprobar los bloques lógicos incluidos dentro del diseño de un gran chip, sin acceso directo a los terminales de entrada/salida. De manera general, el examen de la trayectoria

a nivel de chip es función de qué porcentaje de la lógica del chip está constituida por registros. Puesto que la cantidad de registros puede aproximarse al 50 por 100 para sistemas altamente enlazados, el número de transistores para un diseño con examen de la trayectoria podría ser un 30 por 100 mayor que sin examen de la trayectoria.

El propósito de la anterior discusión era introducir el concepto de diseño con examen de trayectoria o camino. Una discusión y análisis de diferentes técnicas de exploración aparece en la Referencia 6.

17.7-2. Multiplexores y puntos de test

Si no se necesitan todos los terminales de entrada/salida disponibles en un dado de tamaño determinado para conexiones del sistema, entonces los terminales de entrada/salida no usados pueden emplearse como puntos de test para aumentar la observabilidad y/o controlabilidad de las señales internas del CI. Cuando se usan conjuntamente con multiplexores, algunos puntos de test pueden utilizarse de manera efectiva para aumentar el acceso a los nodos internos. Por ejemplo, ocho terminales de E/S y 4 multiplexores 16 a 1 pueden emplearse para supervisar el estado de 64 nodos internos, como muestra la Figura 17.7-4. Un diseñador podría también añadir multiplexores a los ya existentes en los caminos de datos para observar las señales internas.

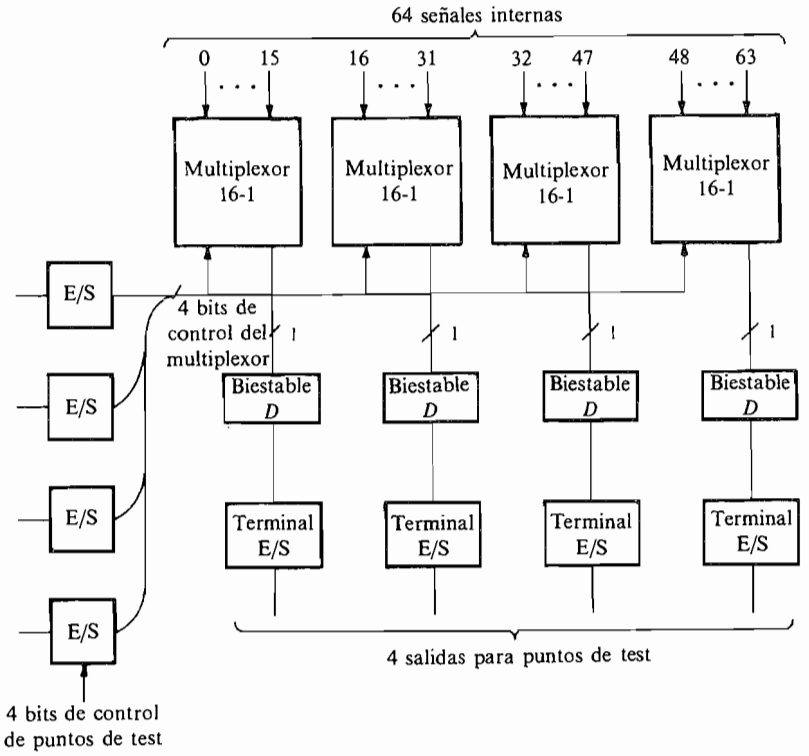


Figura 17.7-4. Empleo de los terminales de E/S disponibles y de multiplexores para aumentar la testeabilidad.

Se pueden distribuir puntos de test adicionales donde haya espacios internos libres en el dado. Aunque no puedan vincularse estos puntos de conexión a terminales de E/S del encapsulado, se pueden comprobar empleando un equipo de test de microprueba a nivel de dado. Estos puntos internos pueden ser muy útiles para la observación de señales internas de cara a determinar por qué un diseño particular no funciona y para inyectar señales de control que reemplacen a una parte del circuito que no funciona. Por ejemplo, la señal introducida podría sustituirse por una señal de control que no funcione con lo que se permite la comprobación de otras partes del integrado que no podrían ser comprobadas de otro modo. El resultado es una reducción de los ciclos de fabricación requeridos para desarrollar un CI muy complejo. Esta técnica se muestra en la Figura 17.7-5, donde se han situado multiplexores 2 a 1 entre la sección de control del chip y el bloque de lógica a controlar. Las entradas del multiplexor provienen de la sección de control y de 30 puntos de test distribuidos en el dado. Esto es extremadamente útil puesto que expertos ingenieros están de acuerdo en que la mayoría de los errores de diseño tienen lugar en la sección de control más que en los caminos de flujo de datos.

17.7-3. Sistema de mantenimiento en el chip (OCMS)

Como su nombre indica, OCMS tiene una lógica que se dedica a comprobar tanto a nivel de chip como a nivel de sistema. Este concepto emplea la misma lógica de comprobación para todos los chips, independientemente de la lógica del chip. National Semiconductor, Control Data Corporation y Honeywell Inc. han empleado esta solución de manera efectiva en sus ASIC de 6000 puertas. En un ASIC (gate array) de 6000 puertas, la lógica OCMS no usa ninguna de las células disponibles de usuario y sólo representa aproximadamente el 12 por 100 del área del chip. Esta lógica consta de multiplexores en los terminales de entrada y salida, un registro de entrada, un registro de salida, un generador de números aleatorios y lógica de comprobación de suma (*check sum*) en la salida. Los

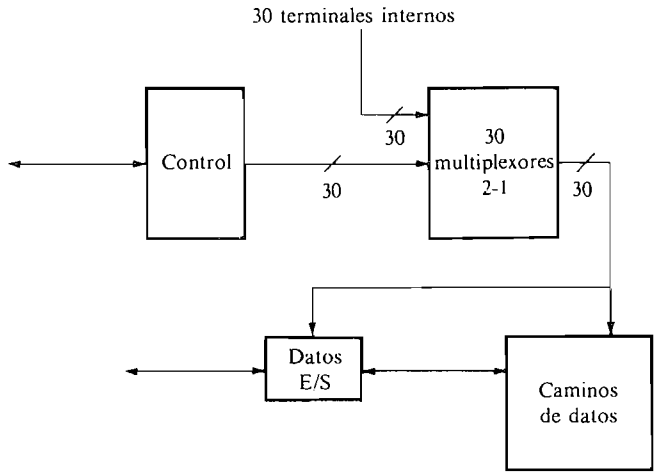


Figura 17.7-5. Empleo de los terminales internos y de multiplexores para aumentar la testeabilidad.

datos puede cargarse en serie en los tres registros por el terminal entrada de datos de test (TEST DATA INPUT [TDI]) y descargados en serie desde el terminal de salida de datos de test (TEST DATA OUTPUT [TDO]). Sólo se emplean dos terminales de E/S adicionales para el OCMS, que son el TEST CLOCK ENABLE (TCE) y el TEST STROBE (TST). Empleando estos 4 terminales de prueba y los contenidos del registro de control es posible configurar el OCMS para que funcione en uno de los cuatro modos siguientes

Analizador lógico
Test de interconexión
Test de chip estático
Análisis de la firma dinámica

En el modo *analizador lógico*, representado en la Figura 17.7-6, los terminales de entrada (más de 89) y de salida (por encima de 159) son supervisados por los registros de entrada y salida del OCMS durante la actuación del sistema y sin interferir en el funcionamiento normal. En el momento deseado, es posible tomar una «instantánea» de los datos de entrada y salida congelando sus valores en los registros de entrada y salida del OCMS. Entonces, como una operación aislada, los contenidos de estos registros pueden ser leídos en serie por el terminal TDO.

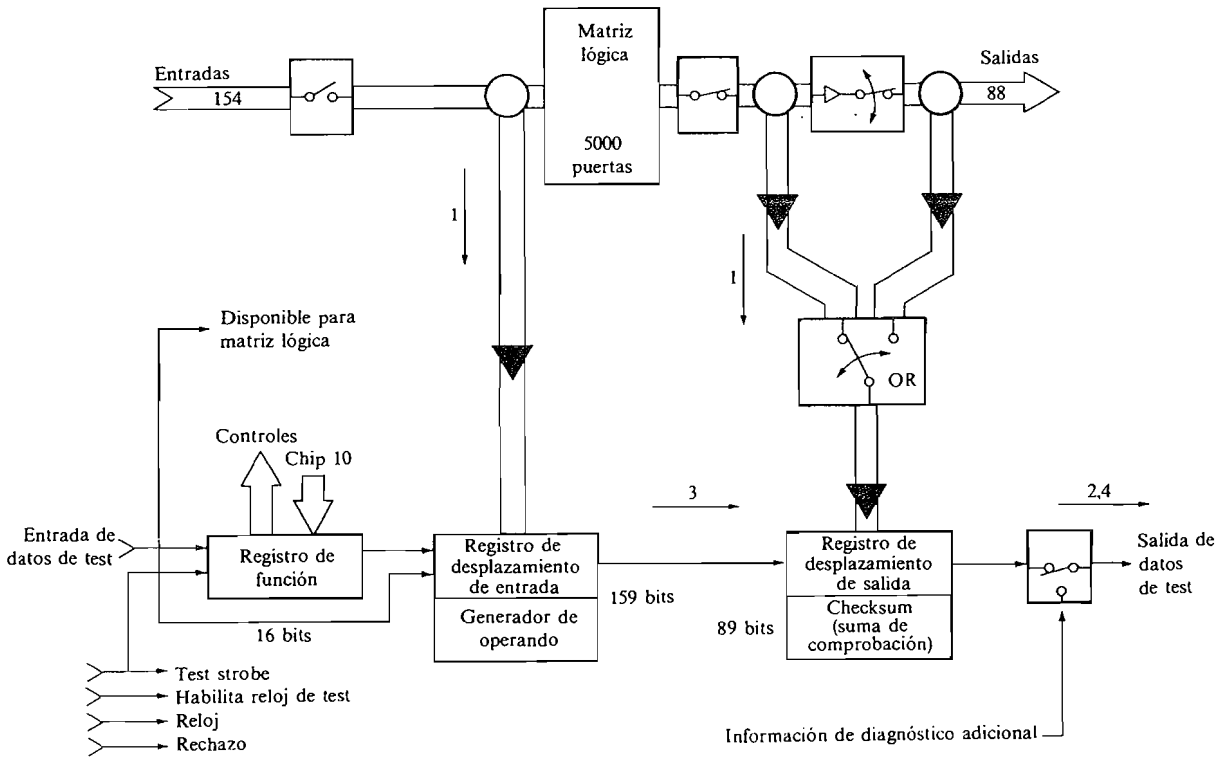


Figura 17.7-6. OCMS como analizador lógico. (*Reimpreso con permiso de Control Data Corporation.*)

Cuando se usa en *modo test de interconexión*, como muestra la Figura 17.7-7, los datos de test deseados son introducidos en los registros de salida del control de los ASIC por el terminal TDI. Las entradas normales del ASIC son entonces muestreadas (cargadas en paralelo) dentro del registro de entrada del ASIC controlado. Este registro se lee entonces vía serie por el terminal TDO, suministrando un método para realizar un test continuo a nivel de tarjeta para las conexiones entre ASIC.

El tercer modo, el *test de chip estático*, mostrado en la Figura 17.7-8, emplea datos de entrada estáticos procedentes del registro de entrada del OCMS para controlar las entradas de la matriz de puertas mientras que las salidas del chip son cargadas en paralelo dentro del registro de salida del OCMS. Como en el anterior modo, el registro de salida del OCMS puede leerse vía serie por el TDO.

El cuarto modo *el análisis de firma dinámica*, es extremadamente valioso en pruebas de alta velocidad a nivel ASIC, en la depuración de sistemas y como un diagnóstico muy rápido «va» o «no va» de todos los ASIC del sistema. Como muestra la Figura 17.7-9 la entrada de la matriz proviene del registro de entrada del OCMS y controla el registro de salida como en el test de chip estático. En este modo, sin embargo, el registro de entrada se carga con un «valor semilla» que se usa entonces para generar un patrón de datos pseudoaleatorios repetible que controlará las entradas de la lógica de la matriz a plena

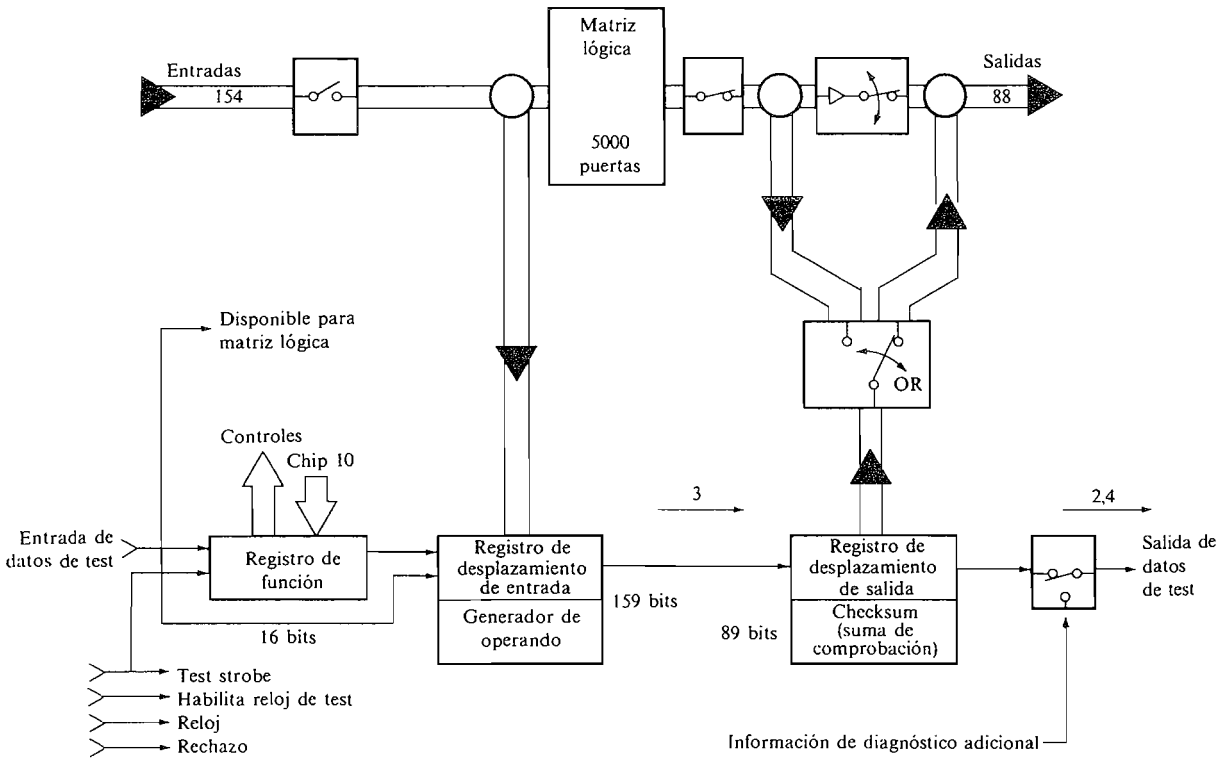


Figura 17.7-7. Test de interconexión con OCMS. (*Reimpreso con permiso de Control Data Corporation.*)

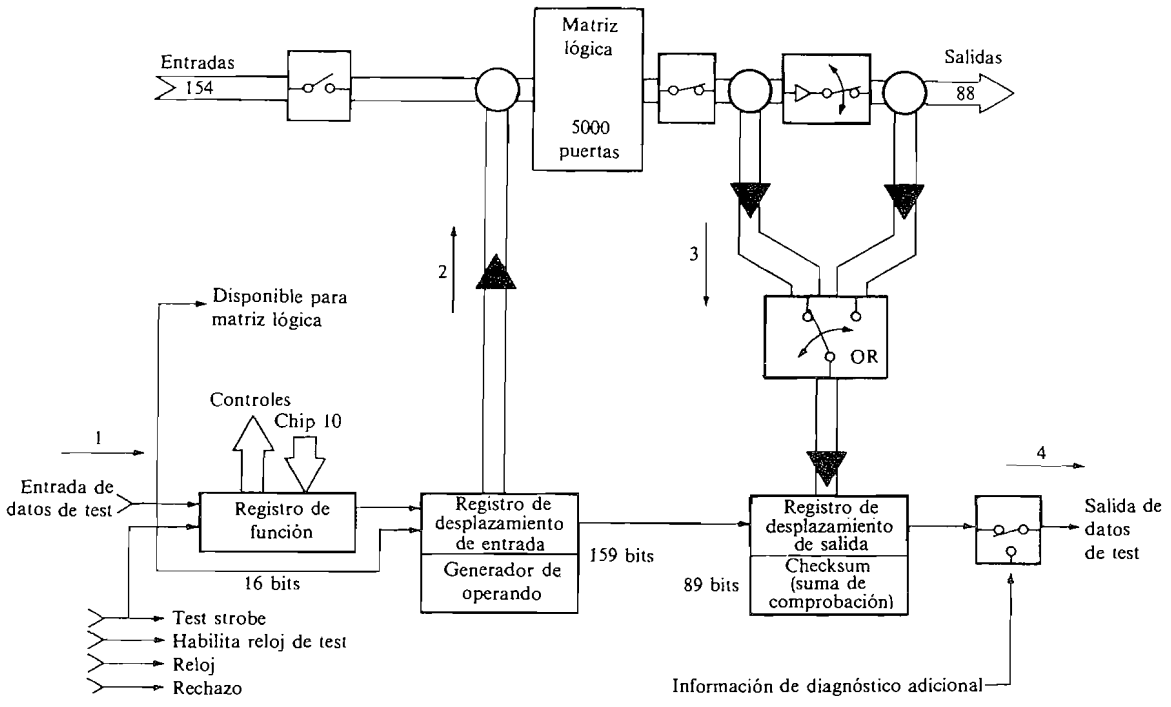


Figura 17.7-8. Test de chip estático con OCMS. (*Reimpreso con permiso de Control Data Corporation.*)

velocidad del reloj. En el registro de salida del OCMS las salidas del ASIC se acumulan en un checksum o firma. Después del número de impulsos de reloj deseados esta firma puede ser leída en serie desde el registro OCMS por el terminal TDO.

17.8. RELOJES

En el diseño de grandes sistemas digitales síncronos de alta velocidad, el reloj es la señal más crítica del sistema. Por tanto, los diseñadores de sistemas tienen un especial cuidado en la distribución del reloj de cara a minimizar la desviación del reloj entre dos biestables cualesquiera del sistema. Puesto que en un sistema digital síncrono todos los biestables se disparan en el mismo flanco de reloj (véase Cap. 13), cualquier retardo importante o desviación en el reloj entre un biestable de mando y una de recepción puede provocar que la entrada de datos infrinja las especificaciones de los tiempos de establecimiento y de retención para el biestable. Por ejemplo, la Figura 17.8-1 muestra el valor de desviación en el reloj que podría causar un problema en el diseño de un sistema ECL MSI. En este ejemplo, el biestable A es la entrada a un bloque de lógica booleana el cual controla la

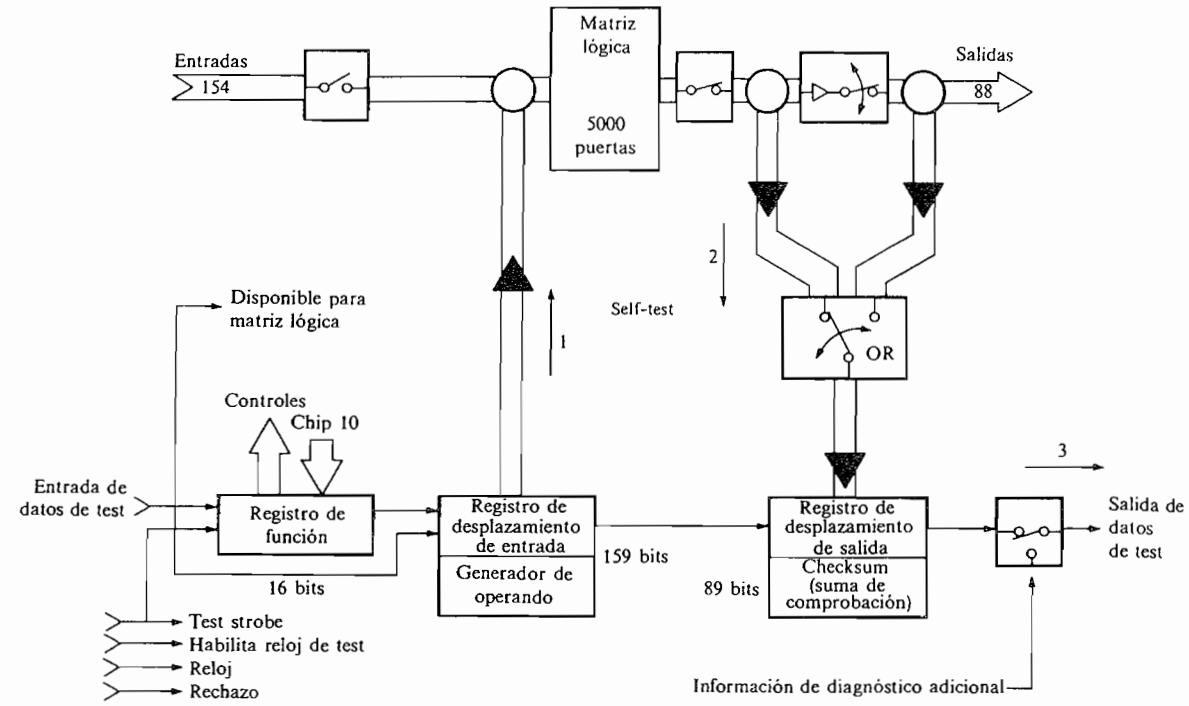
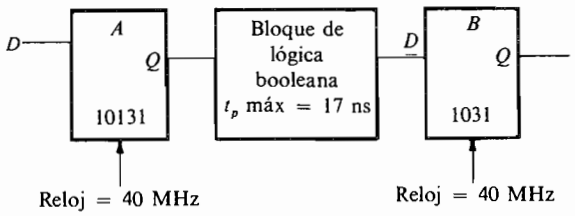


Figura 17.7-9. Análisis de firma dinámica con OCMS. (*Reimpreso con permiso de Control Data Corporation.*)



MC 10131 Biestable master-slave *D* familia ECL de Motorola

Reloj → *Q* mínimo : 1,8 ns
típico: 3,0 ns
máximo: 4,5 ns

Tiempo de establecimiento de datos: 2,5 ns (min)
Tiempo de retención de datos: 1,5 ns (min)

Cálculo de tiempos:

Reloj → Q_A	=	4,5 ns máx
Bloque booleano	=	17,0 ns máx
Establecimiento de los datos en biestable *B*	=	2,5 ns máx
Desviación reloj	=	1,0 ns máx
	=	25,0 ns máx

Figura 17.8-1. Efecto de la desviación en los cálculos de tiempo entre registro y registro.

entrada del biestable B. En los cálculos temporales mostrados en la Figura 17.8-1, se puede ver que si el reloj del biestable B llega más de 1 ns antes que el pulso de reloj del biestable A, entonces el tiempo de establecimiento (*setup*) del dato para el biestable B se viola y puede causar un error. Otra forma de ver esto es que el valor máximo de la desviación de reloj esperada debe restarse del período del reloj, reduciéndose de esta forma el tiempo disponible para realizar las funciones booleanas. Por tanto, en sistemas de alta velocidad donde cada nanosegundo cuenta, la desviación del reloj debe ser mínima. Con dimensiones de puerta de 1,25 μm, los retardos internos de las puertas son comparables en VLSI CMOS y en ECL MSI y la complejidad de los integrados puede ser igual a la de varias tarjetas grandes de ECL MSI (varios cientos de CI ECL MSI). Con estas velocidades y densidades, la desviación del reloj en el chip y entre chips puede convertirse en un serio problema si no se considera durante el diseño. Se deben tomar las siguientes precauciones durante la fase de diseño para reducir la desviación del reloj:

Minimizar los niveles de fan-out del reloj
Emplear relojes de *evolución libre*
Emplear una red metálica para la distribución del reloj

Cada una de estas precauciones se discute en el resto de esta sección.

17.8-1. Minimización de los niveles del reloj

Los retardos de las puertas varían hasta un ± 40 por 100 de los retardos nominales debido a variaciones en la fabricación. A nivel de sistema esto puede desembocar en grandes desviaciones del reloj entre un registro de un chip rápido y un registro de un chip lento que debe transmitir a otros. Si se emplea un reloj con *distribución en árbol* del tipo mostrado en la Figura 17.8-2, esta desviación puede ser muy grande debido al número de niveles de puertas en el árbol del reloj. Por ejemplo, si el retardo nominal de la puerta es de 2 ns con una desviación a causa del proceso del ± 40 por 100, un retardo a nivel de puerta en un chip rápido podría ser de 1,2 ns, mientras que en un chip lento podría ser de 2,8 ns. Por tanto, el retardo de propagación a través de un árbol de 3 niveles de puertas en un chip rápido podría ser de 3,6 ns, mientras en uno lento podría ser de 8,4 ns, dando lugar a una desviación del reloj de 4,8 ns a nivel de registro entre un chip rápido y el chip lento al que controla. Por tanto, antes de emplear un árbol para distribuir el reloj en varios niveles, muchos diseñadores de circuitos tomarán un cierto número de circuitos de mando de alta corriente y conectarán juntas sus entradas y salidas, como se muestra en la Figura 17.8-3. Puesto que todos los buffers están en el mismo chip, todos ellos tendrán las mismas propiedades eléctricas y, por tanto, participarán por igual de la corriente total de gobierno. Además, puesto que la Figura 17.8-3 sólo tiene un nivel de buffers, el retardo para un chip rápido es de 1,2 ns, mientras que para uno lento es de 2,8 ns, proporcionando una desviación de sólo 1,6 ns en comparación con los 4,8 ns en la Figura 17.8-2.

17.8-2. Relojes de evolución libre

Cuando se diseña un chip habrá registros que deban retener sus datos durante más de un período de reloj. Una solución que se emplea para controlar tales registros consiste en utilizar una señal de control que habilita el reloj del registro sólo cuando es el momento de

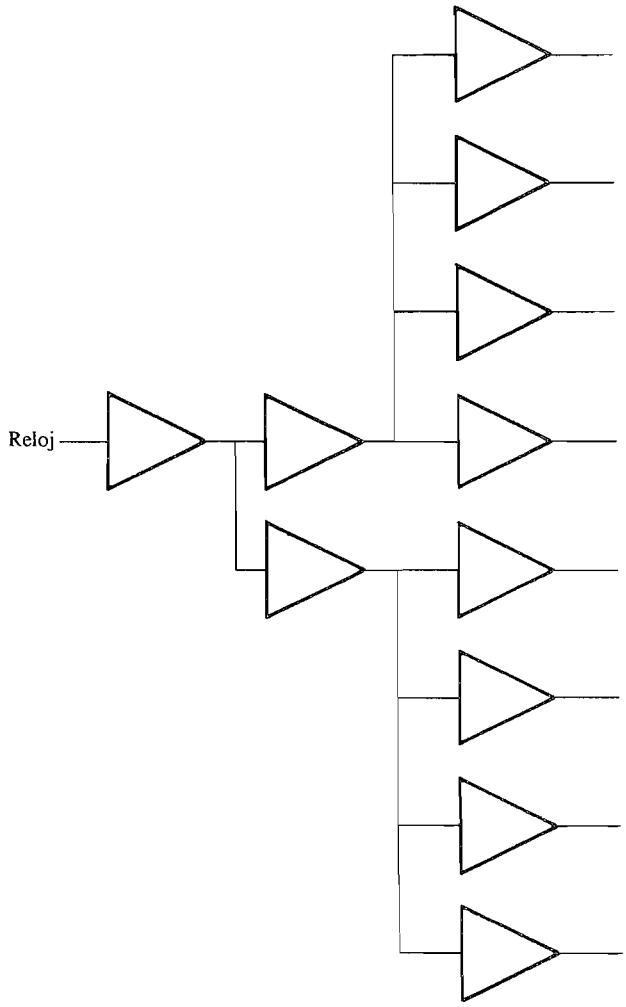


Figura 17.8-2. Típico reloj en árbol a nivel de sistema.

cambiar los contenidos del registro. Cuando el registro mantiene su contenido actual, el reloj se bloquea por la señal de control y los biestables del registro nunca «ven» el reloj reteniendo por tanto los datos actuales. Esta técnica se muestra en la Figura 17.8-4. Esta solución puede y ha sido usada en el diseño de chips VLSI pero es necesario tener mucho cuidado en la selección del tipo de puerta y en la ubicación de la puerta para cada registro del chip con el fin de asegurar la mínima desviación en el reloj. Para gran cantidad de chips esto requiere cuidadosas simulaciones que pueden ser difíciles y que consumen tiempo. Una solución más popular es mantener continuamente la libre evolución del reloj para el registro y realimentar la salida del biestable a la entrada *D* del mismo durante aquellos instantes en los que el biestable debe retener sus contenidos. Esta técnica se muestra en la Figura 17.8-5, donde se situó un multiplexor 2 a 1 delante del biestable *D* y se permite la libre evolución del reloj. Por tanto, el registro verá cada pulso de reloj pero

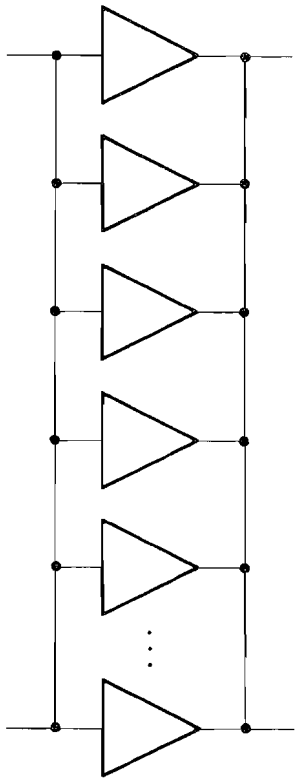


Figura 17.8-3. Típica distribución de reloj sobre chip.

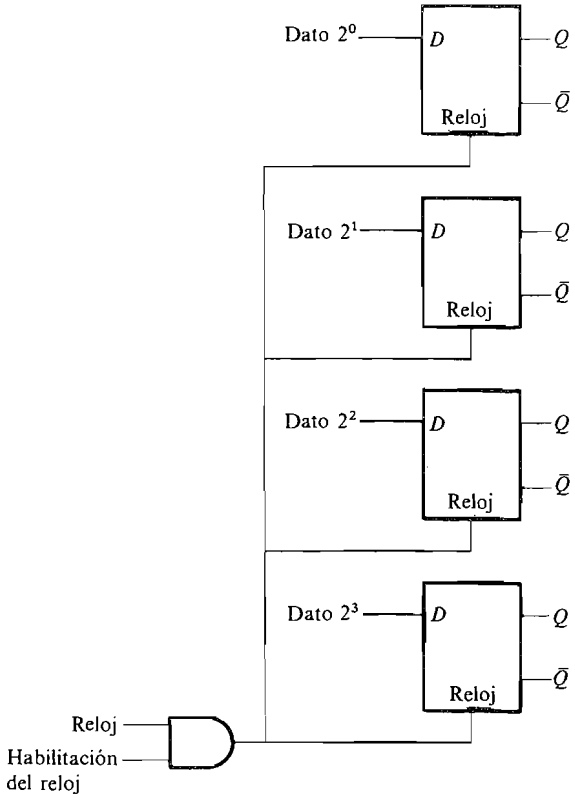


Figura 17.8-4. Solución de reloj por puerta para «retención de registros».

su entrada de datos verá el nuevo dato o el actual dependiendo de la señal de control *S*. La desventaja de esta solución es que añade un multiplexor 2 a 1 al registro, aumentando por tanto el número de puertas del registro.

17.8-3. Red metálica para la distribución del reloj

Con el fin de reducir los retardos de interconexión al mínimo, el reloj se distribuye usualmente empleando una malla metálica como se muestra en la Figura 17.8-6. La red metálica para el reloj está formada por varias líneas metálicas más anchas que las que se usan para líneas de señales normales. Más que una red uniforme estándar, frecuentemente los relojes se conectarán sólo en aquellos lugares donde se necesite; de esta forma, las líneas se conectarán manualmente con cuidado y usualmente se emplearán líneas metálicas de ancho extra.

Resumen. Aunque cada una de las tres técnicas para reducir la desviación del reloj se han tratado por separado en esta sección, todas pueden ser empleadas conjuntamente para minimizar la desviación del reloj.

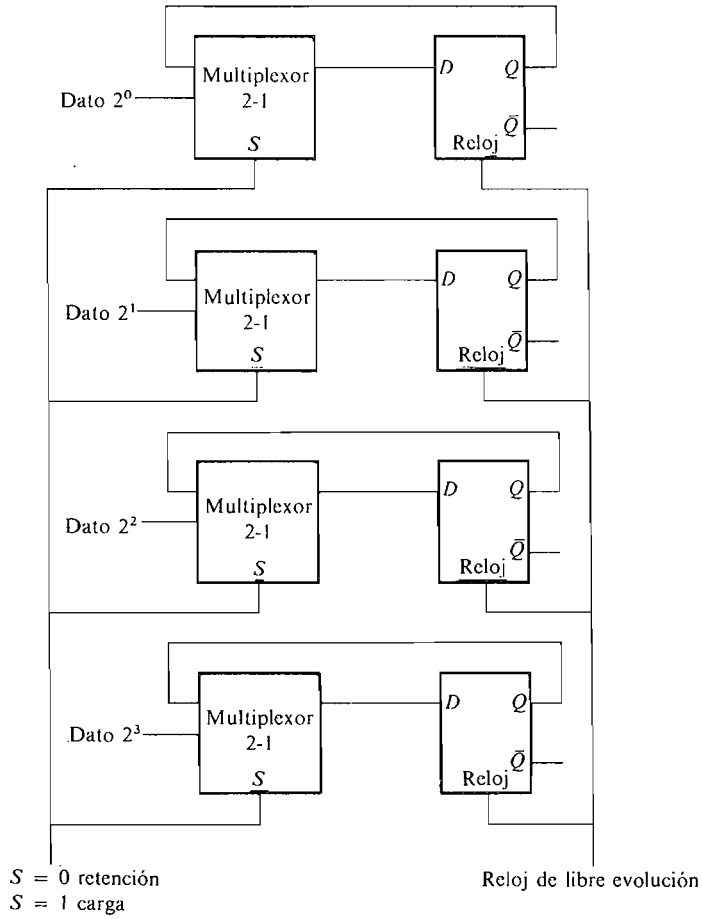


Figura 17.8-5. Solución de multiplexores para «retención de registros».

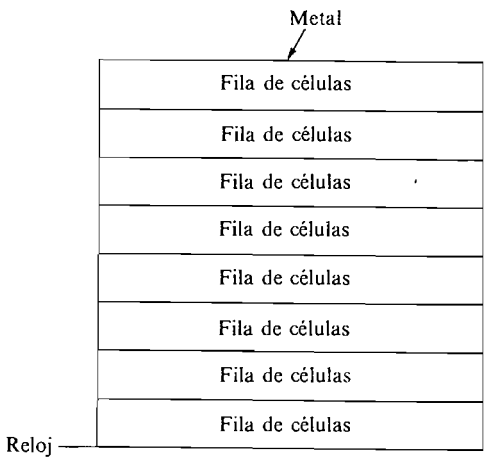


Figura 17.8-6. Malla del reloj.

REFERENCIAS

1. Y. Takayama, S. Fujii, T. Tanabe, K. Kawauchi y T. Yoshida, «A 1 ns. CMOS Gate Array Series with Configurable 15 ns 12K Memory», *IEEE International Solid State Circuits Conference*, 1985, Digest of Technical Papers, págs. 196-197.
2. C. Meade y C. Lynn, «Introduction to VLSI Systems», Addison Wesley, Reading, Mass., 1980, págs. 76-82.
3. R. Lipton y D. Lopresti, «A Systolic Array for Rapid Ring Comparison», 1985, Chapel Hill Conference on VLSI.
4. C. F. Fey y D. E. Parashevoporilos, «Studies in LSI Technology Economics II: A Comparison of Product Costs Using MSI, Gate Arrays, Standard Cells and Full Custom VLSI», *IEEE Journal of Solid State Circuits*, vol. SC-21, núm. 2, abril 1986, págs. 297-303.
5. M. Williams y J. B. Angel, «Enhancing Testability of Large-Scale Integrated Circuits via Test Points and Additional Logic», *IEEE Transactions on Computers*, enero 1973, págs. 46-60.
6. E. J. McClushey, «A Survey of Design for Testability Scan Techniques», *Semicustom Design Guide*, CPM publication, verano 1986, págs. 110-119.

PROBLEMAS

17.1-1. Diseñar un registro de desplazamiento de 4 bits con los controles necesarios para desplazar o retener los datos. Emplear el XILINX CLB para diseñar este registro.

17.1-2. Diseñar un biestable *D* con un multiplexor 8-1 que controle el biestable como muestra la Figura P17.1-2, empleando sólo XILINX CLB.

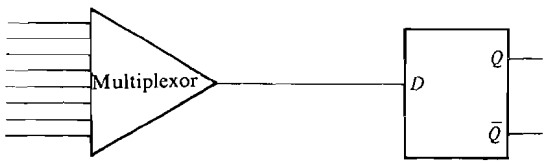


Figura P17.1-2.

17.1-3. (*a*) Diseñar el circuito mostrado en la Figura P17.1-3 empleando sólo el XILINX CLB (véase Fig. 17.1-2).
(*b*) Contar el número de CLB necesarios en este diseño.
(*c*) ¿Qué porcentaje del XILINX XC 2064 se necesita para este diseño?

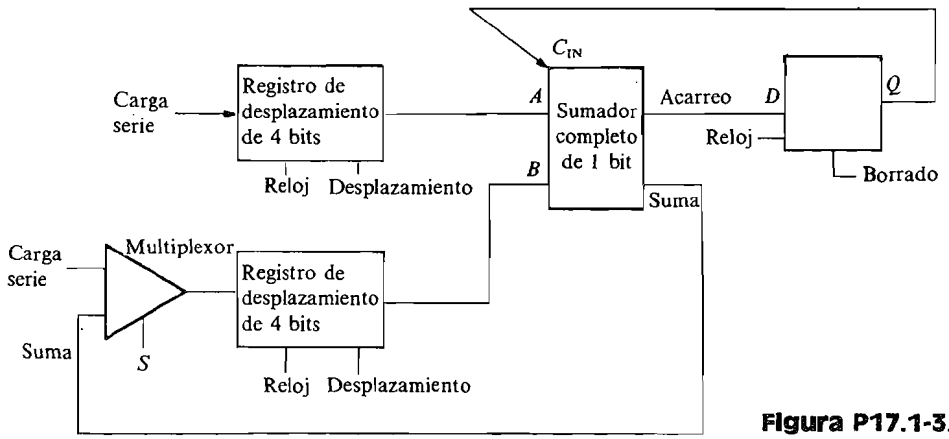


Figura P17.1-3.

17.2-1. (*a*) Empleando la familia de células del gate array de la Figura 17.2-10, calcular el número de células necesarias para los siguientes ASIC:

64 puertas O-exclusiva
128 NO-Y de dos entradas
256 NO-O de dos entradas
128 contadores ascendente/descendente de 4 bits con carga en paralelo
64 sumadores de 4 bits
128 comparadores de 4 bits

(*b*) Convertir el número de células de la parte (*a*) al número equivalente de puertas.
(*c*) Suponiendo que un gate array contiene 3953 células del tipo mostrado en la Figura 17.2-2 y una interconectabilidad máxima del 84 por 100, ¿se ajustará el diseño de la parte (*a*) a este gate array?

17.2-2. Repetir el Problema 17.2-1 para un ASIC que contiene lo siguiente:

120 puertas O-exclusiva
256 NO-Y de dos entradas
96 NO-O de dos entradas
64 contadores ascendente/descendente de 4 bits con carga en paralelo
256 comparadores de 4 bits

17.2-3. Empleando la puerta NO-Y de la Figura 17.3-11 calcular el retardo de propagación típico para la subida y bajada de la salida suponiendo las siguientes cargas:

Carga de 1 pF Carga de 4 pF
Carga de 2 pF Carga de 8 pF

17.2-4. Repetir el Problema 17.2-3 para las siguientes cargas:

12 picofaradios
16 picofaradios
24 picofaradios
32 picofaradios

17.4-1. Empleando la familia standard cell mostrada en la Figura 17.4-1, calcular el área ACTIVA total para el diseño de la Figura P17.4-1. La función booleana contiene las siguientes puertas:

32 NO-Y de dos entradas
32 NO-Y de cuatro entradas
64 O-exclusiva

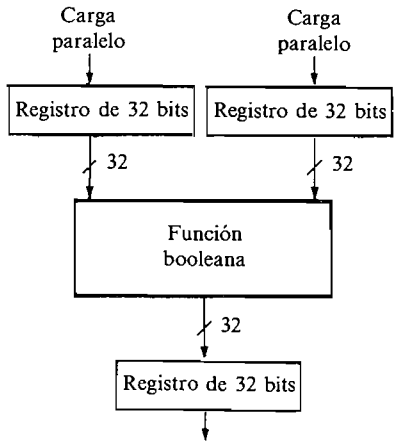


Figura P17.4-1.

17.4-2. Suponiendo un factor de conexionado de 2,5, calcular el área total para el diseño de la Figura P17.4-1.

17.4-3. Empleando la familia standard cell de la Figura 17.4-1 calcular el retardo de propagación típico para las siguientes puertas y cargas:

NO-O de dos entradas. carga de 1 pF
NO-O de tres entradas, 0,8 pF de carga
NO-O de cuatro entradas, 2 pF de carga
O-exclusiva, carga de 2 pF.

17.4-4. Empleando la familia de células mostrada en la Figura 17.4-1 y suponiendo un dado cuadrado, calcular el tamaño del dado para un ASIC que se estima requiere las células abajo enumeradas (suponer un factor de conexionado de 2,0 y un tamaño de conexiones de E/S de 25 mils):

1000 biestables *D*
400 multiplexores 1-2
400 biestables Latch
500 inversores
400 O-exclusiva
310 NO-Y de dos entradas
420 NO-Y de cuatro entradas
1 memoria ROM 512 × 8 (5200 mils^2)

17.6-1. Suponiendo los siguientes costes de desarrollo y costes unitarios para un ASIC en particular, calcular el coste total del ASIC para 30 000 unidades.

(*a*) Coste desarrollo standard cell = 200 000 dólares
Coste unitario standard cell = 200 dólares
(*b*) Coste desarrollo full custom = 500 000 dólares
Coste unitario full custom = 100 dólares

17.6-2. Repetir el Problema 17.6-1 para los siguientes costes:

(*a*) Coste desarrollo gate array = 150 000 dólares
Coste unitario gate array = 250 dólares
(*b*) Coste desarrollo standard cell = 200 000 dólares
Coste unitario standard cell = 150 dólares
(*c*) Coste desarrollo full custom = 400 000 dólares
Coste unitario full custom = 75 dólares

17.6-3. Empleando los costes del Problema 17.6-2, ¿qué solución proporciona el menor coste total suponiendo que se necesitan 100 000 ASIC?

17.6-4. Repetir el Problema 17.6-1 para los siguientes costes:

(*a*) Coste desarrollo standard cell = 100 000 dólares
Coste unitario standard cell = 30 dólares
(*b*) Coste desarrollo gate array = 75 000 dólares
Coste unitario gate array = 40 dólares

17.7-1. Si se desea enlazar los registros del Problema 17.4-1 en un camino de exploración, ¿qué área adicional se requiere?

CAPITULO

18

Software de diseño asistido por computador para diseño VLSI

INTRODUCCION

El software para el diseño asistido por computador (CADS) utilizado en el diseño de circuitos integrados para aplicación específica (ASIC) es un paquete de programas que realiza gran parte del trabajo rutinario necesario para la obtención, en cintas, de los generadores de patrones a partir de los cuales se realizan las máscaras procedentes de una definición lógica. El grado en que este proceso ha sido y seguirá siendo automatizado es un área de tremenda investigación y desarrollo durante los años ochenta.

En los años setenta muchos de los primeros CADS para diseño de circuitos integrados fueron realizados para uso propio por las compañías encargadas del diseño del circuito integrado. Estos programas se ejecutaban sobre grandes computadores centrales IBM y minicomputadores de Digital Equipment Corporation (DEC), los PDP y los VAX. Durante los años ochenta los avances conseguidos modificaron los CADS de los años setenta. En primer lugar, los microprocesadores de altas prestaciones hicieron posible la construcción de estaciones de diseño, que eran más baratas que los minicomputadores de los años setenta y más potentes. Las estaciones de diseño eran, básicamente, computadores basados en microprocesadores de almacenamiento central y monitores en color de alta resolución. En segundo lugar, compañías como Daisey, Valid y Mentor comercializaron estaciones de trabajo y software independientes de la tecnología de fabricación utilizada por los fabricantes. Ya en tercer lugar, la demanda de estaciones de trabajo y CADS creció exponencialmente durante los años ochenta, cuando la mayoría de los diseñadores de sistemas introdujeron los ASIC en sus diseños.

Los paquetes de CADS pueden ser divididos en bloques. Cada uno de estos bloques se muestra en la Figura 18.1. Cada bloque o función principal se describe someramente en este apartado y se estudiará más adelante en este mismo capítulo tratándolo como función independiente.

El primer bloque mostrado en la Figura 18.1 es la función *entrada lógica*, que se refiere a la forma en que los datos, que describen el diseño lógico, son introducidos en el

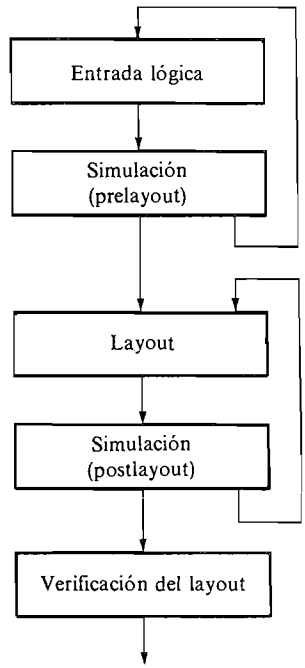


Figura 18.1. Principales funciones del CAD para circuitos integrados.

computador. En los primeros CAD los datos que describían cada puerta o célula contenidas en el diseño se introducían manualmente, en forma de ecuación, desde un terminal. Obviamente, en este proceso, además de ser largo, abundaban los errores. Hoy, estas ecuaciones son generadas por el software de la estación de trabajo, partiendo de dibujos en forma de esquemas introducidos en la estación.

El segundo bloque de la Figura 18.1, la *simulación*, consiste en una serie de programas que se usan para la verificación del diseño antes de proceder a su fabricación. El diseñador suministra datos de entrada para el test, y el software calcula y proporciona la información referente a tiempos y estados lógicos para aquellas salidas del circuito integrado y/o los nodos internos seleccionados por el diseñador. El programa proporciona estos datos en forma de tabla y mediante un dibujo de la forma de onda obtenida por el simulador. Las simulaciones se realizan antes y después del layout (disposición de las conexiones y los elementos). Anteriormente al layout la simulación ignora tanto la resistencia R como la capacidad C de las conexiones o utiliza datos estadísticos para R y C basados en el número de cargas que soportan las puertas. Después del layout se calculan los valores actualizados de R y C en las conexiones y se realimenta con ellos al simulador, utilizándolos como dato de entrada para cada nodo del diseño del ASIC.

El bloque *layout* de la Figura 18.1 se refiere a aquellos programas que disponen las posiciones de las puertas en el dado de silicio y las conectan entre sí de acuerdo con el esquema del circuito. La *verificación del layout* se realiza mediante un software que creará una lista con los datos del layout para compararla con otra lista generada por el software de la función entrada lógica y de esta forma, corregir y completar el layout.

18.1. ENTRADA LOGICA

La entrada lógica requiere que se generen una serie de ecuaciones que describan el diseño del ASIC. No son ecuaciones lógicas booleanas, sino más bien una definición de las entradas y salidas de cada puerta o elemento lógico (biestable, contador, múltiplexor, etc.). Por ejemplo, la Figura 18.1-1*a* muestra la ecuación booleana para una puerta NAND en la que la señal de salida se define en función de *A* y *B*. La Figura 18.1-1*b* muestra dos ejemplos en los cuales las ecuaciones de la entrada lógica para una puerta NAND se expresan utilizando un formato de *campo libre* y un formato de *campo fijo*. En el campo libre los mnemónicos, al igual que los nombres de las señales, se listan y se pueden escribir en cualquier orden. En el campo fijo los mnemónicos se eliminan, y los nombres de las señales de entrada y salida deben especificarse de acuerdo con el orden que ha sido prefijado en las reglas lógicas definidas para la puerta NAND en la librería del programa. Obsérvese que en este ejemplo los nombres de las señales de entrada y salida (*A*, *B*, *Z*) son letras pero podrían ser cadenas de caracteres alfanuméricos (A10B201 ó ALP/B01/208). Además, como el formato, tamaño y parámetros del campo pueden variar de una estación de trabajo a otra y de un paquete de software a otro, la ecuación es simplemente una especificación de los elementos lógicos de entrada y salida.

Con las estaciones de trabajo actuales y los programas de captura, las ecuaciones de la entrada lógica se generan a partir de esquemas lógicos introducidos mediante un terminal gráfico en color. Para ayudar a la función entrada lógica las estaciones de trabajo disponen de tres utilidades básicas:

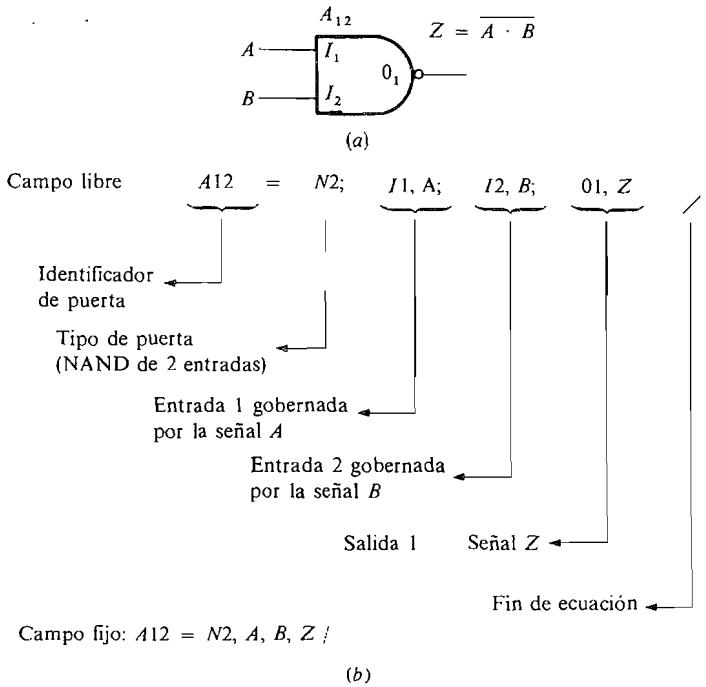


Figura 18.1-1. (*a*) Ecuación booleana para una puerta NAND; (*b*) ecuaciones de la función entrada lógica para la puerta NAND.

1. Entrada esquemática.
2. Gestión de ficheros.
3. Compilación de ecuaciones.

El software de la *entrada esquemática* permite al usuario introducir elementos lógicos (puertas, biestables, contadores, etc.), interconectar estos elementos, borrarlos, moverlos, duplicarlos y crear elementos funcionales complejos partiendo de los elementos básicos. El software de *gestión de ficheros* almacenará y recuperará todos los esquemas lógicos y mantendrá un directorio de ficheros con la última versión realizada. La función compilación de ecuaciones se refiere a la generación de ecuaciones del tipo mostrado en la Figura 18.1-1*b*, obtenidas a partir de los esquemas lógicos. La *compilación de ecuaciones* no sólo libera al diseñador de la generación e implementación de las ecuaciones, sino que las ecuaciones generadas por la estación de trabajo son más fiables que las realizadas por personas.

18.2. SIMULACION

El propósito del software de simulación es verificar y asegurar que el diseño es correcto. Con el paso de los años se han desarrollado varios tipos de simuladores. Se diferencian tanto en los elementos básicos (primitivas) que utilizan para representar la lógica del sistema como en su propósito o utilidad. En general, el tiempo de computador necesario para simular un bloque lógico decrece a medida que se incrementa la complejidad de las primitivas. Los simuladores pueden dividirse en los siguientes tipos, que serán analizados a continuación en este apartado:

Simuladores de circuitos.
Simuladores a nivel de puerta.
Simuladores funcionales y de modo mixto.
Simuladores de fallos.

18.2-1. Simuladores de circuitos

Los *simuladores de circuitos* utilizan elementos eléctricos básicos como primitivas. Por ejemplo, el simulador de circuitos Berkeley SPICE utiliza resistencias, condensadores, bobinas, fuentes de tensión y corriente independientes y fuentes de tensión y corriente dependientes como elementos básicos. Diodos, transistores bipolares y MOS se pueden modelar con elementos básicos como los de la Figura 18.2-1.

Con los elementos básicos de la Figura 18.2-1, el simulador analiza la red aplicando las leyes de Kirchhoff para tensiones y corrientes generando así las correspondientes ecuaciones. Estas se resuelven aplicando algoritmos numéricos como el método de aproximaciones sucesivas de Newton-Raphson, la expansión de las series de Taylor y el método de Runge-Kutta [1].

Los simuladores de circuitos se utilizan también cuando se desarrolla un nuevo proceso y/o una nueva librería. Primero, el modelo del transistor se formula utilizando conocimientos acerca de su funcionamiento y estructura y de los parámetros del proceso. A continuación el modelo se expresa en función de elementos eléctricos básicos tal y como se muestra en la Figura 18.2-1. Se fabrican entonces los chips de prueba que contienen transistores de distinto tamaño (variando longitudes y anchuras), longitudes de líneas de

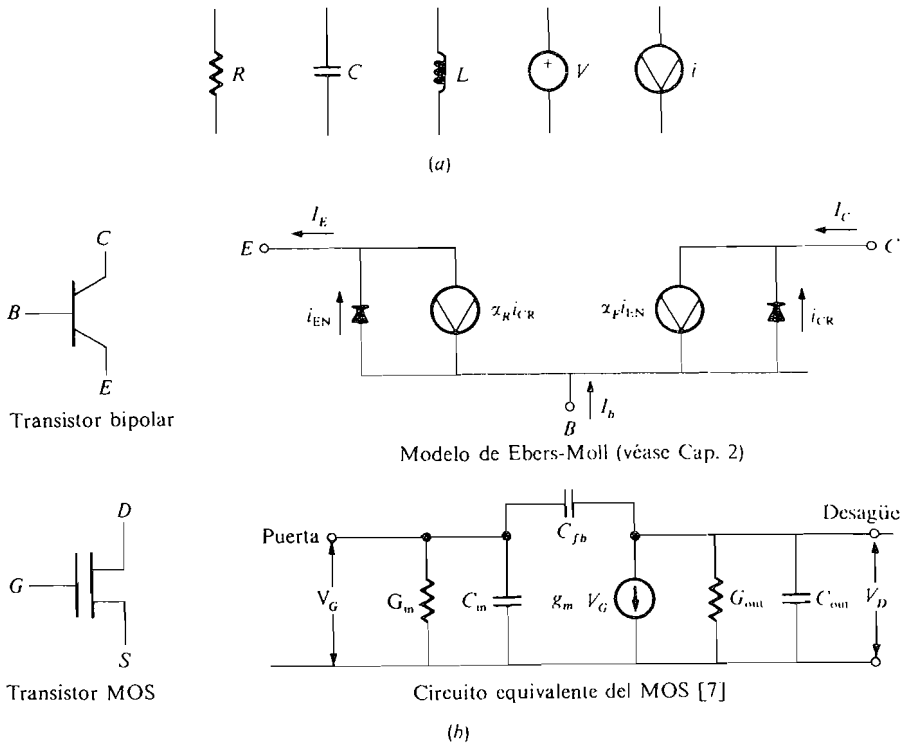


Figura 18.2-1. (*a*) Primitivas típicas de un simulador; (*b*) modelos de los transistores bipolar y MOS.

metal y polisilicio y cadenas de contactos. Estas estructuras se comprueban cuidadosamente para determinar los valores de los elementos básicos (resistencias, capacidades, etc.) para cada sistema en particular. Estos valores se le suministran en forma de entradas al simulador y éste simula de nuevo el transistor comparándolo con los transistores que actualmente se fabrican. Si todo es correcto, entonces se produce la validación del modelo del transistor. Muchos de estos procesos se hacen para determinar los valores nominales, pero también para conocer qué dispersión puede esperarse para esos parámetros eléctricos. Una vez que han sido establecidos los valores de estos parámetros y su dispersión, se utiliza todo ello para crear modelos para cada célula contenida en las matrices de puertas (gate arrays) o en las librerías de células estándar (standard cell librarys). Los modelos de estas células utilizan los mismos elementos básicos que el modelo del transistor, pero son más complejos ya que tienen múltiples transistores, interconexiones y contactos. Una vez hecho esto, el modelo de célula se simula en el SPICE. Por tanto, cada célula de la familia se genera después de los correspondientes prototipos de chips y su funcionamiento se analiza y compara con las previsiones del simulador SPICE. Algunas divergencias requieren modificaciones del modelo, nuevas simulaciones y la fabricación de nuevos prototipos. Después de repetir varias veces este proceso las células quedan suficientemente caracterizadas como para que su funcionamiento pueda predecirse (con un 5 por 100 de error en la mayoría de los casos) para distintas cargas, temperaturas y tensiones y teniendo en cuenta

la dispersión. Estos datos se utilizan luego para crear una librería de células que se utilizará como entrada para los *simuladores a nivel de puerta* (véase Sec. 18.2-2.)

Otra utilidad de los simuladores de circuitos es el diseño a medida (full custom) de circuitos integrados tales como las memorias. En ciertos casos es necesario modelar exactamente la célula de memoria y las líneas de control de la misma utilizadas para la lectura y escritura de la célula.

Llegados a este punto, es conveniente hacer notar que el simulador SPICE sólo puede obtener las soluciones de las ecuaciones de red que se generan en función de los datos del modelo suministrados por el usuario. El SPICE no es mágico y sus resultados sólo son buenos si las primitivas utilizadas para el modelo son las adecuadas (Fig. 18.2-1).

Debido al tiempo de computador necesario para resolver las ecuaciones lineales, no lineales y diferenciales que el SPICE debe hacer, los simuladores de circuitos como el SPICE rara vez simulan modelos que contengan más de 100 ó 200 transistores. La potencia del computador necesario para simular un chip completo es prohibitiva, por lo que se hace muy raramente. Bell Telephone Laboratories tuvo que utilizar un super computador Cray I para poder simular el circuito completo correspondiente al procesador BELLMAC-32A [8].

En resumen, los simuladores de circuitos se utilizan, básicamente, para simular estructuras críticas de diseños full-custom y para la simulación de nuevas células de una familia de células para gate arrays o standard cells.

18.2-2. Simuladores a nivel de puerta

Estos simuladores son la parte de los sistemas CAD más frecuentemente utilizada para los diseños ASIC. Las primitivas de los simuladores a nivel de puerta son miembros caracterizados de una familia de células. Sus funciones lógicas, capacidades de entrada, retrasos, tiempos de subida y bajada, todos ellos como función de cargas capacitivas, son los parámetros más importantes para el simulador a nivel de puertas. Estos datos están contenidos en la librería de células y se utilizan como datos de entrada para el simulador. Las entradas del simulador a nivel de puerta son los datos de la librería de células, las ecuaciones generadas por el software correspondiente a la entrada lógica y los estímulos de entrada, como puede verse en la Figura 18.2-2. El simulador realiza el análisis lógico y en el tiempo utilizando estas entradas. Es importante tener en cuenta que los cálculos se efectúan en función de los estímulos de entrada y que sólo pueden ejecutarse aquellas partes del diseño afectadas por las entradas. También aquí, la calidad de los resultados obtenidos con el simulador a nivel de puertas será función de la capacidad del usuario que suministra los datos de entrada.

Hay dos aproximaciones básicas en el software del simulador a nivel de puerta. En una, el análisis *lógico* y en el *tiempo* se lleva a cabo mediante el uso de *programas independientes;* en la otra, se realiza con un programa combinado. Cada una de estas aproximaciones se discute a continuación.

Análisis lógico y en el tiempo por separado

Durante el *análisis lógico* sólo las funciones lógicas de las células se ven afectadas y se asigna a todas las puertas el mismo retraso unidad, independientemente del tipo de puerta y de la carga. Desde el momento en que no se tiene en cuenta el tiempo, este análisis sólo

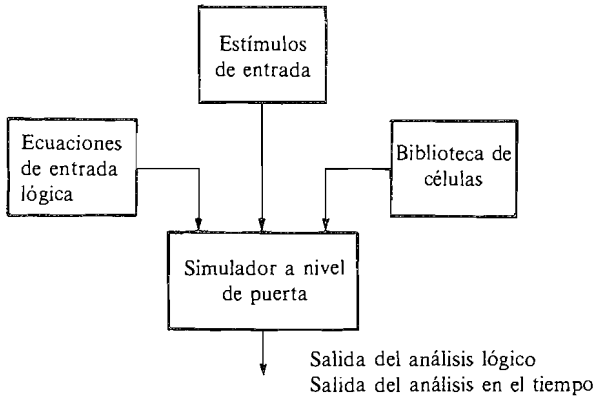
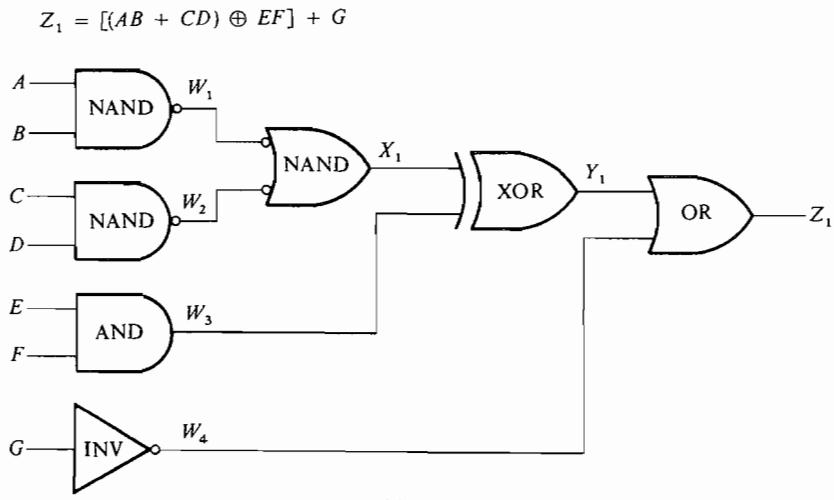

Estímulos de entrada
Ecuaciones de entrada lógica
Biblioteca de células
Simulador a nivel de puerta
Salida del análisis lógico
Salida del análisis en el tiempo

Figura 18.2-2. Salidas y entradas del simulador a nivel de puerta.

es válido para verificar la lógica del sistema. Una vez que se consigue un modelo lógicamente correcto, se analiza el comportamiento en el tiempo empleando un segundo paquete de software que calcula los retrasos en las vías que van de un registro a otro de forma similar a como lo haría un diseñador (véase Fig. 17.8-1). Este segundo programa trata las cargas como si fueran puramente capacitivas y las vías de interconexión como una resistencia y una capacidad discretas; de esta forma, el análisis se reduce al de una red *RC* discreta.

La Figura 18.2-3 ayuda a comprender mejor el papel de los programas anteriores. La Figura 18.2-3*a* muestra una función booleana simple para la que la Figura 18.2-3*b* da la típica salida del simulador lógico. El simulador evalúa el estado lógico de la salida para cada puerta asignando el mismo tiempo de retraso a todas ellas. Las señales U de entrada de la Figura 18.2-3*b* indican que la salida está indefinida en ese instante. La simulación comienza en T_0, cuando aparece la primera señal de entrada. En ese momento todas las señales de las puertas están sin definir (U). Un retraso unidad de puerta después (instante T_1) las salidas W_1 a W_4 pasan a estar definidas, mientras los nodos X_1, Y_1 y Z_1 siguen sin definir. En el instante T_2, X_1 queda definido, Y_1 sigue sin definir ya que la puerta XOR no queda definida hasta que lo estén sus dos entradas y Z_1 toma el valor **1** debido a W_4 que quedó definida en el instante T_1. Z_1, que es la salida del sistema, toma valor **1**, no porque las dos entradas de la puerta OR estén definidas, sino porque una de ellas, W_4, toma valor **1** independientemente del estado de Y_1. Pero si se cambia el valor del estímulo de entrada (**1100111**; $T_4 \rightarrow T_7$) la salida Z_1 no tomará valor el **0** estable hasta un retraso de puerta después de que Y_1 sea estable, porque W_4 es cero y la salida Z_1 depende del valor de Y_1. Obsérvese que el estímulo de entrada suministrado por el diseñador debe permanecer estable al menos durante cuatro unidades de tiempo ya que hay cuatro niveles de puertas entre la entrada y la salida.

No siempre es necesario tomar como salida del simulador todos los nodos internos de una función o muestrearlos en cada instante. El usuario puede especificar qué nodo desea observar y la frecuencia de muestreo. Esto es necesario para reducir la cantidad de salidas en el caso de funciones complejas y con secuencias largas de los estímulos de entrada. Por ejemplo, un diseñador que desee comprobar partes de un diseño, de cualquier forma que lo haga, como esas partes o bloques están dentro de otros mayores, deberá seleccionar los nodos que desea observar y la frecuencia de muestreo.



(*a*)

	Estímulos de entrada							Nodos internos					Salida		
	A	B	C	D	E	F	G	W_1	W_2	W_3	W_4	X_1	Y_1	Z_1	
T_0	0	1	0	1	0	1	0	U	U	U	U	U	U	U	
T_1	0	1	0	1	0	1	0	1	1	0	1	U	U	U	
T_2	0	1	0	1	0	1	0	1	1	0	1	0	U	1	
T_3	0	1	0	1	0	1	0	1	1	0	1	0	0	1	
T_4	1	1	0	0	1	1	1	1	1	0	1	0	0	1	← Válida
T_5	1	1	0	0	1	1	1	0	1	1	0	0	0	1	
T_6	1	1	0	0	1	1	1	0	1	1	0	1	1	0	
T_7	1	1	0	0	1	1	1	0	1	1	0	1	0	1	
T_8								0	1	1	0	1	0	0	← Válida

(*b*)

Figura 18.2-3. (*a*) Circuito lógico; (*b*) salida de la simulación lógica.

El programa de análisis en el tiempo calcula los retrasos de las puertas para cada nodo sustituyéndolos por redes *RC* discretas. En las Figuras 18.2-4*a* y *b* aparece un ejemplo de este análisis. La Figura 18.2-4*a* muestra varias puertas gobernadas por otra puerta AND de entrada y las líneas de transmisión l_1, l_2, l_3 y l_4 utilizadas para las conexiones. En la Figura 18.2-4*b* se observan las redes *RC* equivalentes de las puertas y conexiones. La Figura 18.2-4*c* muestra la red *RC* que ve la puerta AND. Antes de la realización del layout, la capacidad de entrada de cada puerta (de aquellas que funcionan como carga para la puerta AND) se obtiene de la librería correspondiente pero las R y C de las conexiones son desconocidas. Por tanto, en el análisis en el tiempo anterior al layout, los valores R y C para las conexiones se ignoran o son valores estadísticos extraídos de

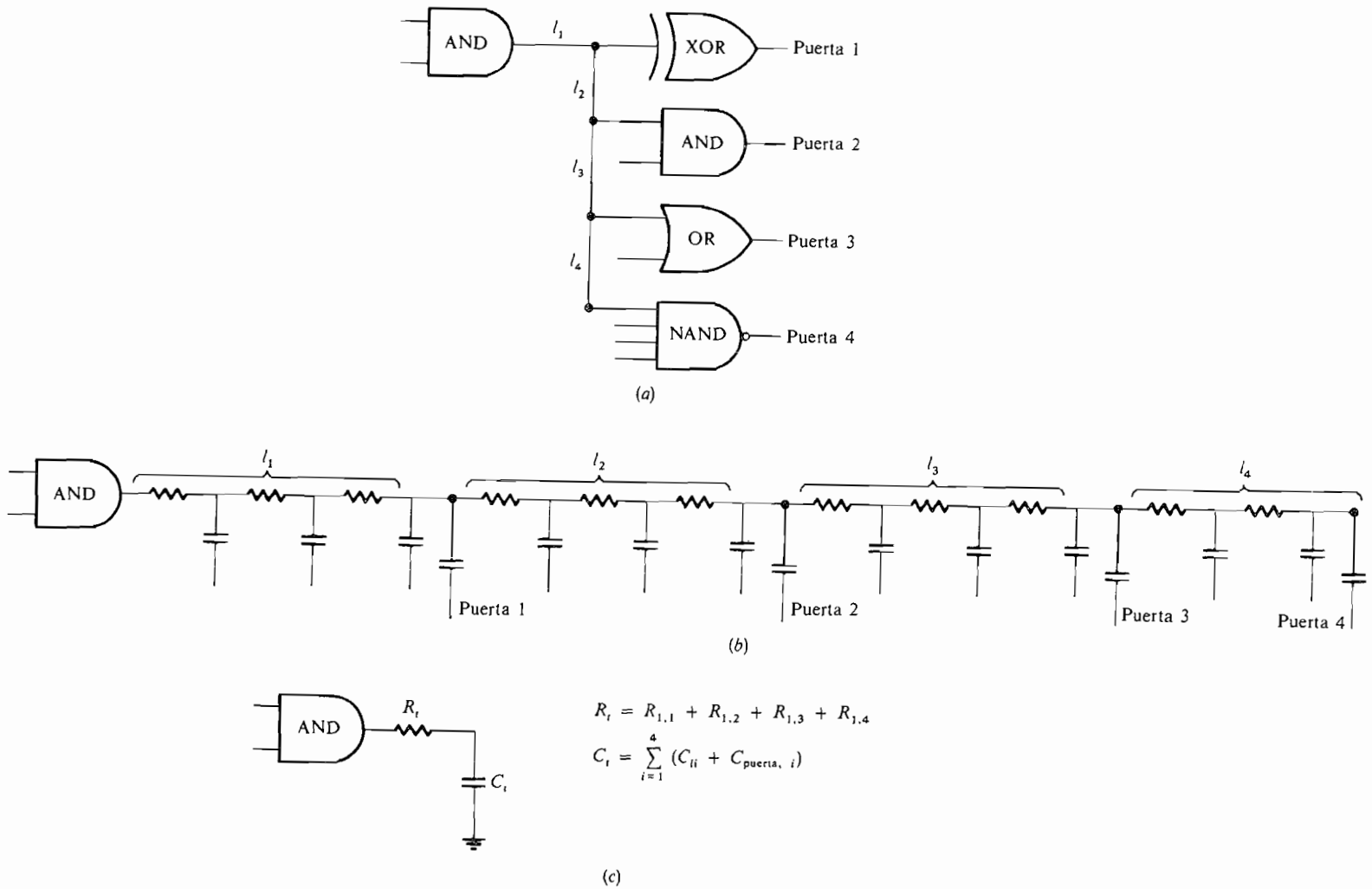


Figura 18.2-4. Análisis en el tiempo de nodos llevado a cabo por un simulador a nivel de puerta.

experiencias anteriores y función del número de puertas. Cuando un nivel de polisilicio o metal se usa para las conexiones, los valores de R y C son importantes. En la mayoría de los casos se utilizan dos niveles de metal o polisilicio para las conexiones y se desprecia la resistencia teniendo en cuenta únicamente la capacidad. El Ejemplo 18.2-1 ilustra cómo se calculan los retrasos utilizando la capacidad de entrada de cada puerta y un valor de la capacidad de las conexiones, obtenido estadísticamente en función del número de puertas, para un proceso en el que se utilizan dos niveles de metal.

Es importante hacer notar que en los simuladores que separan el análisis lógico y en el tiempo los retrasos se calculan en función de la lógica y de la carga y no están gobernados por eventos (cambios de las entradas).

EJEMPLO 18.2-1

Calcular el retraso típico (5,0 V, 25 °C) para la puerta AND que gobierna las 4 puertas de la Figura 18.2-4. Usar las especificaciones de puerta de la Figura 18.2-5 y los datos estadísticos para conexiones de la Figura 18.2-6.

Solución

En primer lugar se calcula la carga capacitiva discreta C_T:

$$\begin{aligned} C_T &= \Sigma\, C_{\text{entrada de la puerta}} + C_{\text{cableado}} \\ &= C_{\text{XOR}} + C_{\text{AND}} + C_{\text{OR}} + C_{\text{NAND}} + C_{\text{cableado para fan-out}=4} \end{aligned}$$

Las capacidades de entrada de las puertas se obtienen de la Figura 18.2-5 y las capacidades de las conexiones de la Figura 18.2-6 para un fan-out de 4.

$$\begin{aligned} C_T &= 0{,}112 + 0{,}053 + 0{,}071 + 0{,}113 + 1{,}26 \\ &= 1{,}61 \text{ pF} \end{aligned}$$

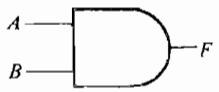
Ahora se calcula el retraso de la puerta AND que controla a las otras utilizando datos de la librería (Fig. 18.2-5) y las siguientes ecuaciones:

$$t_{LH} = t'_{LH} + (FF \times C_T)$$

donde t_{LH} = retardo de propagación para la transición del nivel bajo al alto
t'_{LH} = igual que t_{LH} pero cuando la puerta no tiene cargas
FF = factor de fan-out para la puerta de control en ns/pF obtenido de la librería
C_T = carga capacitiva total

$$\begin{aligned} t_{LH} &= 0{,}68 + (0{,}97 \times 1{,}61) \text{ ns} \\ &= 2{,}24 \text{ ns} \end{aligned}$$

AND (2 entradas)



Entrada = 0,053 pF

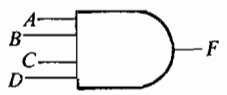
Parámetro	Entrada	Salida	Retraso (ns)	Factor de fan-out (ns/pF)
t_{LH}	*A, B*	*F*	0,68	0,97
t_{HL}	*A, B*	*F*	0,94	0,91

XOR (2 entradas)

Entrada = 0,112 pF

Parámetro	Entrada	Salida	Retraso (ns)	Factor de fan-out (ns/pF)
t_{LH}	*A, B*	*F*	1,04	0,91
t_{HL}	*A, B*	*F*	0,95	0,89

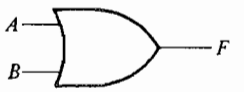
NAND (4 entradas)



Entrada = 0,113 pF

Parámetro	Entrada	Salida	Retraso (ns)	Factor de fan-out (ns/pF)
t_{LH}	*A, B, C, D*	*F*	0,62	0,94
t_{HL}	*A, B, C, D*	*F*	0,36	1,35

OR (2 entradas)



Entrada = 0,071 pF

Parámetro	Entrada	Salida	Retraso (ns)	Factor de fan-out (ns/pF)
t_{LH}	*A, B*	*F*	0,75	0,98
t_{HL}	*A, B*	*F*	0,81	0,90

Figura 18.2-5. Especificaciones típicas de puerta para una familia de células de 1 μm. (*Reproducido con permiso de VTC Inc.*)

Fan-out	Capacidad estadística de las conexiones
1	0,51 pF
2	0,74 pF
3	1,04 pF
4	1,26 pF
5	1,45 pF
6	1,63 pF
7	1,80 pF
8	1,95 pF

Figura 18.2-6. Capacidad de cableado estadística típica para un nivel doble de metal. (*Reproducido con permiso de VTC Inc.*)

De forma análoga el retardo de propagación para la transición de estado alto a estado bajo se obtiene

$$\begin{aligned} t_{HL} &= t'_{HL} + (FF + C_T) \\ &= 0{,}94 + (0{,}91 \times 1{,}61)\ \text{ns} \\ &= 2{,}41\ \text{ns} \end{aligned}$$

Simulaciones lógicas y en el tiempo combinadas

En muchos de los paquetes de software de las estaciones de trabajo las simulaciones lógica y en el tiempo se combinan en un solo programa en el que los resultados son función de los estímulos de entrada. En estos simuladores las entradas se describen como ondas que son función del tiempo y las salidas o nodos internos elegidos se muestrean según intervalos de tiempo reales y no en función de los retrasos de las puertas.

La Figura 18.2-7 muestra el tipo de análisis realizado por un simulador gobernado por eventos en el que las simulaciones lógicas y en el tiempo se combinan. Las entradas del circuito las especifica el diseñador como una función dependiente del tiempo (Fig. 18.2-7). En algunos CADS las entradas se pueden especificar interactivamente mediante una forma de onda tal como se muestra, mientras que en otros cada entrada se describe mediante un listado de estados y tiempos de transición.

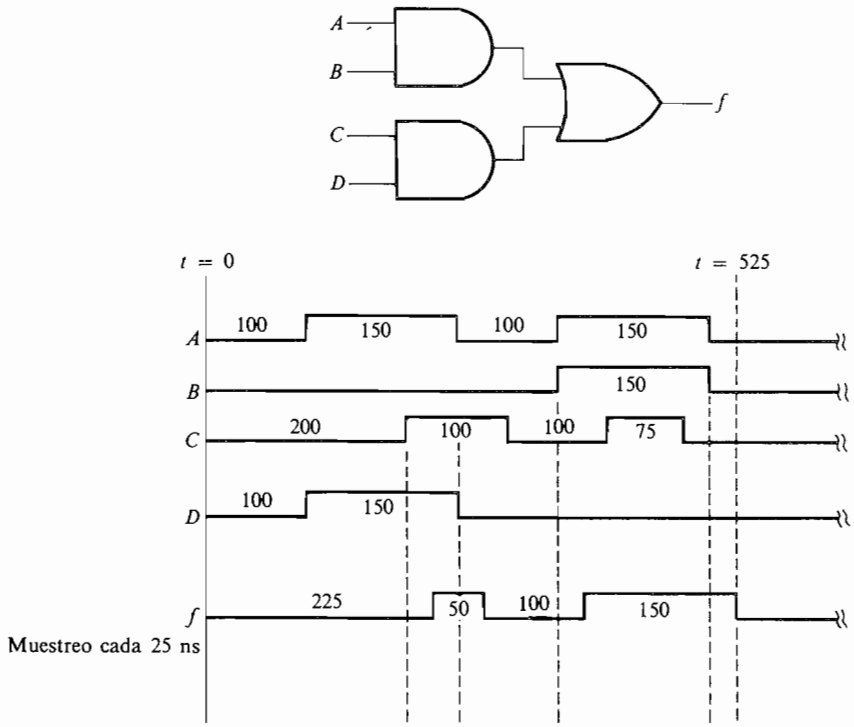


Figura 18.2-7. Entrada y salida de un simulador gobernado por eventos.

Por ejemplo, la señal A de la Figura 18.2-7 se puede expresar en términos de estados y tiempos de transición como sigue:

$$A = (\mathbf{0},100;\ \mathbf{1},150;\ \mathbf{0},100;\ \mathbf{1},150;\ \mathbf{0},1000)$$

Esto se interpreta de la siguiente forma: la señal A es **0** durante 100 ns, **1** durante 150 ns, **0** durante 100 ns, etc. De forma análoga las salidas se pueden expresar mediante formas de onda o con tablas, como en la Figura 18.2-8, donde las entradas y salidas se listan en función del tiempo.

Aunque las salidas del simulador lógico de la Figura 18.2-3 y del simulador gobernado por eventos de la Figura 18.2-8 puedan ser similares, es importante recordar que cada uno obtiene los resultados de forma diferente. El simulador lógico ignora las consideraciones en tiempo real y trata igual a todas las puertas lógicas independientemente del tipo y la carga. En cambio, un simulador gobernado por eventos calcula los retrasos de cada vía repetidamente para cada nuevo estímulo de entrada, y proporciona la salida como una función de los datos de entrada y del tiempo. Al igual que los simuladores en el tiempo analizados anteriormente, los simuladores gobernados por eventos utilizan datos estadísticos para las capacidades de las conexiones antes de realizar el layout. Después del layout, se le proporciona al simulador gobernado por eventos la capacidad actualizada de los nodos y

Tiempo	*A*	*B*	*C*	*D*	*f*
0	**0**	**0**	**0**	**0**	**0**
25	**0**	**0**	**0**	**0**	**0**
50	**0**	**0**	**0**	**0**	**0**
75	**0**	**0**	**0**	**0**	**0**
100	**1**	**0**	**0**	**1**	**0**
125	**1**	**0**	**0**	**1**	**0**
150	**1**	**0**	**0**	**1**	**0**
175	**1**	**0**	**0**	**1**	**0**
200	**1**	**0**	**1**	**1**	**0**
225	**1**	**0**	**1**	**1**	**1**
250	**0**	**0**	**1**	**0**	**1**
275	**0**	**0**	**1**	**0**	**0**
300	**0**	**0**	**0**	**0**	**0**
325	**0**	**0**	**0**	**0**	**0**
350	**1**	**1**	**0**	**0**	**0**
375	**1**	**1**	**0**	**0**	**1**
400	**1**	**1**	**1**	**0**	**1**
425	**1**	**1**	**1**	**0**	**1**
450	**1**	**1**	**1**	**0**	**1**
475	**1**	**1**	**0**	**0**	**1**
500	**0**	**0**	**0**	**0**	**1**
525	**0**	**0**	**0**	**0**	**0**
550	**0**	**0**	**0**	**0**	**0**
575	**0**	**0**	**0**	**0**	**0**
600	**0**	**0**	**0**	**0**	**0**

Figura 18.2-8. Salida tabulada de un simulador gobernado por eventos.

Entrada lógica	2 meses
Simulación prelayout	4 meses
Layout	1 mes
Simulación postlayout	1 mes
Verificación del layout	1 mes
	9 meses

Figura 18.2-9. Distribución típica de tiempos en el diseño de un circuito.

el programa se ejecuta de nuevo con los mismos estímulos de entrada para asegurar que todas las conexiones o caminos críticos cumplen las exigencias de diseño.

Revisando los distintos tipos de simuladores a nivel de puerta se obtienen algunas conclusiones. Primero, estos simuladores son sólo tan buenos como puedan serlo los usuarios. El usuario debe saber qué cálculos está realizando el simulador y tener en cuenta que el grado en el que el diseño se verifica es función directa de lo completos que sean los estímulos de entrada proporcionados.

Segundo, la verificación de un diseño mediante simulaciones es un proceso iterativo que lleva tiempo y genera grandes cantidades de datos de salida que requieren un cuidadoso análisis por parte del diseñador. El simulador sustituye al diseñador en las tareas de producción de datos de salida ante unos estímulos de entrada, pero no localiza errores por sí mismo. *Es el análisis cuidadoso de los datos de salida del simulador, por parte del diseñador, el que localiza los errores de diseño.*

Tercero, la simulación requiere grandes cantidades de tiempo. Así, la Figura 18.2-9 muestra la distribución de esfuerzos que requiere el diseño de un circuito complejo suponiendo que lo realiza una sola persona en 9 meses.

18.2-3. Simulación funcional y de modo mixto

Simular un diseño ASIC con simuladores a nivel de puerta requiere mucho tiempo de CPU. Normalmente los diseños grandes utilizan bloques funcionales como RAM, ROM, ALU y ficheros de registros. Empleando aproximaciones de estos bloques se reduce el tiempo de CPU necesario. Una vez que el bloque ha sido diseñado y simulado a nivel de puertas o de circuito, se puede crear un modelo funcional para sustituir al bloque en la simulación del chip completo. Usando modelos funcionales, el tiempo de CPU puede utilizarse para simular interconexiones entre bloques funcionales en lugar de aplicarlo en las puertas internas del bloque. Esto es especialmente valioso si existen varios bloques en un chip o si los mismos bloques se utilizan en distintos chips, y es similar a la aproximación utilizada en diseños de grandes sistemas en los que una vez que la tarjeta de circuito impreso ha sido diseñada y simulada, es tratada como un bloque funcional por el software de interconexión de sistemas y en la simulación del sistema completo.

Los simuladores que pueden utilizar definiciones de grandes bloques y también simular el funcionamiento del chip siendo las señales de entrada y salida grandes bloques, se llaman también *simuladores funcionales*. Los simuladores que pueden combinar el uso de grandes bloques con puertas elementales y células se llaman *simuladores de modo mixto*.

Igual que en los simuladores a nivel de puerta los estímulos de entrada deben ser proporcionados por los diseñadores; los simuladores producirán entonces las respuestas de las señales de salida para el bloque de entrada especificado.

18.2-4. Análisis y cobertura de fallos

Después de que el diseñador del ASIC ha completado el proceso iterativo de diseño y simulación, una serie de vectores de test (que consisten en un conjunto de estímulos de entrada y señales de salida previstas) deben ser generados para comprobar el ASIC fabricado. Este conjunto de vectores se genera proporcionando los estímulos de entrada a los simuladores anteriormente estudiados y recabando las señales de salida del ASIC. Los estímulos y sus respuestas forman un conjunto de vectores de test que es utilizado por un equipo de test automático que chequea el ASIC a nivel de oblea y después del encapsulado. El proceso de recogida y formateo de los vectores de test por parte del equipo de test se denomina *extracción de los vectores de test*. Típicamente estos vectores contienen hasta 16 000 estímulos y respuestas para adecuarse al test de un ASIC complejo. ¿Cómo sabe entonces el diseñador del ASIC si los vectores de test son capaces de chequear suficientemente un diseño complejo? Son dos las aproximaciones por software que se utilizan: *análisis de conmutación de nodos* y *análisis de fallos stuck-at.*

Análisis de conmutación de nodos

En esta aproximación el software ejecuta el diseño utilizando los estímulos de entrada y guarda información sobre qué nodos internos del ASIC han cambiado de **0** a **1** y cuáles han cambiado de **1** a **0**. Al final de la ejecución, el programa lista todos los nodos que no han conmutado así como el porcentaje de nodos que sí lo han hecho. Utilizando la lista de los nodos que no conmutaron, el diseñador modifica los estímulos de entrada de test hasta conseguir que el 100 por 100 de los nodos conmuten. Incluso con el 100 por 100 de los nodos conmutando existe la posibilidad de que los vectores de test no encuentren todos los fallos cometidos durante la fabricación. Todo lo que esta aproximación garantiza es que todos los nodos internos han conmutado. No asegura en cambio que un error producido por un nodo interno defectuoso (cortocircuito o abierto), se transmita hasta los pines (patillas) de salida del ASIC de forma que sea detectable en dichos pines. Por ejemplo, en el circuito de la Figura 18.2-10, mientras los nodos f_1 y f_2 conmuten ambos de **0** a **1** o de **1** a **0**, a menos que los dos sean **0** simultáneamente, se produce un error stuck-at-**1** en el nodo f_4 que no se detectará en la salida.

Análisis de fallos stuck-at

Esta aproximación es una evaluación más rigurosa de la capacidad de los vectores de test para detectar nodos internos cortocircuitados o en circuito abierto desde los pines de salida del ASIC. Para entender mejor este modelo considérese el propio diseño ASIC

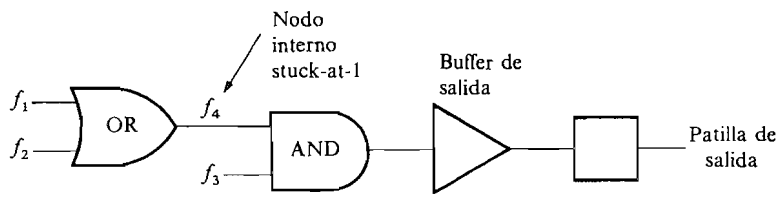


Figura 18.2-10. Posibles fallos no detectados utilizando el análisis de conmutación de nodos.

como un gran modelo al que se le aplican estímulos para los cuales el simulador lógico ha proporcionado las correspondientes salidas como muestra la Figura 18.2-11*a*. Supóngase ahora que se crea un nuevo modelo ASIC idéntico al primero excepto en que se fuerza a la salida de una puerta a estar todo el tiempo a **0** (stuck-at-**0**), como en la Figura 18.2-11*b*. Si se le aplican los mismos estímulos de entrada al modelo erróneo y se toman las salidas del simulador para este modelo, es posible comparar las salidas para ambos modelos (correcto-erróneo) como se ve en la Figura 18.2-11*c*. Si para los mismos vectores de entrada de test las salidas de ambos modelos presentan alguna diferencia, los vectores de test detectarían este error si el nodo erróneo estuviera también a **0** en el ASIC fabricado. Por el contrario, si las salidas hubieran sido idénticas en ambos casos, los vectores de test no serían capaces de detectar el error stuck-at-**0** para esa puerta caso de que el ASIC fabricado presentase ese fallo. Si todos los nodos internos son puestos a **1** y a **0**, cada uno por separado, se creará un modelo para cada caso, y si los vectores de test se prueban con todos ellos y se comparan los resultados con los del modelo correcto, se puede determinar exactamente cuáles de los nodos internos que son erróneos son detectados con el juego de vectores de test propuesto. Si para cada posible error se crea un nuevo modelo ASIC y todos los vectores de test se prueban con cada modelo, el tiempo de CPU necesario para realizar el análisis de fallos stuck-at puede ser de cientos de horas para un ASIC que contuviese sólo 8000 puertas[2].

Debido a la gran cantidad de tiempo necesario para el análisis de fallos han sido desarrollados aceleradores de hardware. Los aceleradores consisten en un equipo hardware adicional que se conecta al hardware general del ordenador. Estos aceleradores pueden reducir drásticamente el tiempo necesario para llevar a cabo el análisis de fallos stuck-at y son muy recomendables.

El término *cobertura de faltas* expresa en qué medida un juego de vectores de test puede detectar un fallo interno stuck-at en un diseño ASIC concreto. Se expresa como un

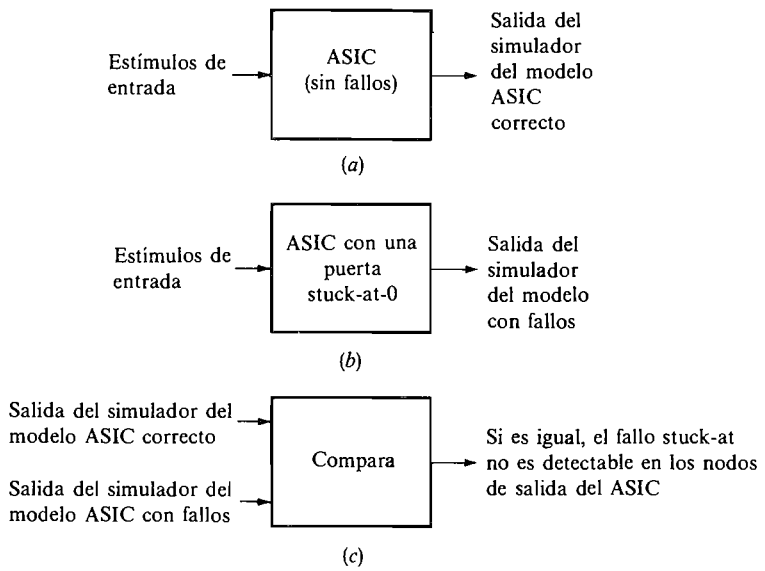

Estímulos de entrada
ASIC (sin fallos)
Salida del simulador del modelo ASIC correcto
(a)
Estímulos de entrada
ASIC con una puerta stuck-at-0
Salida del simulador del modelo con fallos
(b)
Salida del simulador del modelo ASIC correcto
Salida del simulador del modelo ASIC con fallos
Compara
Si es igual, el fallo stuck-at no es detectable en los nodos de salida del ASIC
(c)

Figura 18.2-11. Aproximación al análisis de fallos stuck-at.

porcentaje del número total de nodos internos y se define como

$$\text{Grado} = \frac{DF}{N} \times 100\%$$

donde DF es el número detectado de nodos que presentan fallos por el juego de vectores de test y N es el número total de nodos internos.

La generación de un conjunto de vectores de test aceptable es un proceso iterativo en el que los vectores se generan y gradúan varias veces, hasta alcanzar el grado deseado. La mayoría de los diseñadores de ASIC exigen un 95 por 100 o más para los vectores de test antes de dar el visto bueno para la fabricación. Las referencias 2 y 3 de este capítulo relacionan el porcentaje de cobertura de fallos y el número y coste de los fallos previstos en equipos por causa de fallos de circuitos integrados que no han sido detectados por los vectores de test. Ambas referencias recomiendan grados del 95 al 99 por 100. Como se asevera en la referencia 3: «Un 90 por 100 sería un resultado excelente en otro caso, pero como cobertura de faltas no es aceptable».

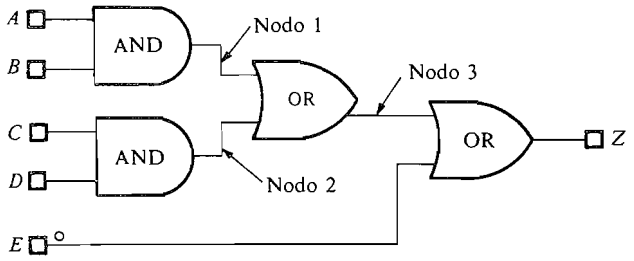
Utilizando el ejemplo de la Figura 18.2-12 se pueden demostrar varios de los conceptos vistos acerca de la cobertura de fallos. El circuito de la Figura 18.2-12 tiene 5 entradas (A, B, C, D, E) y una salida Z. La tabla de verdad de la Figura 18.2-12 lista los valores correctos de la salida Z y las salidas resultantes de los nodos 1, 2 y 3, siendo puestos cada uno por separado a **0** y a **1** (stuck-at-**0** y stuck-at-**1**) para 16 patrones de entrada distintos. Comparando la salida correcta de Z con aquella que tiene algún nodo con fallo, puede determinarse si ese fallo es detectable en la salida Z para un patrón de entrada concreto. Si los vectores de test consistiesen sólo en 4 patrones de entrada todos los fallos stuck-at-**0** y stuck-at-**1** podrían detectarse excepto el stuck-at-**0** del nodo 1. Por tanto, si el juego de vectores de text sólo puede detectar los fallos stuck-at-**0** y stuck-at-**1** en los nodos 2 y 3, su cobertura de fallos es del 66,6 por 100. Análogamente, el segundo patrón de 4 entradas no puede detectar el fallo stuck-at-**0** en el nodo 1. El tercer grupo de 4 entradas puede detectar todos los fallos stuck-at-**0** y stuck-at-**1** en los 3 nodos, mientras que el último grupo de 4 sólo puede detectar los fallos stuck-at-**0** en los nodos 2 y 3 y en ningún nodo los fallos stuck-at-**1**.

Utilizando las técnicas de testeabilidad descritas en el Capítulo 17 es posible alcanzar una cobertura de fallos del 95 por 100 o mayor empleando un número menor de vectores de test que si estas técnicas no se utilizasen. La *técnica de examen* de la trayectoria es el método simple más efectivo para incrementar la observabilidad y reducir así el número de vectores de test.

18.3. LAYOUT DE CIRCUITOS INTEGRADOS

El layout de los circuitos se refiere a los pasos necesarios para pasar de un diseño lógico simulado en su totalidad al emplazamiento físico e interconexión de elementos lógicos. Normalmente, en el diseño de un ASIC con gate arrays y standard cells, el diseñador introduce la lógica mediante la captura lógica, simula el diseño, genera los vectores de test y envía entonces el diseño al fabricante para proceder al layout y a la fabricación.

Para las estructuras fijas, como gate arrays o standard cells de altura uniforme y menos de 10 000 puertas, existe software que realiza automáticamente las funciones de posicionamiento e interconexionado. Si alguna de las conexiones (o caminos) fuese demasiado larga habría que proceder a hacerla manualmente en un terminal interactivo de layout. Cuando el número de puertas aumenta o cuando un bloque funcional de tamaño no estándar está incluido en el diseño, es necesario utilizar en mayor medida software interactivo para el



A	B	C	D	E	Salida Z correcta	Salida Z con fallos stuck-at: Nodo 1 "0"	Nodo 1 "1"	Nodo 2 "0"	Nodo 2 "1"	Nodo 3 "0"	Nodo 3 "1"	Grado
0	0	0	0	0	0	0	1	0	1	0	1	
	0	0	1		0	0	1	0	1	0	1	66,6%
	0	1	0		0	0	1	0	1	0	1	
	0	1	1		1	1	1	0	1	0	1	
	1	0	0		0	0	1	0	1	0	1	
	1	0	1		0	0	1	0	1	0	1	66,6%
	1	1	0		0	0	1	0	1	0	1	
0	1	1	1		1	1	1	0	1	0	1	
1	0	0	0		0	0	1	0	1	0	1	
	0	0	1		0	0	1	0	1	0	1	100%
	0	1	0		0	0	1	0	1	0	1	
	0	1	1		1	0	1	0	1	0	1	
	1	0	0		1	0	1	1	1	0	1	
	1	0	1		1	0	1	1	1	0	1	0%
	1	1	0		1	0	1	1	1	0	1	
1	1	1	1	0	1	1	1	1	1	0	1	

Figura 18.2-12. Cobertura de faltas del patrón de test.

posicionamiento y conexionado. Por ejemplo, el diseño de la Figura 18.3-1 consistente en una mezcla de standard cells normalizadas con memorias RAM y ROM. En este diseño la disposición de las RAM y las ROM se suele hacer manualmente, mientras que el software se encarga de disponer e interconectar automáticamente las standard cells. La interconexión entre filas en RAM, ROM y standard cells también precisa retoques manuales. En algunos casos sólo supone el conexionado de señales de las RAM y ROM alrededor de ellas siendo el «router» capaz de conectarlas a las filas de las standard cells. En otros casos es imprescindible una conexión manual completa.

Una vez que se han dispuesto e interconectado todos los elementos, la resistencia R y la capacidad C de cada conexión de los nodos del ASIC deben ser calculadas para proporcionárselas a los diseñadores de lógica. Como se recordará, antes del layout se utilizaban datos estadísticos de R y C en las interconexiones de las simulaciones. Una vez que el layout se ha completado, los valores actualizados de R y C se cargan en la base de

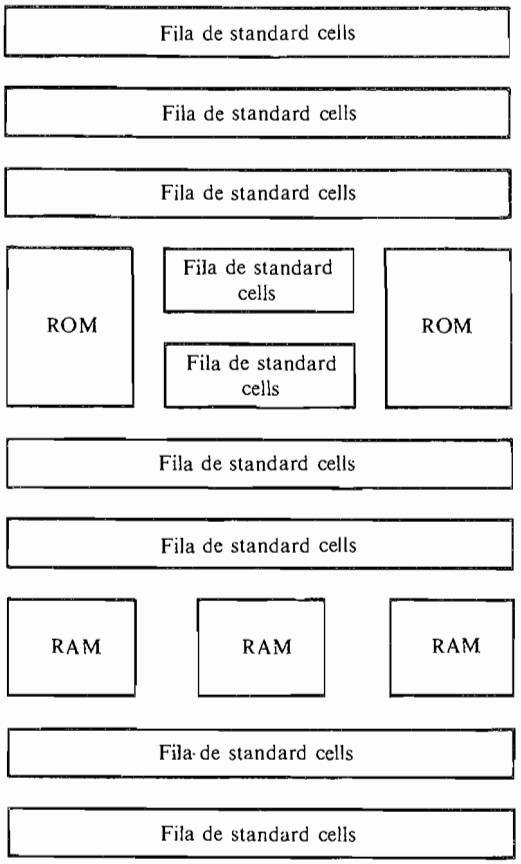


Figura 18.3-1. ASIC compuesto por una mezcla de standard cells y memorias RAM y ROM.

datos del diseñador de lógica. Los valores reales de R y C se utilizarán para volver a simular el diseño ASIC y comprobar que los retrasos producidos están dentro de límites aceptables. Si no fuera así, se comunicaría al fabricante cuáles son las vías o conexiones que no cumplen las condiciones de velocidad de transmisión requeridas y éstas se volverían a hacer de forma manual.

Una vez que se ha completado la simulación posterior del layout y que se considera que es válida, los datos del layout se comprueban con un paquete de software especial para la verificación del layout (véase Sec. 18.4).

18.4. VERIFICACION DEL LAYOUT

El propósito de la verificación del layout es asegurar que el layout es compatible con el diseño lógico. El software para alcanzar este objetivo consta de cuatro funciones principales:

Chequeo de las reglas de diseño	Chequeo del conexionado
Chequeo eléctrico	Comparación de netlist

18.4-1. Chequeo de las reglas de diseño

Las reglas de diseño se refieren a los límites geométricos del layout impuestos por el proceso de fabricación. Estos límites se dividen en cuatro categorías:

Anchos mínimos
Separación entre formas geométricas
Superposición de formas geométricas
Extensión de las formas geométricas

Por ejemplo, la Figura 18.4-1 muestra alguno de estos límites geométricos utilizando las reglas a escala presentadas por Meade y Conway[4]. Estas reglas a escala expresan todas las distancias en función de λ, la unidad de distancia elemental. El fin de utilizar reglas a escala es permitir el uso de las mismas reglas, y, por tanto, los mismos layouts, aprovechando las mejoras de los procesos que reduzcan λ sin tener que hacer un layout totalmente nuevo. En la Figura 18.4-1*a* se puede ver que el ancho mínimo de la línea de polisilicio es 2λ. Revisando el Capítulo 16, vemos que el ancho de la banda de polisilicio de puerta determina la longitud del canal MOSFET por lo que la longitud del canal puede ser 2λ.

El software que verifica las reglas de diseño debe revisar la totalidad del layout para asegurar que ninguna de las reglas ha sido violada. Aunque la Figura 18.4-1 no es una lista completa de las reglas de diseño para un proceso, ilustra el tipo de límites geométricos que deben ser verificados. Una lista completa de las reglas de diseño se puede encontrar en la Referencia 4. Aunque el software de disposición y conexionado de elementos no viole ninguna regla de diseño, siempre es necesario hacer alguna conexión manualmente, y éstas sí son susceptibles de violar dichas reglas.

18.4-2. Chequeo eléctrico y de conexionado

El fin del chequeo eléctrico es asegurar la no existencia de cortocircuitos. El chequeo de conexionado tiene por objeto asegurar que todos los transistores están conectados a algo y

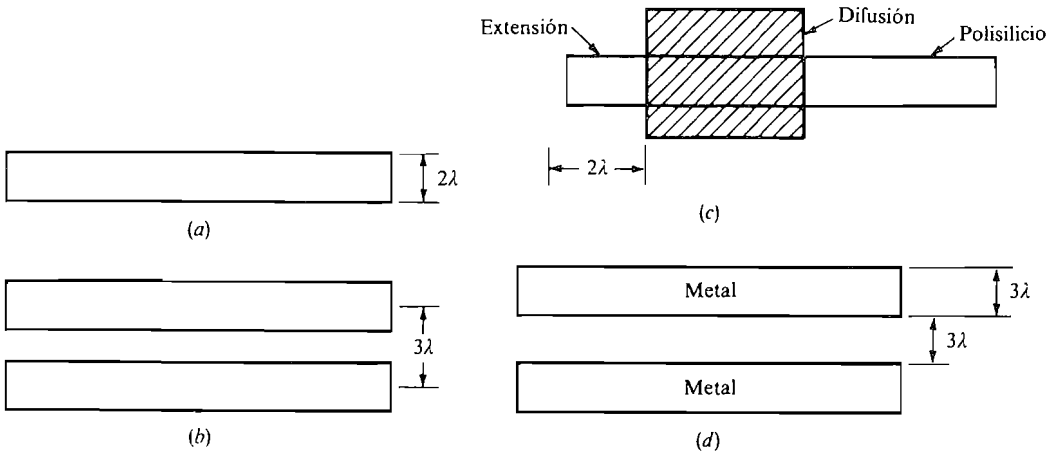


Figura 18.4-1. Algunas reglas de diseño a escala: (*a*) mínima difusión y ancho de la banda de polisilicio; (*b*) espacio mínimo entre difusiones; (*c*) extensión mínima de polisilicio tras la difusión; (*d*) ancho del metal y distancia entre niveles de metal.

que ningún nodo interno está «flotanto». Antes de cada uno de estos chequeos se utiliza un programa *extractor de netlist* que proporciona una lista de todos los transistores y sus conexiones. Este netlist es utilizado por el *software eléctrico y de conexionado* para comprobar la no existencia de errores.

18.4-3. Comparación de netlist

Comparando el netlist generado por el extractor con el netlist generado por el software compilador de captura lógica, es posible verificar que el layout está de acuerdo totalmente con la lógica diseñada originalmente. La comparación de netlists es un paso necesario porque incluso el software de CAD utilizado durante años puede producir errores; los errores de hardware pueden ocurrir durante el proceso y el software está sometido a constantes modificaciones para adaptarse a nuevas tecnologías, nuevas células y algoritmos más eficientes, y tales modificaciones pueden introducir más errores.

REFERENCIAS

1. G. Barros, «A Circuit Simulation Tutorial», *VLSI Systems Design*, junio, 1985, págs. 110-121.
2. G. Mott y J. Newkirk, «Eliminating Errors in the Field», *VLSI Systems Design*, octubre, 1986, págs. 88-90.
3. F. Buelow y E. Porter, «The Need for Fault Simulation», *VLSI Systems Design*, octubre, 1986, págs. 84-86.
4. C. Meade y L. Conway, «Introduction to VLSI Systems», Addison Wesley, Reading, Mass. 1980.
5. S. Taylor, «Verifying IC Layouts», *VLSI Systems Design*, enero, 1984.
6. M. T. Yin, «Layout Verification of VLSI Designs», *VLSI Systems Design*, julio, 1985.
7. S. M. Sze, «Physics of Semiconductor Devices», 2.ª ed. Wiley, New York, 1981, págs. 453-454.
8. D. E. Blahut, R. H. Krambeck, H. F. S. Law, H. Schichman y H. C. So. «Hierarchical Design Methodology for a Single Chip 32 Bit Microprocessor», *Proceedings of the IEEE International Conference on Circuits and Computers*, 1982, págs. 16-20.

PROBLEMAS

18.2-1. Para el circuito lógico de la Figura P18.2-1 hallar la salida de la simulación lógica (véase Figura 18.2-3) tomando cuatro estímulos de entrada cualesquiera, para todos los nodos internos y la salida *Z*.

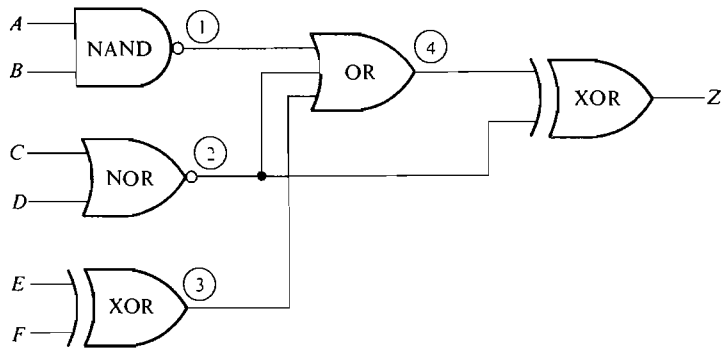


Figura P18.2-1.

18.2-2. Repetir el Problema 18.2-1 para el circuito lógico de la Figura P18.2-2.

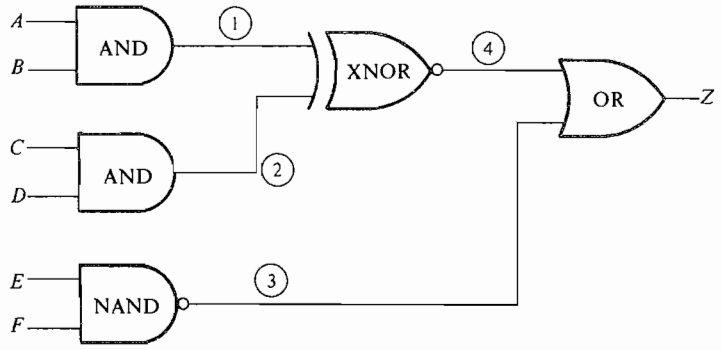


Figura P18.2-2.

18.2-3. Calcular el retraso nominal (+5 V, 25 °C) para la puerta NAND que gobierna a las otras cuatro puertas en la Figura P18.2-3. Utilizar las especificaciones de puerta de la Figura 18.2-5 y los datos estadísticos de la Figura 18.2-6.

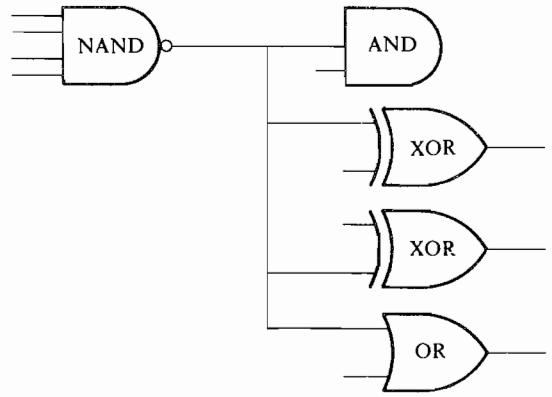


Figura P18.2-3.

18.2-4. Repetir el Problema 18.2-3 para todas las puertas de la Figura P18.2-4.

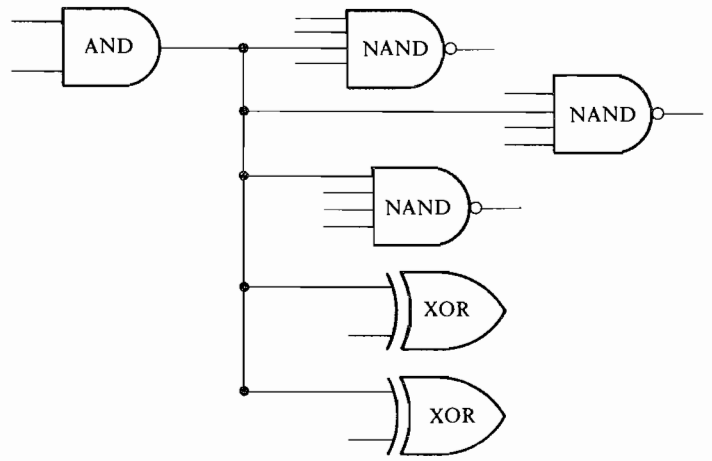


Figura P18.2-4.

18.2-5. Para el circuito de la Figura P18.2-5, hallar un conjunto de estímulos de entrada que garanticen una probabilidad del 100 por 100 en la detección de fallos stuck-at.

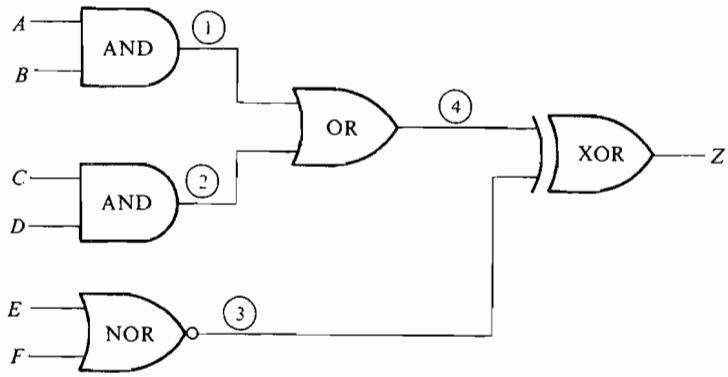


Figura P18.2-5.

18.2-6. Repetir el Problema 18.2-5 para el circuito de la Figura 18.2-6.

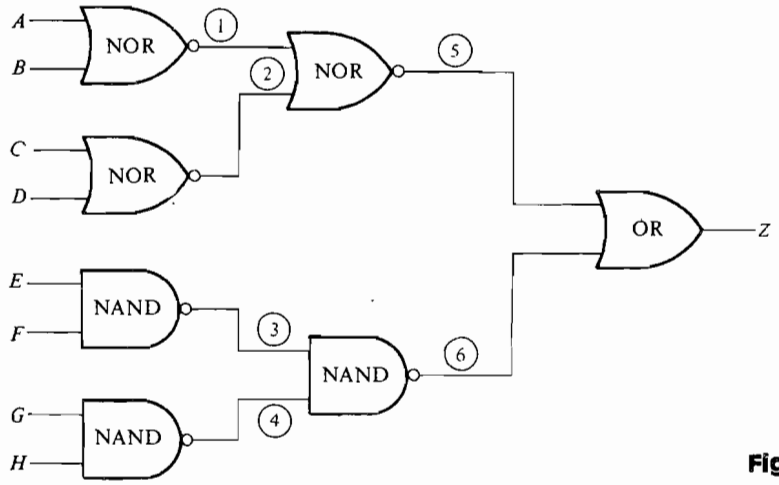


Figura P18.2-6.

APENDICE

La ganancia expresada en unidades logarítmicas; el decibelio

A

INTRODUCCION

A menudo, es interesante expresar la ganancia de etapas individuales en unidades logarítmicas. Así, la ganancia total se obtiene por suma simple de la de las etapas individuales. Esta unidad logarítmica puede simplificar el dibujo de la respuesta frecuencial (Cap. 9). Para la mayoría de las aplicaciones es más adecuado el decibelio (dB) que, cuando se usa para expresar la ganancia de potencia, se define como

$$A_p = 10\left(\log \frac{P_2}{P_1}\right) \quad \text{dB} \tag{A.1}$$

donde log significa $\log_{10}$.

Esta definición se usa con dos finalidades: 1) expresar la relación de potencias en unidades logarítmicas y 2) expresar el nivel de potencia con respecto a una referencia fija. Esta suele ser 1 mW, por lo que la unidad usa la abreviatura dBm. Así, para un nivel de potencia con respecto a 1 mW, tenemos

$$A_p = 10\left(\log \frac{P_2}{10^{-3}}\right) = 10 \log (P_2 \times 10^3) \quad \text{dBm} \quad P_2 \text{ in W} \tag{A.2}$$

El decibelio se definió originalmente en términos de ganancia de potencia como en (A.1). Debido a su utilidad, es habitual aplicarlo directamente a ganancias de tensión y corriente de la siguiente manera: Tomando como referencia (A.1), si P_1 y P_2 se disipan sobre resistencias iguales, R, entonces

$$P_2 = \frac{V_2^2}{R} = I_2^2 R \quad \text{y} \quad P_1 = \frac{V_1^2}{R} = I_1^2 R$$

Sustituyendo en (A.1), da

$$A_v = 10\left(\log \frac{V_2^2}{V_1^2}\right) = 20\left(\log \frac{V_2}{V_1}\right) \text{ dB} \tag{A.3}$$

o

$$A_i = 10\left(\log \frac{I_2^2}{I_1^2}\right) = 20\left(\log \frac{I_2}{I_1}\right) \text{ dB} \tag{A.4}$$

Así, la ganancia de corriente o tensión en decibelios es igual a la ganancia de potencia sólo si las resistencias en las que se disipa la potencia son iguales. Sin embargo, por convenio, (A.3) y (A.4) se emplean para representar la ganancia de corriente o tensión en decibelios independientemente del nivel de resistencia.

EJEMPLO A.1

Las medidas en cierto amplificador dan $R_{in} = 1\ \text{k}\Omega$; $R_L = 100\ \Omega$. Cuando la tensión de entrada tiene 1 mV de cresta, la tensión en la carga es de 10 V de cresta. Hallar las ganancias de tensión, corriente y potencia en decibelios y la potencia de salida en decibelios sobre 1 mW.

Solución

De (A.3)

$$A_v = 20\left(\log \frac{V_2}{V_1}\right) = 20\left(\log \frac{10}{10^{-3}}\right) = 80 \text{ dB}$$

Para encontrar A_i, obsérvese que $I_{in} = 1\ \mu\text{A}$ y que $I_2 = 0{,}1$ A por lo que

$$A_i = 20\left(\log \frac{I_2}{I_1}\right) = 20\left(\log \frac{10^{-1}}{10^{-6}}\right) = 100 \text{ dB}$$

Las potencias son

$$P_1 = \frac{10^{-6}}{(2)(10^3)} = \frac{1}{2} \times 10^{-9} \qquad P_2 = \frac{10^2}{(2)(100)} = \frac{1}{2} \text{ W}$$

y, por ello $$A_p = 10\left(\log \frac{\frac{1}{2}}{\frac{1}{2} \times 10^{-9}}\right) = 90 \text{ dB}$$

Con relación a 1 mW, el nivel de potencia de salida es

$$P_2 = 10\left(\log \frac{\frac{1}{2}}{10^{-3}}\right) = 10(3 \log 10 - \log 2) = 27 \text{ dBm}$$

APENDICE

Valores estándar de resistencias y condensadores

B

La siguiente lista de componentes estándar se incluye aquí para su uso en los problemas de diseño. Estas listas son típicas y, especialmente en el caso de los condensadores, están sujetas a variación de uno a otro fabricante.

B.1. RESISTENCIAS

Las resistencias de carbón del 10 por 100 de tolerancia están disponibles para potencias de $\frac{1}{4}$, $\frac{1}{2}$, 1 y 2 W dentro del siguiente rango:

2,7	5,6	12
3,3	6,8	15
3,9	8,2	18
4,7	10	22

todos $\times 10^n$ donde $n = 0, 1, 2, 3, 4, 5, 6$

B.2. CONDENSADORES

Los valores típicos de condensadores disponibles se muestran en la Tabla B.2-1.

Tabla B.2-1

Condensadores cerámicos de disco, pF, 10 por 100 de tolerancia

3,3	30	200	560	2200
5	39	220	600	2500
6	47	240	680	2700
6,8	50	250	750	3000
7,5	51	270	800	3300
8	56	300	820	3900
10	68	330	910	4000
12	75	350	1000	4300
15	82	360	1200	4700
18	91	390	1300	5000
20	100	400	1500	5600
22	120	470	1600	6800
24	130	500	1800	7500
25	150	510	2000	8200
27	180			

Condensadores de tántalo, μF, 10 por 100 de tolerancia

0,0047	0,010	0,022	todos $\times 10^n$ donde $n = 0, 1, 2, 3, 4, 5$ (hasta 330 μF)
0,0056	0,012	0,027	
0,0068	0,015	0,033	
0,0082	0,018	0,039	

Condensadores electrolíticos para desacoplo, μF

250	2000
500	3000
1000	4000
1500	5000

APENDICE

C

Características de dispositivos

C.1. ESPECIFICACIONES DE DIODOS ZENER

La Figura C.1-1 muestra la variación de la tensión de test de un Zener V_{ZT} con resistencia Zener r_{ZT} para varios niveles típicos de potencia P_Z (véase Sec. 1.10). Obsérvese que la corriente de test I_{ZT} se mide al 25 por 100 de la especificación de potencia máxima.

$$I_{ZT} = \frac{1}{4}\frac{P_Z}{V_{ZT}}$$

Además, puede observarse que la corriente en el codo de la característica I_{Zk} es más o menos constante para una P_Z especificada e independiente de V_{ZT}.

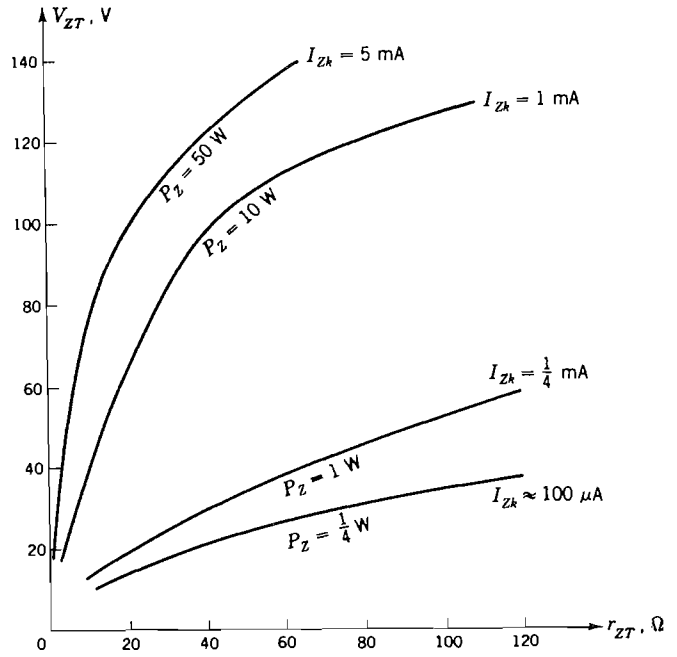


Figura C.1-1. Especificaciones de un Zener ($I_{ZT} = \frac{1}{4}P_Z/V_{ZT}$).

C.2. CARACTERISTICAS DEL TRANSISTOR

MAXIMUM RATINGS

Characteristic	Symbol	Rating	Unit
Collector-Base Voltage	V_{CB}	60	Vdc
Collector-Emitter Voltage	V_{CEO}	40	Vdc
Emitter-Base Voltage	V_{EB}	6	Vdc
Collector Current	I_C	200	mAdc
Total Device Dissipation @ T_A = 60°C	P_D	210	mW
Total Device Dissipation @ T_A = 25°C Derate above 25°C	P_D	310 2.81	mW mW/°C
Thermal Resistance, Junction to Ambient	θ_{JA}	0.357	°C/mW
Junction Operating Temperature	T_J	135	°C
Storage Temperature Range	T_{stg}	-55 to +135	°C

Figura C.2-1. Características de los transistores *npn* de silicio 2N3903 y 2N3904, de aplicación general en conmutación y amplificación y complementarios con los tipos 2N3905 y 2N3906. (*Motorola Inc.*)

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic		Fig. No.	Symbol	Min	Max	Unit
OFF CHARACTERISTICS						
Collector-Base Breakdown Voltage (I_C = 10 μAdc, I_E = 0)			BV_{CBO}	60	-	Vdc
Collector-Emitter Breakdown Voltage* (I_C = 1.0 mAdc, I_B = 0)			BV_{CEO}*	40	-	Vdc
Emitter-Base Breakdown Voltage (I_E = 10 μAdc, I_C = 0)			BV_{EBO}	6.0	-	Vdc
Collector Cutoff Current (V_{CE} = 30 Vdc, $V_{EB(off)}$ = 3.0 Vdc)			I_{CEX}	-	50	nAdc
Base Cutoff Current (V_{CE} = 30 Vdc, $V_{EB(off)}$ = 3.0 Vdc)			I_{BL}	-	50	nAdc
ON CHARACTERISTICS						
DC Current Gain*		15	h_{FE}*			-
(I_C = 0.1 mAdc, V_{CE} = 1.0 Vdc)	2N3903			20	-	
	2N3904			40	-	
(I_C = 1.0 mAdc, V_{CE} = 1.0 Vdc)	2N3903			35	-	
	2N3904			70	-	
(I_C = 10 mAdc, V_{CE} = 1.0 Vdc)	2N3903			50	150	
	2N3904			100	300	
(I_C = 50 mAdc, V_{CE} = 1.0 Vdc)	2N3903			30	-	
	2N3904			60	-	
(I_C = 100 mAdc, V_{CE} = 1.0 Vdc)	2N3903			15	-	
	2N3904			30	-	
Collector-Emitter Saturation Voltage*		16, 17	$V_{CE(sat)}$*			Vdc
(I_C = 10 mAdc, I_B = 1.0 mAdc)				-	0.2	
(I_C = 50 mAdc, I_B = 5.0 mAdc)				-	0.3	
Base-Emitter Saturation Voltage*		17	$V_{BE(sat)}$*			Vdc
(I_C = 10 mAdc, I_B = 1.0 mAdc)				0.65	0.85	
(I_C = 50 mAdc, I_B = 5.0 mAdc)				-	0.95	

Figura C.2-1. (*Continuación.*)

SMALL-SIGNAL CHARACTERISTICS

Current-Gain—Bandwidth Product (I_C = 10 mAdc, V_{CE} = 20 Vdc, f = 100 MHz)	2N3903 2N3904		f_T	250 300	- -	MHz
Output Capacitance (V_{CB} = 5.0 Vdc, I_E = 0, f = 100 kHz)		3	C_{ob}	-	4.0	pF
Input Capacitance (V_{BE} = 0.5 Vdc, I_C = 0, f = 100 kHz)		3	C_{ib}	-	8.0	pF
Input Impedance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3903 2N3904	13	h_{ie}	0.5 1.0	8.0 10	k ohms
Voltage Feedback Ratio (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3903 2N3904	14	h_{re}	0.1 0.5	5.0 8.0	X 10-4
Small-Signal Current Gain (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)	2N3903 2N3904	11	h_{fe}	50 100	200 400	-
Output Admittance (I_C = 1.0 mAdc, V_{CE} = 10 Vdc, f = 1.0 kHz)		12	h_{oe}	1.0	40	μmhos
Noise Figure (I_C = 100 μAdc, V_{CE} = 5.0 Vdc, R_S = 1.0 k ohms, f = 10 Hz to 15.7 kHz)	2N3903 2N3904	9, 10	NF	- -	6.0 5.0	dB

SWITCHING CHARACTERISTICS

Delay Time	(V_{CC} = 3.0 Vdc, $V_{BE(off)}$ = 0.5 Vdc, I_C = 10 mAdc, I_{B1} = 1.0 mAdc)		1, 5	t_d	-	35	ns
Rise Time			1, 5, 6	t_r	-	35	ns
Storage Time	(V_{CC} = 3.0 Vdc, I_C = 10 mAdc, I_{B1} = I_{B2} = 1.0 mAdc)	2N3903 2N3904	2, 7	t_s	- -	175 200	ns
Fall Time			2, 8	t_f	-	50	ns

* Pulse Test: Pulse Width = 300 μs, Duty Cycle = 2.0%.

Figura C.2-1. (*Continuación.*)

FIGURE 1 — DELAY AND RISE TIME EQUIVALENT TEST CIRCUIT

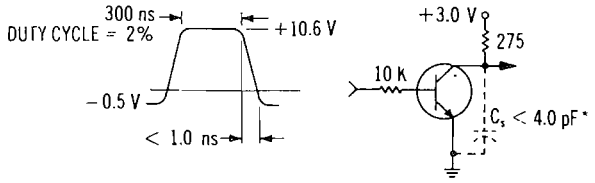
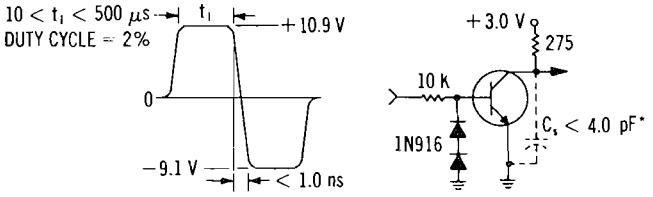


FIGURE 2 — STORAGE AND FALL TIME EQUIVALENT TEST CIRCUIT



*Total shunt capacitance of test jig and connectors

Figura C.2-1. (*Continuación.*)

TRANSIENT CHARACTERISTICS
—— T_J = 25°C – – T_J = 125°C

FIGURE 3 – CAPACITANCE

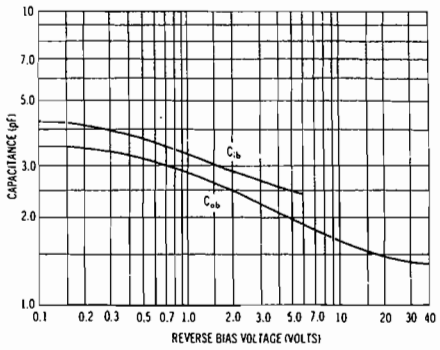


FIGURE 4 – CHARGE DATA

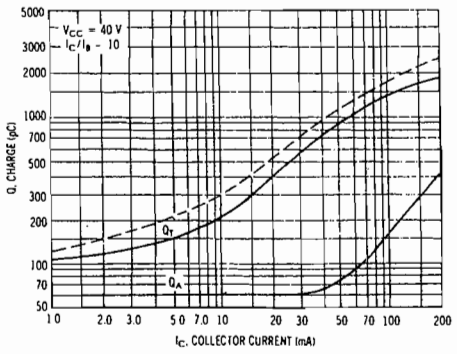


FIGURE 5 – TURN-ON TIME

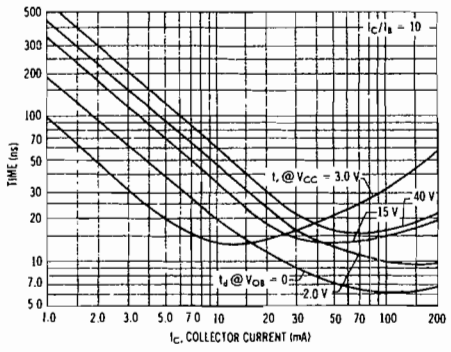


FIGURE 6 – RISE TIME

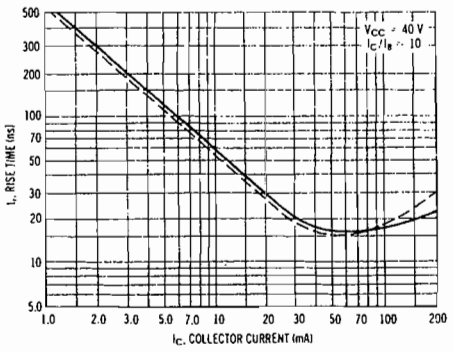


FIGURE 7 – STORAGE TIME

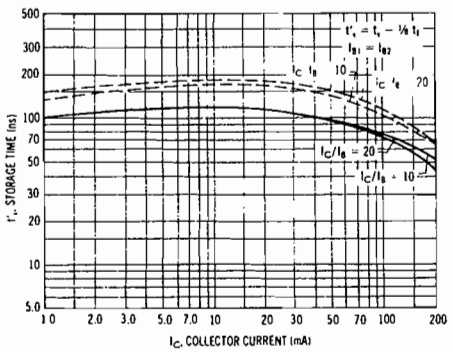


FIGURE 8 – FALL TIME

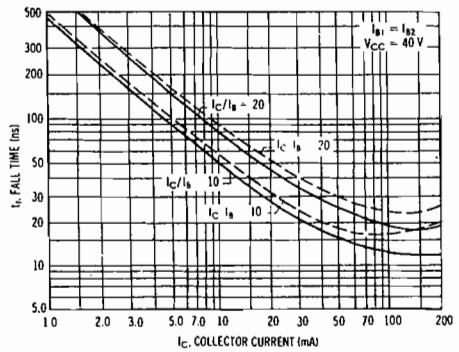


Figura C.2-1. (*Continuación.*)

AUDIO SMALL SIGNAL CHARACTERISTICS

NOISE FIGURE VARIATIONS
V_{CE} = 5.0 Vdc, T_A = 25°C

FIGURE 9

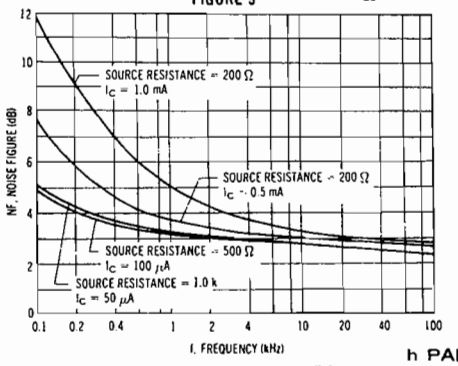
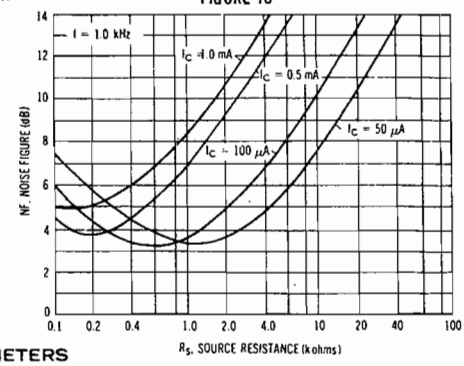

SOURCE RESISTANCE = 200 Ω
I_C = 1.0 mA
SOURCE RESISTANCE = 200 Ω
I_C = 0.5 mA
SOURCE RESISTANCE = 500 Ω
I_C = 100 μA
SOURCE RESISTANCE = 1.0 k
I_C = 50 μA
NF, NOISE FIGURE (dB)
f, FREQUENCY (kHz)

FIGURE 10



h PARAMETERS
(V_{CE} = 10 Vdc, f = 1.0 kHz, T_A = 25°C)

FIGURE 11 – CURRENT GAIN

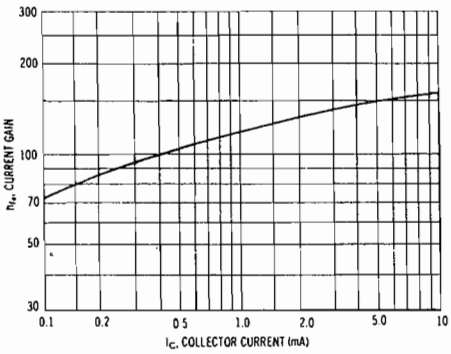


FIGURE 12 – OUTPUT ADMITTANCE

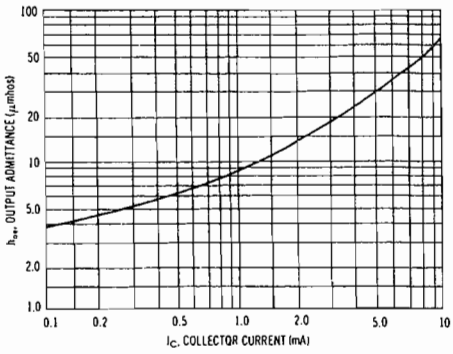


FIGURE 13 – INPUT IMPEDANCE

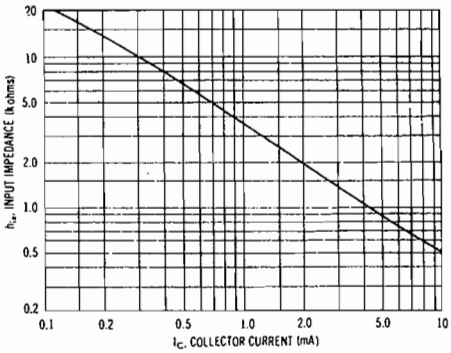


FIGURE 14 – VOLTAGE FEEDBACK RATIO

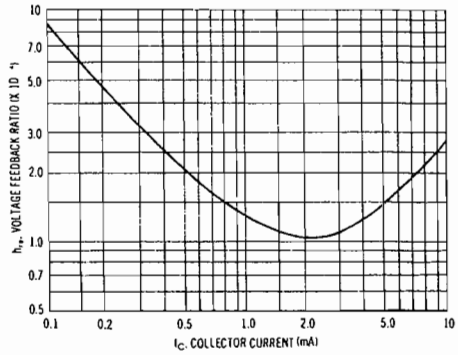


Figura C.2-1. (*Continuación.*)

STATIC CHARACTERISTICS

FIGURE 15 – NORMALIZED CURRENT GAIN

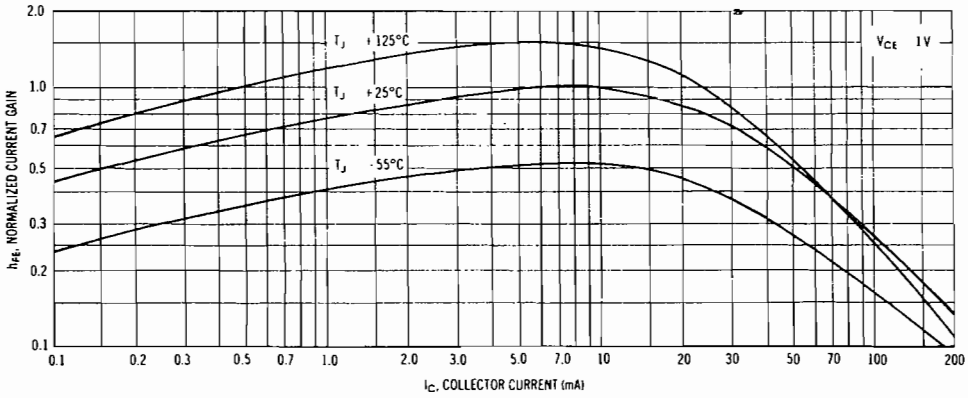


FIGURE 16 – COLLECTOR SATURATION REGION

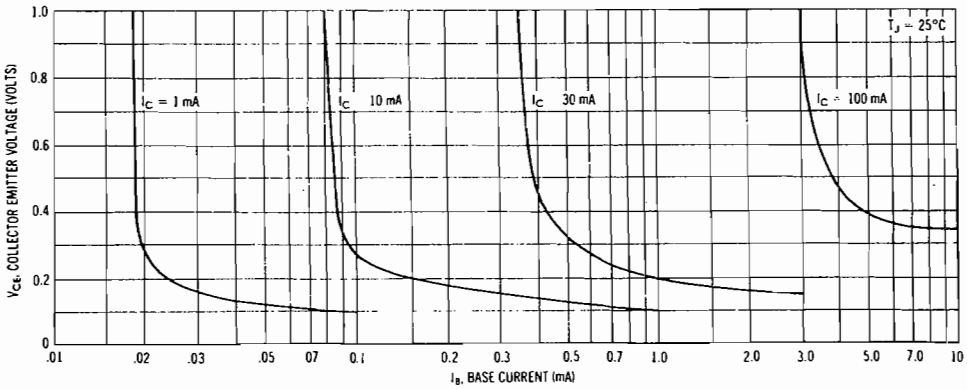


FIGURE 17 – "ON" VOLTAGES

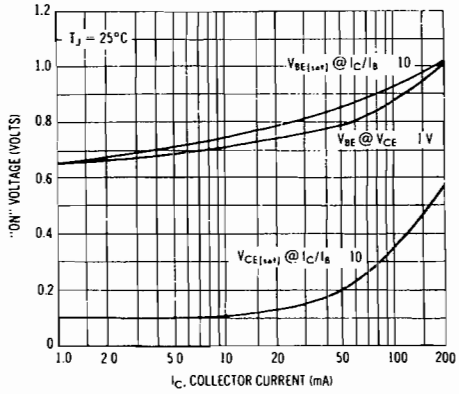


FIGURE 18 – TEMPERATURE COEFFICIENTS

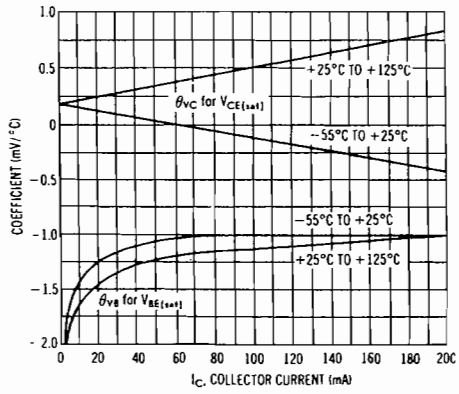


Figura C.2-1. (*Continuación.*)

MAXIMUM RATINGS

Characteristic	Symbol	Rating	Unit
Collector-Base Voltage	V_{CB}	30	Volts
Collector-Emitter Voltage	V_{CEO}	20	Volts
Emitter-Base Voltage	V_{EB}	3	Volts
Collector Current	I_C	100	mA
Total Device Dissipation @ T_A = 60°C @ T_A = 25°C	P_D	210 310	mW
Thermal Resistance, Junction to Ambient	θ_{JA}	0.357	°C/mW
Junction Temperature	T_J	135	°C

Figura C.2-2. Caracteristicas del transistor *npn* de silicio MPS6507. Diseñado para aplicaciones de mezcla en VHF para TV. (*Motorola Inc.*)

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Collector-Emitter Breakdown Voltage (I_C = 1 mAdc, I_B = 0)	BV_{CEO}	20	—	—	Vdc
Collector-Emitter Breakdown Voltage* (I_C = 10 mAdc, V_{EB} = 0)	BV_{CES}*	30	—	—	Vdc
Collector Cutoff Current (V_{CB} = 15 Vdc, I_E = 0)	I_{CBO}	—	—	0.05	μAdc
(V_{CB} = 15 Vdc, I_E = 0, T_A = 60 °C)		—	—	1.0	
DC Current Gain (I_C = 2 mAdc, V_{CE} = 10 Vdc)	h_{FE}	25	—	—	—
High Frequency Current Gain (I_C = 2 mAdc, V_{CE} = 10 Vdc, f = 44 mc)	$\lvert h_{fe} \rvert$	20	—	—	db
Output Capacitance (V_{CB} = 10 Vdc, I_E = 0, f = 100 kc)	C_{ob}	—	—	2.5	pf
Current-Gain — Bandwidth Product (I_C = 10 mAdc, V_{CE} = 10 Vdc)	f_T	700	—	—	mc

* Pulse Test: Pulse Width ≤ 300 μsec, Duty Cycle ≤ 2%

Figura C.2-2. (*Continuación.*)

FIGURE 1 — COLLECTOR CURRENT versus COLLECTOR-EMITTER VOLTAGE

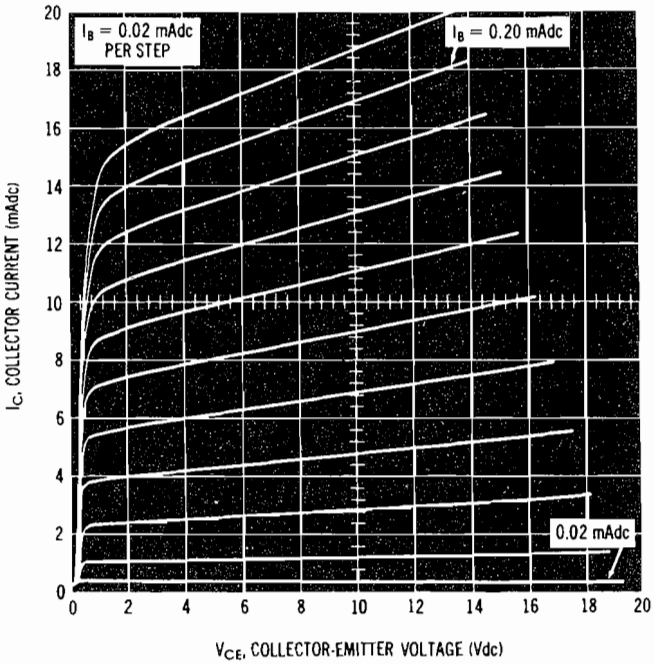
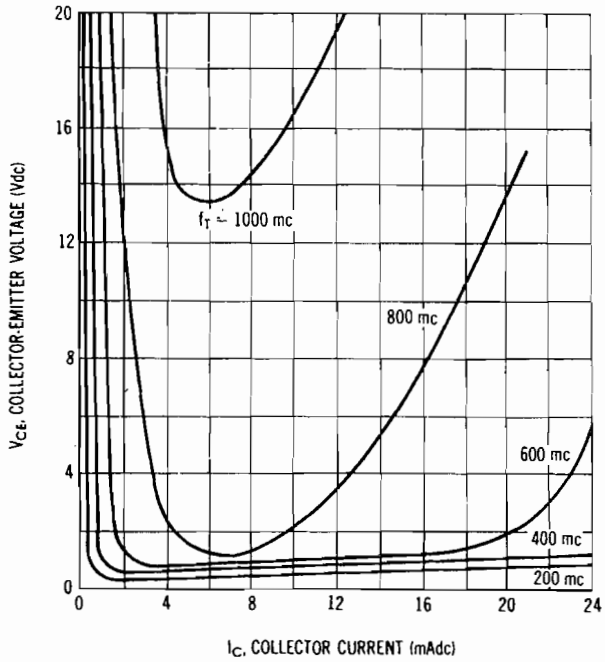


Figura C.2-2. (*Continuación.*)

FIGURE 2 — CONTOURS OF CONSTANT GAIN — BANDWIDTH PRODUCT



y PARAMETER VARIATIONS

(V_{CE} = 10 Vdc, I_C = 3 mAdc, T_A = 25°C)

FIGURE 3 — y_{ie}, INPUT ADMITTANCE versus FREQUENCY

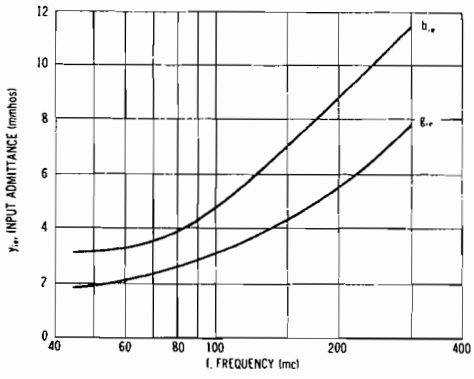


FIGURE 4 — y_{re}, REVERSE TRANSFER ADMITTANCE versus FREQUENCY

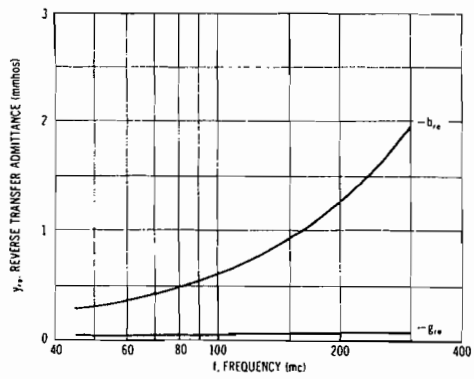


Figura C.2-2. (*Continuación.*)

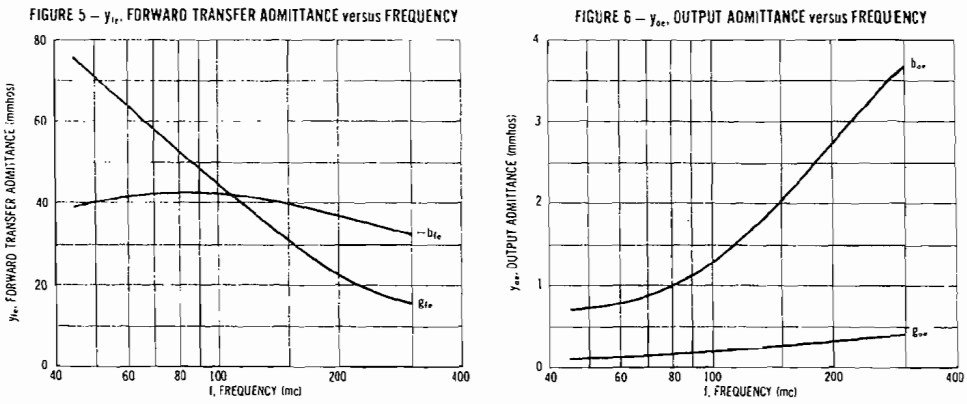


Figura C.2-2. (*Continuación.*)

C.3. CARACTERISTICAS DEL FET

MAXIMUM RATINGS (T_A = 25°C)

Characteristic	Symbol	Rating	Unit
Drain-Source Voltage	V_{DS}	30	Vdc
Drain-Gate Voltage	V_{DG}	30	Vdc
Gate-Source Voltage	V_{GS}	-30	Vdc
Drain Current	I_D	20	mAdc
Power Dissipation Derate above 25°C	P_D	300 2	mW mW/°C
Operating Junction Temperature	T_J	175	°C
Storage Temperature Range	T_{stg}	-65 to +200	°C

Figura C.3-1. Características de los FET de silicio de canal *n* 2N4223 y 2N4224 diseñados para aplicaciones de amplificación y mezcla en VHF. (*Motorola Inc.*)

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic		Symbol	Min	Max	Unit
OFF CHARACTERISTICS					
Gate-Source Breakdown Voltage (I_G = -10 μAdc, V_{DS} = 0)		$V_{(BR)GSS}$	-30	-	Vdc
Gate Reverse Current		I_{GSS}			nAdc
(V_{GS} = -20 Vdc, V_{DS} = 0)	2N4223		-	-0.25	
	2N4224		-	-0.50	
(V_{GS} = -20 Vdc, V_{DS} = 0, T_A = 100°C)	2N4223		-	-250	
	2N4224		-	-500	
Gate-Source Cutoff Voltage		$V_{GS(off)}$			Vdc
(I_D = 0.25 nAdc, V_{DS} = 15 Vdc)	2N4223		-	-8	
(I_D = 0.50 nAdc, V_{DS} = 15 Vdc)	2N4224		-	-8	
Gate-Source Voltage		V_{GS}			Vdc
(I_D = 0.3 mAdc, V_{DS} = 15 Vdc)	2N4223		-1.0	-7.0	
(I_D = 0.2 mAdc, V_{DS} = 15 Vdc)	2N4224		-1.0	-7.5	
ON CHARACTERISTICS					
Zero-Gate-Voltage Drain Current*		I_{DSS}*			mAdc
(V_{DS} = 15 Vdc, V_{GS} = 0)	2N4223		3	18	
	2N4224		2	20	

Figura C.3-1. (*Continuación.*)

DYNAMIC CHARACTERISTICS

Forward Transfer Admittance (V_{DS} = 15 Vdc, V_{GS} = 0, f = 1 kHz)* (V_{DS} = 15 Vdc, V_{GS} = 0, f = 200 MHz)	2N4223 2N4224 2N4223 2N4224	$\|y_{fs}\|$	3000 2000 2700 1700	7000 7500 - -	μmhos
Input Conductance (V_{DS} = 15 Vdc, V_{GS} = 0, f = 200 MHz)		$Re(y_{is})$	-	800	μmhos
Output Conductance (V_{DS} = 15 Vdc, V_{GS} = 0, f = 200 MHz)		$Re(y_{os})$	-	200	μmhos
Input Capacitance (V_{DS} = 15 Vdc, V_{GS} = 0, f = 1 MHz)		C_{iss}	-	6	pF
Reverse Transfer Capacitance (V_{DS} = 15 Vdc, V_{GS} = 0, f = 1 MHz)		C_{rss}	-	2	pF
Noise Figure (V_{DS} = 15 Vdc, V_{GS} = 0, R_S = 1 kohm, f = 200 MHz)	2N4223	NF	-	5	dB
Small-Signal Power Gain (V_{DS} = 15 Vdc, V_{GS} = 0, f = 200 MHz)	2N4223	G_{ps}	10	-	dB

*Pulse Test: Pulse Width ≦ 630 ms, Duty Cycle ≦ 10%

Figura C.3-1. (*Continuación.*)

FIGURE 2 – INPUT IMPEDANCE

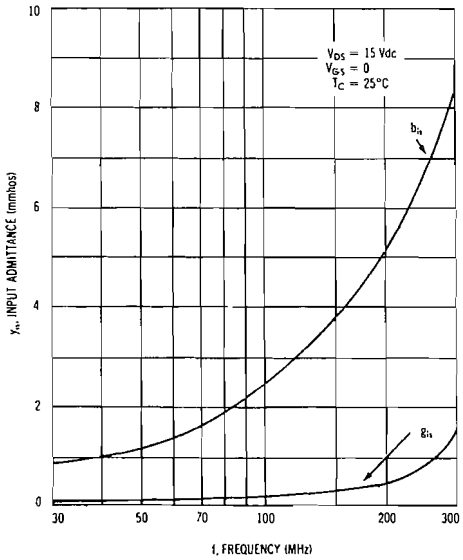


FIGURE 3 – REVERSE TRANSFER ADMITTANCE

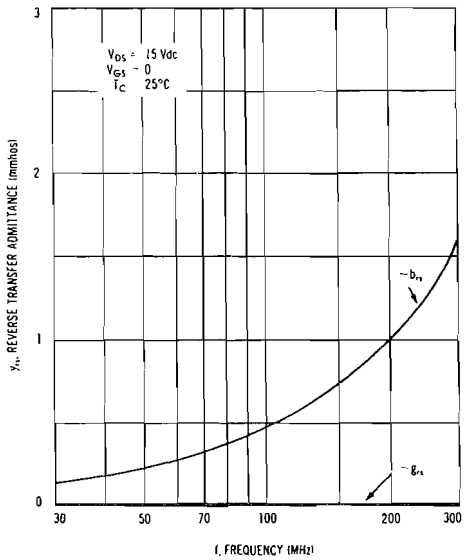


FIGURE 4 – FORWARD TRANSFER ADMITTANCE

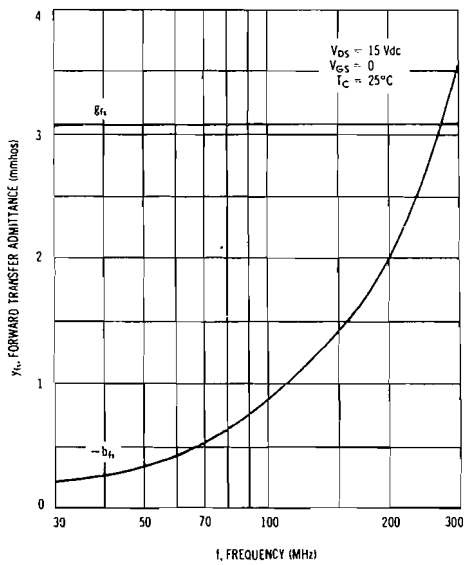


FIGURE 5 – OUTPUT ADMITTANCE

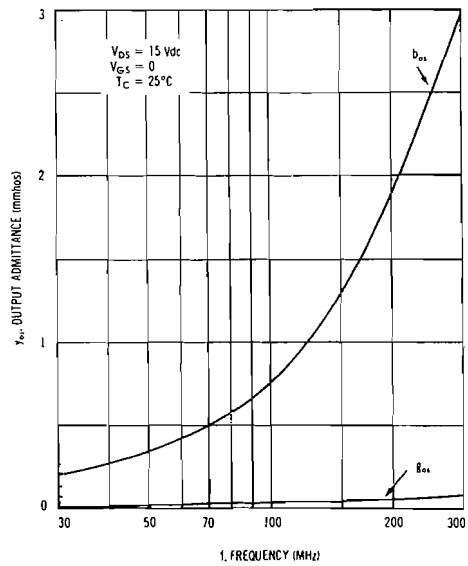


Figura C.3-1. (*Continuación.*)

FIGURE 6 — TYPICAL DRAIN CHARACTERISTICS

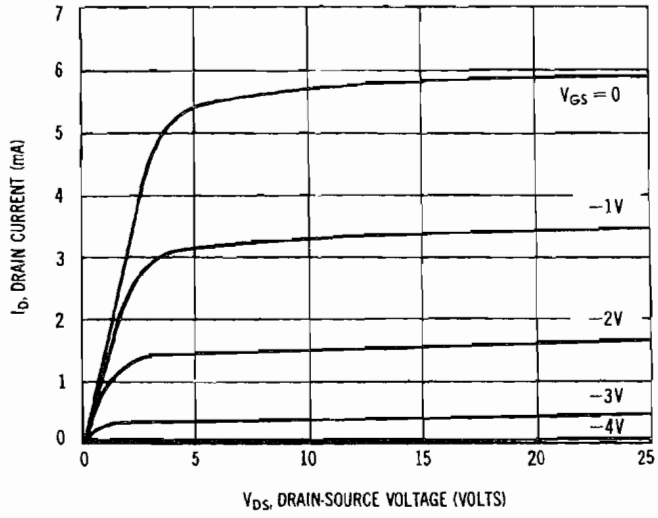


FIGURE 7 — COMMON SOURCE TRANSFER CHARACTERISTICS

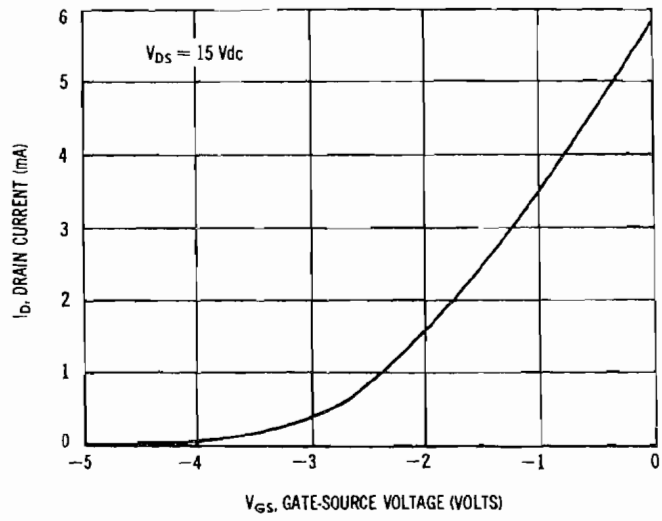


Figura C.3-1. (*Continuación.*)

MAXIMUM RATINGS (T_A = 25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Drain-Source Voltage 2N3796 2N3797	V_{DS}	 25 20	Vdc
Gate-Source Voltage	V_{GS}	±10	Vdc
Drain Current	I_D	20	mAdc
Power Dissipation at T_A = 25°C Derate above 25°C	P_D	200 1.14	mW mW/°C
Operating Junction Temperature	T_J	+200	°C
Storage Temperature	T_{stg}	-65 to +200	°C

Figura C.3-2. Características de los MOSFET de silicio de canal *n* 2N3796 y 2N3797 diseñados para el rango de audio-frecuencia en aplicaciones de baja potencia. (*Motorola Inc.*)

ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic		Symbol	Min	Typ	Max	Unit
Drain-Source Breakdown Voltage		BV_{DSX}				Vdc
(V_{GS} = -4.0 V, I_D = 5.0 μA)	2N3796		25	30	—	
(V_{GS} = -7.0 V, I_D = 5.0 μA)	2N3797		20	25	—	
Zero-Gate-Voltage Drain Current		I_{DSS}				mAdc
(V_{DS} = 10 V, V_{GS} = 0)	2N3796		0.5	1.5	3.0	
	2N3797		2.0	2.9	6.0	
Gate-Source Voltage Cutoff		$V_{GS(off)}$				Vdc
(I_D = 0.5 μA, V_{DS} = 10 V)	2N3796		—	-3.0	-4.0	
(I_D = 2.0 μA, V_{DS} = 10 V)	2N3797		—	-5.0	-7.0	
"On" Drain Current		$I_{D(on)}$				mAdc
(V_{DS} = 10 V, V_{GS} = +3.5 V)	2N3796		7.0	8.3	14	
	2N3797		9.0	14	18	
Drain-Gate Reverse Current *		I_{DGO} *				pAdc
(V_{DG} = 10 V, I_S = 0)			—	—	1.0	
Gate-Reverse Current *		I_{GSS} *				pAdc
(V_{GS} = -10 V, V_{DS} = 0)			—	—	1.0	
(V_{GS} = -10 V, V_{DS} = 0, T_A = 150°C)			—	—	200	

Small-Signal, Common-Source Forward Transfer Admittance (V_{DS} = 10 V, V_{GS} = 0, f = 1.0 kHz)	2N3796	$\lvert y_{fs} \rvert$	900	1200	1800	μmhos
	2N3797		1500	2300	3000	
(V_{DS} = 10 V, V_{GS} = 0, f = 1.0 MHz)	2N3796		900	—	—	
	2N3797		1500	—	—	
Small-Signal, Common-Source, Output Admittance (V_{DS} = 10 V, V_{GS} = 0, f = 1.0 kHz)	2N3796	$\lvert y_{os} \rvert$	—	12	25	μmhos
	2N3797		—	27	60	
Small-Signal, Common-Source, Input Capacitance (V_{DS} = 10 V, V_{GS} = 0, f = 1.0 MHz)	2N3796	C_{iss}	—	5.0	7.0	pF
	2N3797		—	6.0	8.0	
Small-Signal, Common-Source, Reverse Transfer Capacitance (V_{DS} = 10 V, V_{GS} = 0, f = 1.0 MHz)		C_{rss}	—	0.5	0.8	pF
Noise Figure (V_{DS} = 10 V, V_{GS} = 0, f = 1.0 kHz, R_S = 3 megohms)		NF	—	3.8	—	dB

* This value of current includes both the FET leakage current as well as the leakage current associated with the test socket and fixture when measured under best attainable conditions.

Figura C.3-2. (*Continuación.*)

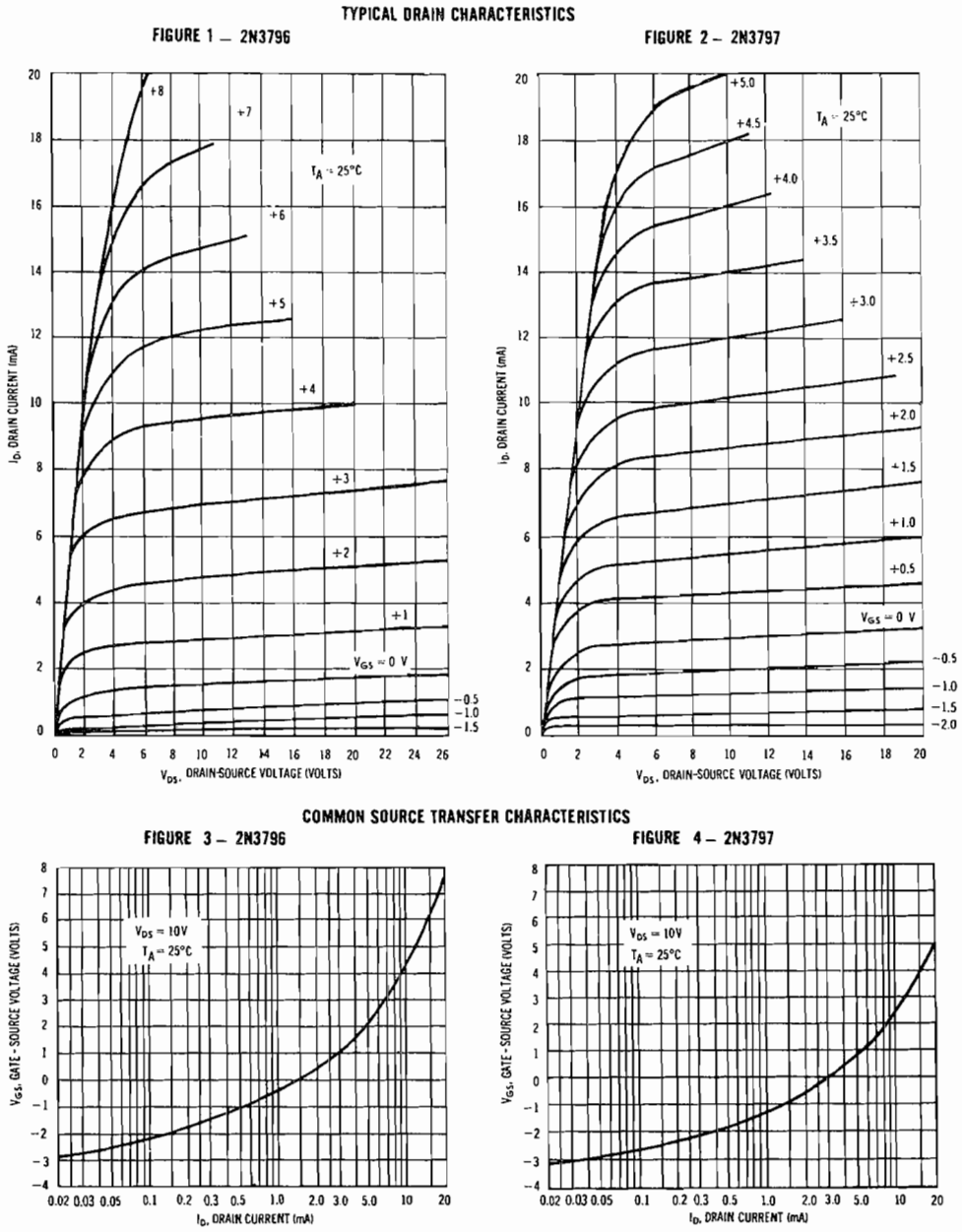


Figura C.3-2. (*Continuación.*)

FIGURE 5 — FORWARD TRANSFER ADMITTANCE

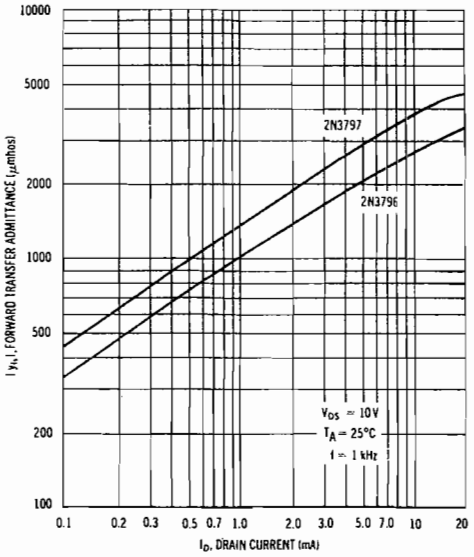


FIGURE 6 — AMPLIFICATION FACTOR

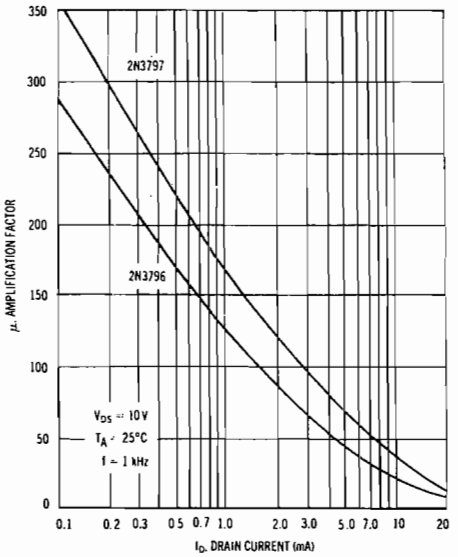


FIGURE 7 — OUTPUT ADMITTANCE

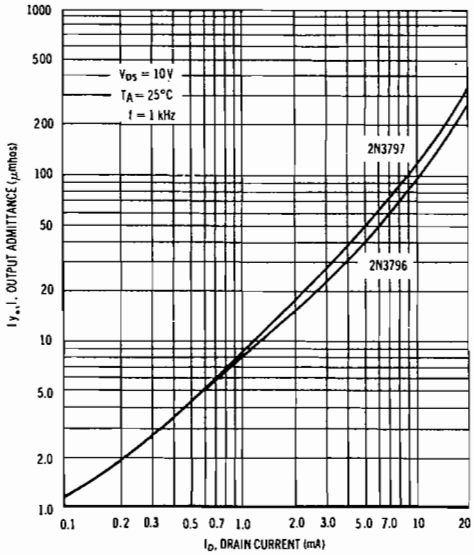


FIGURE 8 — NOISE FIGURE

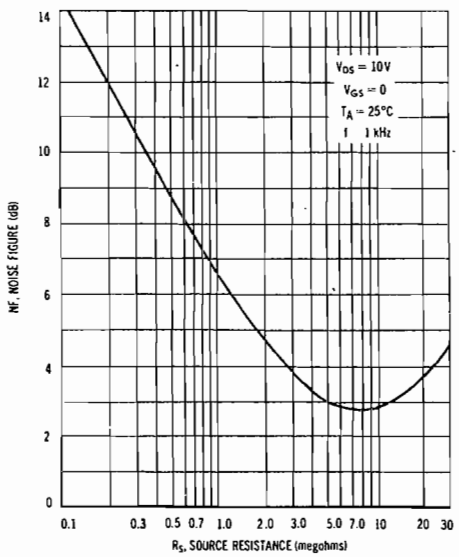


Figura C.3-2. (*Continuación.*)

FLIP-FLOPS

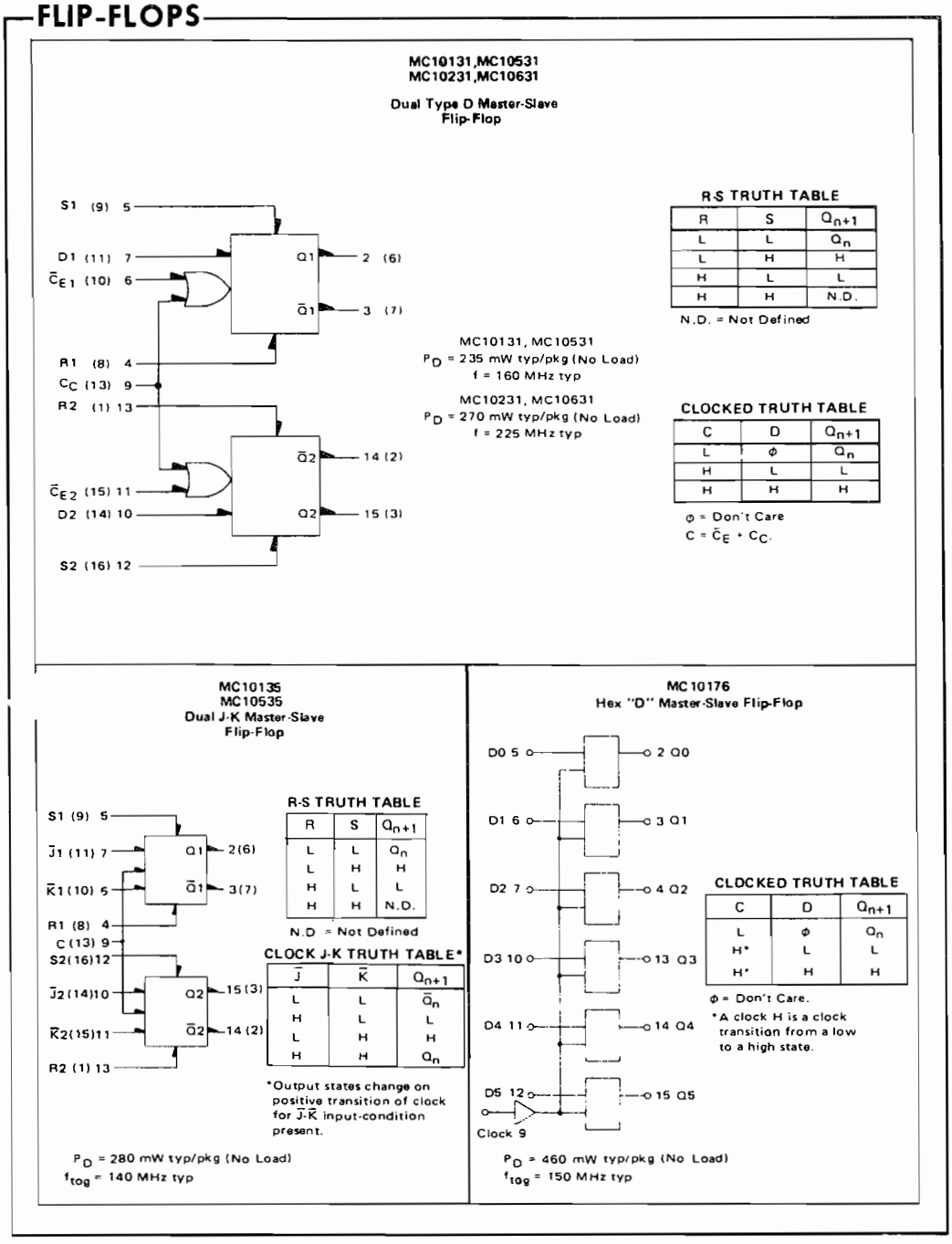
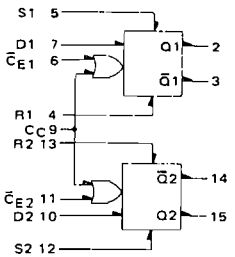


Figura C.4-1. Características del doble biestable *D* master-slave MC10131. (*Motorola, Inc.*)

ELECTRICAL CHARACTERISTICS

Each MECL 10,000 series circuit has been designed to meet the dc specifications shown in the test table, after thermal equilibrium has been established. The circuit is in a test socket or mounted on a printed circuit board and transverse air flow greater than 500 linear fpm is maintained. Outputs are terminated through a 50-ohm resistor to -2.0 volts. Test procedures are shown for only one input, or for one set of input conditions. Other inputs tested in the same manner.



L SUFFIX
CERAMIC PACKAGE
CASE 620

@ Test Temperature	TEST VOLTAGE VALUES (Volts) V_{IH} max	V_{IL} min	V_{IHA} min	V_{ILA} max	V_{EE}
-30°C	-0.890	-1.890	-1.205	-1.500	-5.2
+25°C	-0.810	-1.850	-1.105	-1.475	-5.2
+85°C	-0.700	-1.825	-1.035	-1.440	-5.2

Characteristic	Symbol	Pin Under Test	MC10131L Test Limits -30°C Min	-30°C Max	+25°C Min	+25°C Typ	+25°C Max	+85°C Min	+85°C Max	Unit	VOLTAGE APPLIED TO PINS LISTED BELOW: V_{IH} max	V_{IL} min	V_{IHA} min	V_{ILA} max	V_{EE}	(V_{CC}) Gnd
Power Supply Drain Current	I_E	8				45	56			mAdc					8	1, 16
Input Current	I_{inH}	4					330		—	µAdc	4				8	1, 16
		5	-				330				5					
		6					220	-			6					
		7					245				7					
		9	-			..	265				9					
Input Leakage Current	I_{inL}	4,5,*			0.5					µAdc		*			8	1, 16
		6,7,9*			0.5				-	µAdc		*			8	1, 16
Logic "1" Output Voltage	V_{OH}	2	-1.060	-0.890	-0.960		-0.810	-0.890	-0.700	Vdc	5	..			8	1, 16
		2†	-1.060	-0.890	-0.960		-0.810	-0.890	-0.700	Vdc	7	-			8	1, 16
Logic "0" Output Voltage	V_{OL}	3	-1.890	-1.675	-1.850		-1.650	-1.825	-1.615	Vdc	5				8	1, 16
		3†	-1.890	-1.675	-1.850		-1.650	-1.825	-1.615	Vdc	7				8	1, 16
Logic "1" Threshold Voltage	V_{OHA}	2	-1.080		-0.980			-0.910	-	Vdc			5		8	1, 16
		2†	-1.080		-0.980	-		-0.910	-	Vdc			7	9	8	1, 16
Logic "0" Threshold Voltage	V_{OLA}	3		-1.655			-1.630		-1.595	Vdc			5	-	8	1, 16
		3†		-1.655			-1.630		-1.595	Vdc			7	9	8	1, 16
Switching Times											+1.11 Vdc		Pulse In	Pulse Out	-3.2 Vdc	+2.0 Vdc
Clock Input Propagation Delay	t_{9+2-}	2	1.4	4.6	1.5	3.0	4.5	1.5	5.0	ns		-	9	2	8	1, 16
	t_{9+2+}	2									7	-	9	2		
	t_{6+2+}	2									7	-	6	2		
	t_{6+2-}	2										-	6	2		
Rise Time (20 to 80%)	t_{2+}	2	1.0		1.1	2.5		1.1	4.9		7	-	9	2		
Fall Time (20 to 80%)	t_{2-}	2	1.0		1.1	2.5		1.1	4.9			-	9	2		
Set Input Propagation Delay	t_{5+2+}	2	1.1	4.4	1.2	2.8	4.3	1.2	4.8	ns		-	5	2	8	1, 16
	t_{12+15+}	15									6		12	15		
	t_{5+3-}	3										-	5	3		
	t_{12+14-}	14									9		12	14		
Reset Input Propagation Delay	t_{4+2-}	2	1.1	4.4	1.2	2.8	4.3	1.2	4.8	ns	-	-	4	2	8	1, 16
	t_{13+15-}	15									6	-	13	15		
	t_{4+3-}	3										-	4	3		
	t_{13+14+}	14									9	-	13	14		
Setup Time	t_{setup}	7	-	-	2.5	-		-	-	ns	-	-	6.7	2	8	1, 16
Hold Time	t_{hold}	7	-	-	1.5	-	-	-	-	ns	-	-	6.7	2	8	1, 16
Toggle Frequency (Max)	f_{Tog}	2	125	..	125	160	-	125	-	MHz	..	-	6	2	8	1, 16

*Individually test each input; apply $V_{IL\ min}$ to pin under test

†Output level to be measured after a clock pulse has been applied to the $\bar{C}_E$ input (pin 6) $V_{IH\ max}$ / $V_{IL\ min}$

Figura C.4-1. (*Continuación.*)

C.4-1. (*Continuación.*)

MC14042AL
MC14042CL
MC14042CP

LATCH

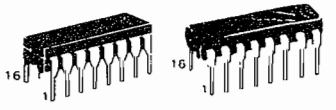
QUAD LATCH

The MC14042 quad latch is constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. Each latch has a separate data input, but all four latches share a common clock. The clock polarity (high or low) used to strobe data through the latches can be reversed using the polarity input. Information present at the data input is transferred to outputs Q and $\overline{Q}$ during the clock level which is determined by the polarity input. When the polarity input is in the logic "0" state, data is transferred during the low clock level, and when the polarity input is in the logic "1" state the transfer occurs during the high clock level. Additional characteristics can be found on the Family Data Sheet.

- Buffered Data Inputs
- Common Clock
- Positive or Negative Edge Clocked
- Q and $\overline{Q}$ Outputs
- Double Diode Input Protection
- No Limit on Clock Rise or Fall Times

McMOS
(LOW-POWER COMPLEMENTARY MOS)

QUAD LATCH



L SUFFIX
CERAMIC PACKAGE
CASE 620

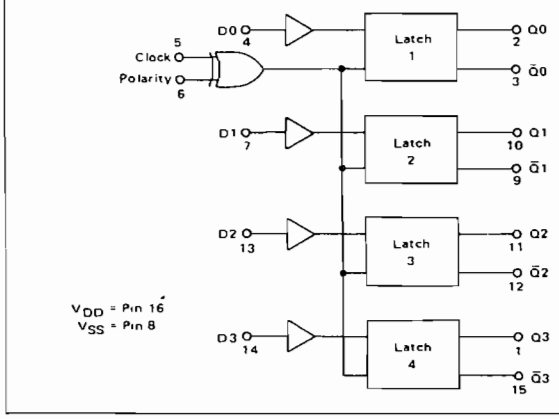
P SUFFIX
PLASTIC PACKAGE
CASE 648

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields, however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} \leq (V_{in}$ or $V_{out}) \leq V_{DD}$.
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD})

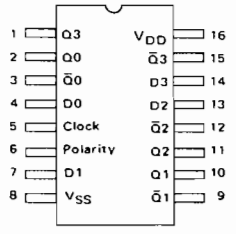
MAXIMUM RATINGS (Voltages referenced to V_{SS}, Pin 8.)

Rating		Symbol	Value	Unit
DC Supply Voltage	MC14042AL MC14042CL/CP	V_{DD}	+18 to -0.5 +16 to -0.5	Vdc
Input Voltage, All Inputs		V_{in}	V_{DD} to -0.5	Vdc
DC Current Drain per Pin		I	10	mAdc
Operating Temperature Range	MC14042AL MC14042CL/CP	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range		T_{stg}	-65 to +150	°C

LOGIC DIAGRAM



PIN ASSIGNMENT



TRUTH TABLE

CLOCK	POLARITY	Q
0	0	Data
⌐	0	Latch
1	1	Data
⌐	1	Latch

Figura C.4-2. Características del cuádruple latch MC14042. (*Motorola Inc.*)

MC14042

ELECTRICAL CHARACTERISTICS

Characteristic	Symbol	V_{DD} Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage "0" Level	V_{out}	5.0	–	0.01	–	0	0.01	–	0.05	Vdc
		10	–	0.01	–	0	0.01	–	0.05	
		15	–	0.05	–	0	0.05	–	0.25	
"1" Level		5.0	4.99	–	4.99	5.0	–	4.95	–	Vdc
		10	9.99	–	9.99	10	–	9.95	–	
		15	14.95	–	14.95	15	–	14.75	–	
Noise Immunity#	V_{NL}									Vdc
(V_{out} ≤ 0.8 Vdc)		5.0	1.5	–	1.5	2.25	–	1.4	–	
(V_{out} ≤ 1.0 Vdc)		10	3.0	–	3.0	4.50	–	2.9	–	
(V_{out} ≤ 1.5 Vdc)		15	4.5	–	4.5	6.75	–	4.4	–	
(V_{out} ≥ 0.8 Vdc)	V_{NH}	5.0	1.4	–	1.5	2.25	–	1.5	–	Vdc
(V_{out} ≥ 1.0 Vdc)		10	2.9	–	3.0	4.50	–	3.0	–	
(V_{out} ≥ 1.5 Vdc)		15	4.4	–	4.5	6.75	–	4.5	–	
Output Drive Current (AL Device)	I_{OH}									mAdc
(V_{OH} 2.5 Vdc) Source		5.0	-0.62	–	-0.50	-1.7	–	-0.35	–	
(V_{OH} 9.5 Vdc)		10	-0.62	–	-0.50	-0.9	–	-0.35	–	
(V_{OH} 13.5 Vdc)		15	-1.8		-1.5	-3.5	–	-1.1	–	
(V_{OL} 0.4 Vdc) Sink	I_{OL}	5.0	0.50	–	0.40	0.78	–	0.28	–	mAdc
(V_{OL} 0.5 Vdc)		10	1.1	–	0.90	2.0	–	0.65	–	
(V_{OL} 1.5 Vdc)		15	4.2	–	3.4	7.8	–	2.4	–	
Output Drive Current (CL/CP Device)	I_{OH}									mAdc
(V_{OH} 2.5 Vdc) Source		5.0	-0.23	–	-0.20	-1.7		-0.16	–	
(V_{OH} 9.5 Vdc)		10	-0.23	–	-0.20	-0.9	–	-0.16	–	
(V_{OH} 13.5 Vdc)		15	-0.69	–	-0.60	-3.5	–	-0.48	–	
(V_{OL} 0.4 Vdc) Sink	I_{OL}	5.0	0.23	–	0.20	0.78	–	0.16	–	mAdc
(V_{OL} 0.5 Vdc)		10	0.60		0.50	2.0	–	0.40	–	
(V_{OL} 1.5 Vdc)		15	1.8		1.5	7.8	–	1.2	–	
Input Current	I_{in}		–	–	–	10	–	–	–	pAdc
Input Capacitance (V_{in} 0)	C_{in}	–	–	–	–	5.0	–	–	–	pF
Quiescent Dissipation (AL Device)	P_Q	5.0	–	0.025	–	0.000025	0.025	–	1.5	mW
		10	–	0.01	–	0.00010	0.1	–	6.0	
		15	–	0.3	–	0.0003	0.3	–	18	
Quiescent Dissipation (CL/CP Device)	P_Q	5.0	–	0.25	–	0.000025	0.25	–	3.5	mW
		10		1.0	–	0.0001	1.0	–	14	
		15	–	3.0	–	0.0003	3.0	–	42	
Power Dissipation**† (Dynamic plus Quiescent) (C_L = 15 pF)	P_D	5.0	P_D = (1.5 mW/MHz) f + P_Q							mW
		10	P_D = (6.0 mW/MHz) f + P_Q							
		15	P_D = (20 mW/MHz) f + P_Q							

*T_{low} = -55°C for AL Device, -40°C for CL/CP Device
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.
#Noise immunity specified for worst-case input combination.
†For dissipation at different external load capacitance (C_L) use the formula:

$$P_T(C_L) = P_D + 8 \times 10^{-3} (C_L - 15\ pF) V_{DD}^2 f$$

where P_T, P_D in mW (per package), C_L in pF, V_{DD} in Vdc, and f in MHz is input data frequency.
**The formula given is for the typical characteristics only.

Figura C.4-2. (*Continuación.*)

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}	All Types		Unit
			Typical	Maximum	
Output Rise Time	t_r				ns
t_r = (3.0 ns/pF) C_L + 30 ns		5.0	180	360	
t_r = (1.5 ns/pF) C_L + 15 ns		10	90	180	
t_r = (1.1 ns/pF) C_L + 10 ns		15	65	130	
Output Fall Time	t_f				ns
t_f = (1.5 ns/pF) C_L + 25 ns		5.0	100	200	
t_f = (0.75 ns/pF) C_L + 12.5 ns		10	50	100	
t_f = (0.55 ns/pF) C_L + 9.5 ns		15	40	80	
Propagation Delay Time, D to Q, $\overline{Q}$	t_{PLH},				ns
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 135 ns	t_{PHL}	5.0	220	440	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 57 ns		10	90	180	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 35 ns		15	60	120	
Propagation Delay Time, Clock to Q, $\overline{Q}$	t_{PLH},				ns
t_{PLH}, t_{PHL} = (1.7 ns/pF) C_L + 135 ns	t_{PHL}	5.0	220	440	
t_{PLH}, t_{PHL} = (0.66 ns/pF) C_L + 57 ns		10	90	180	
t_{PLH}, t_{PHL} = (0.5 ns/pF) C_L + 35 ns		25	60	120	
Minimum Clock Pulse Width	PW_C				ns
		5.0	150	300	
		10	50	100	
		15	40	80	
Maximum Clock Rise Time	t_r				–
		5.0	No Limit		
		10			
		15			
Hold Time	t_{hold}				ns
		5.0	50	100	
		10	25	50	
		15	20	40	
Setup Time	t_{setup}				ns
		5.0	0	50	
		10	0	30	
		15	0	25	

*The formula given is for the typical characteristics only.

FIGURE 1 – AC AND POWER DISSIPATION TEST CIRCUIT AND TIMING DIAGRAM
(Data to Output)

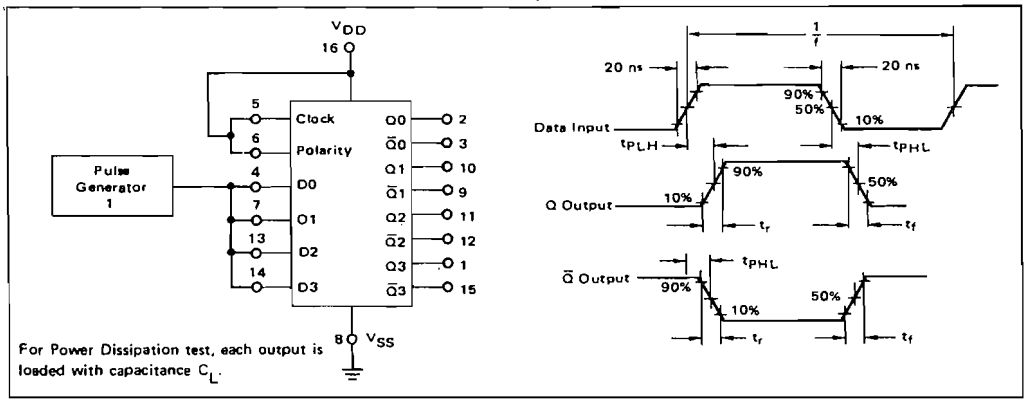


Figura C.4-2. (*Continuación.*)

MOTOROLA
Semiconductors
BOX 20912 • PHOENIX, ARIZONA 85036

MC14194B

4-BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTER

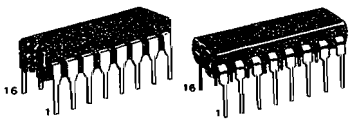
The MC14194B is a 4-bit static shift register capable of operating in the parallel load, serial shift left, serial shift right, or hold mode. The asynchronous $\overline{\text{Reset}}$ input, when at a low level, overrides all other inputs, resets all stages, and forces all outputs low. When $\overline{\text{Reset}}$ is at a logic 1 level, the two mode control inputs, S0 and S1, control the operating mode as shown in the truth table. Both serial and parallel operation are triggered on the positive-going transition of the Clock input. The Parallel Data, Data Shift, and mode control inputs must be stable for the specified setup and hold times before and after the positive-going Clock transition.

- Quiescent Current = 5.0 nA typ/pkg @ 5 Vdc
- Typical Shift Frequency = 9.0 MHz @ 10 Vdc
- Synchronous Right/Left Serial Operation
- Synchronous Parallel Load
- Asynchronous Hold (Do Nothing) Mode
- Functional Pin for Pin Equivalent of 74194

McMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

4-BIT BIDIRECTIONAL UNIVERSAL SHIFT REGISTER



L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

TRUTH TABLE

OPERATING MODE	INPUTS ($\overline{\text{Reset}}$ = 1)					OUTPUTS (@ t_{n+1})			
	S1	S0	DSR	DSL	D_{P0-3}	Q0	Q1	Q2	Q3
Hold	0	0	X	X	X	Q0	Q1	Q2	Q3
Shift Left	1	0	X	0	X	Q1	Q2	Q3	0
	1	0	X	1	X	Q1	Q2	Q3	1
Shift Right	0	1	0	X	X	0	Q0	Q1	Q2
	0	1	1	X	X	1	Q0	Q1	Q2
Parallel	1	1	X	X	0	0	0	0	0
	1	1	X	X	1	1	1	1	1

X = Don't Care
t_{n+1} = State after the next positive-going transition of the clock.

LOGIC DIAGRAM

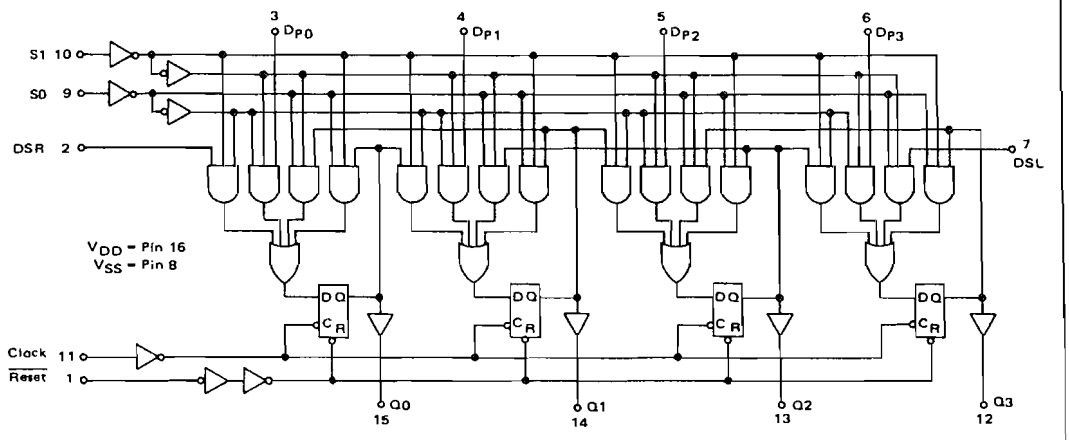


Figura C.4-3. Registro de desplazamiento bidireccional universal de 4 bits (*Motorola Inc.*)

MM54C192/MM74C192 synchronous 4-bit up/down decade counter
MM54C193/MM74C193 synchronous 4-bit up/down binary counter

general description

These up/down counters are monolithic complementary MOS (CMOS) integrated circuits. The MM54C192 and MM74C192 are BCD counters. While the MM54C193 and MM74C193 are binary counters.

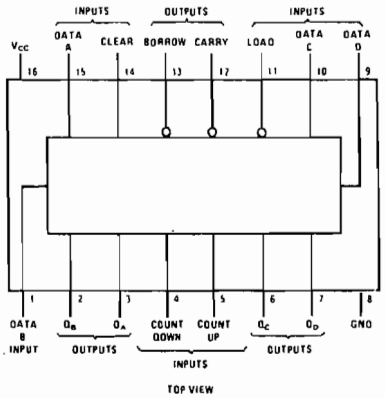
Counting up and counting down is performed by two count inputs, one being held high while the other is clocked. The outputs change on the positive going transition of this clock.

These counters feature preset inputs that are set when load is a logical "0" and a clear which forces all outputs to "0" when it is at logical "1". The counters also have carry and borrow outputs so that they can be cascaded using no external circuitry.

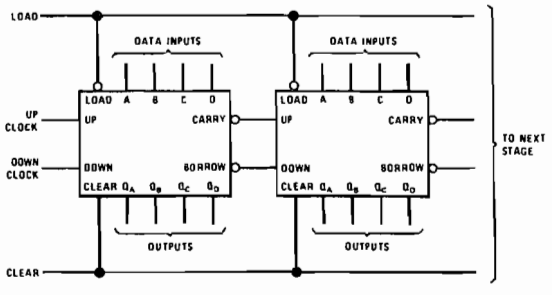
features

- High noise margin — 1V guaranteed
- Tenth power TTL compatible — drive 2 LPTTL loads
- Wide supply range — 3V to 15V
- Carry and borrow outputs for N-bit cascading
- Asynchronous clear
- High noise immunity — 0.45 V_{CC} typ

connection diagram



cascading packages



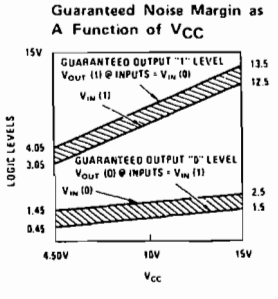
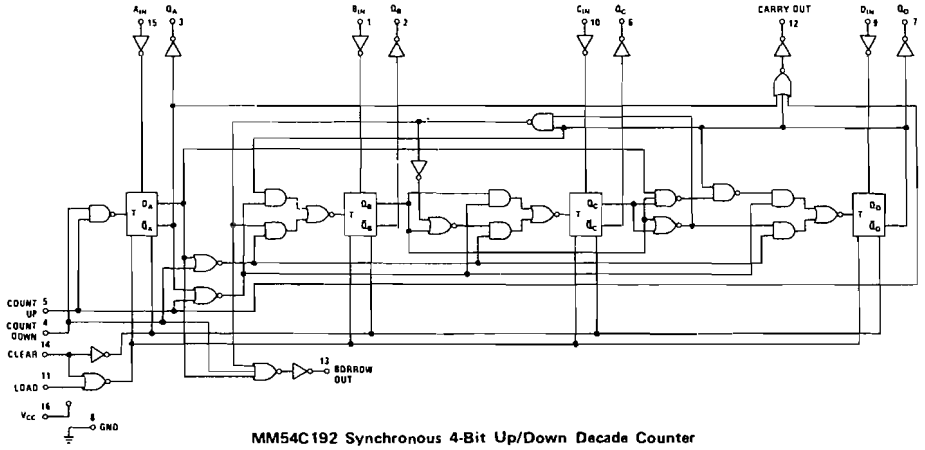
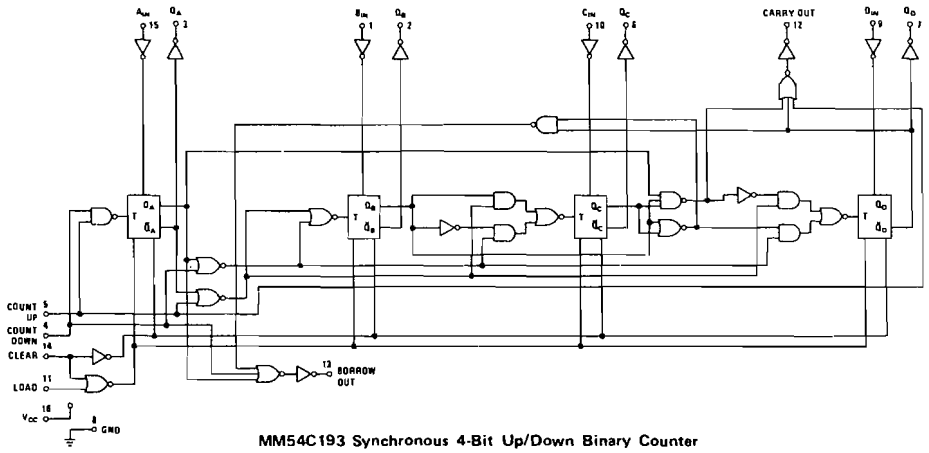


Figura C.4-4. Especificaciones de los contadores de 4 bits síncronos ascendente-descendente MM74C192 y MM74C193. (*Continúa en páginas siguientes*) (*National Semiconductor Inc.*)

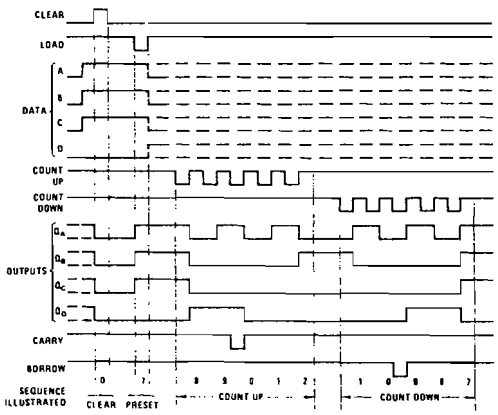
schematic diagrams



MM54C192 Synchronous 4-Bit Up/Down Decade Counter

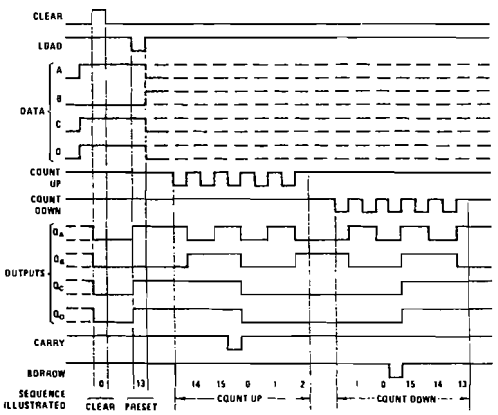


MM54C193 Synchronous 4-Bit Up/Down Binary Counter



Note 1: Clear outputs to zero.
Note 2: Load (preset) to BCD seven.
Note 3: Count up to eight, nine, carry, zero, one, and two.
Note 4: Count down to one, zero, borrow, nine, eight, and seven.

MM54C192/MM74C192



Note 1: Clear outputs to zero.
Note 2: Load (preset) to binary thirteen.
Note 3: Count up to fourteen, fifteen, carry, zero, one, and two.
Note 4: Count down to one, zero, borrow, fifteen, fourteen, and thirteen.

MM54C193/MM74C193

NOTE A: CLEAR OVERRIDES LOAD, DATA, AND COUNT INPUTS.
NOTE B: WHEN COUNTING UP, COUNT DOWN INPUT MUST BE HIGH. WHEN COUNTING DOWN, COUNT-UP INPUT MUST BE HIGH

MOTOROLA
Semiconductors
BOX 20912 • PHOENIX, ARIZONA 85036

MC14582B

LOOK-AHEAD CARRY BLOCK

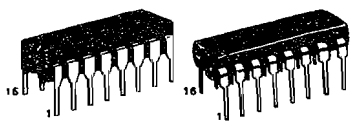
The MC14582B is a CMOS look-ahead carry generator capable of anticipating a carry across four binary adders or groups of adders. The device is cascadable to perform full look-ahead across n-bit adders. Carry, generate-carry, and propagate-carry functions are provided as enumerated in the pin designation table shown below.

- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- High Speed Operation – 140 ns typical @ V_{DD} = 10 Vdc (from Data-in to Carry-out)
- Expandable to any Number of Bits
- Noise Immunity = 45% of V_{DD} typical
- All Buffered Outputs
- Low Power Dissipation
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-Power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range

McMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

LOOK-AHEAD CARRY BLOCK



L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION

MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range – AL Device CL/CP Device	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C

LOGIC EQUATIONS

$C_{n+x} = \overline{G0} + (\overline{P0} \bullet C_n)$

$C_{n+y} = \overline{G1} + (\overline{P1} \bullet \overline{G0}) + (\overline{P1} \bullet \overline{P0} \bullet C_n)$

$C_{n+z} = \overline{G2} + (\overline{P2} \bullet \overline{G1}) + (\overline{P2} \bullet \overline{P1} \bullet \overline{G0}) + (\overline{P2} \bullet \overline{P1} \bullet \overline{P0} \bullet C_n)$

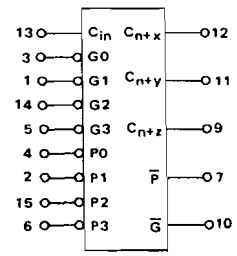
$\overline{G} = \overline{G3} + (\overline{P3} \bullet \overline{G2}) + (\overline{P3} \bullet \overline{P2} \bullet \overline{G1}) + (\overline{P1} \bullet \overline{P2} \bullet \overline{P3} \bullet \overline{G0})$

$\overline{P} = \overline{P3} \bullet \overline{P2} \bullet \overline{P1} \bullet \overline{P0}$

PIN DESIGNATIONS

DESIGNATION	PIN NO's	FUNCTION
$\overline{G0}, \overline{G1}, \overline{G2}, \overline{G3}$	3,1,14,5	Active-Low Carry-Generate Inputs
$\overline{P0}, \overline{P1}, \overline{P2}, \overline{P3}$	4,2,15,6	Active-Low Carry-Propagate Inputs
C_n	13	Carry Input
C_{n+x}, C_{n+y} C_{n+z}	12,11,9	Carry Outputs
$\overline{G}$	10	Active-Low Group Carry-Generate Output
$\overline{P}$	7	Active-Low Group Carry-Propagate Output

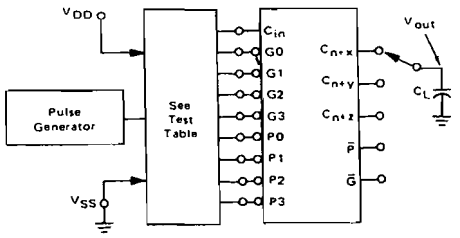
BLOCK DIAGRAM



V_{DD} = Pin 16
V_{SS} = Pin 8

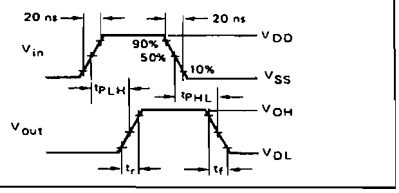
Figura C.4-5. Generadores de acarreo anticipado. (*Continúa en páginas siguientes*) (*Motorola Inc.*)

FIGURE 4 – SWITCHING TIME TEST CIRCUIT AND WAVEFORMS

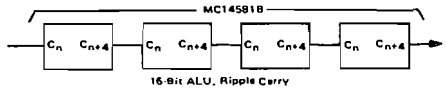


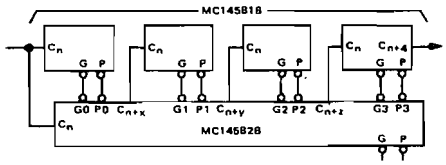
TEST TABLE

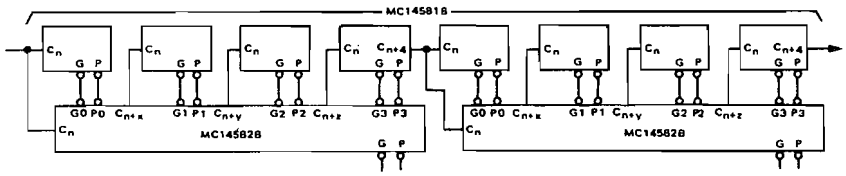
AC PATHS		DC DATA	
INPUT	OUTPUT	To V_{SS}	To V_{DD}
$\bar{P}0$	$\bar{P}$	Remaining $\bar{P}$'s, C_n	G's
G0	G	P's, C_n	Remaining $\bar{G}$'s
C_n	C_{n+x}, C_{n+y}, C_{n+z}	$\bar{P}$'s	$\bar{G}$'s

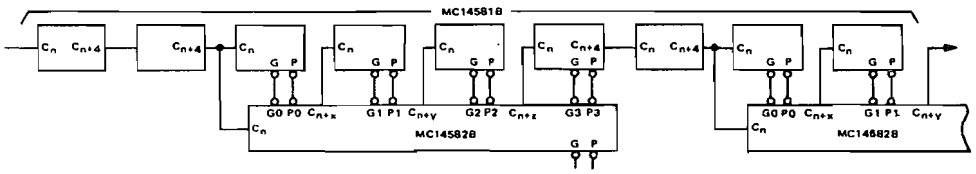


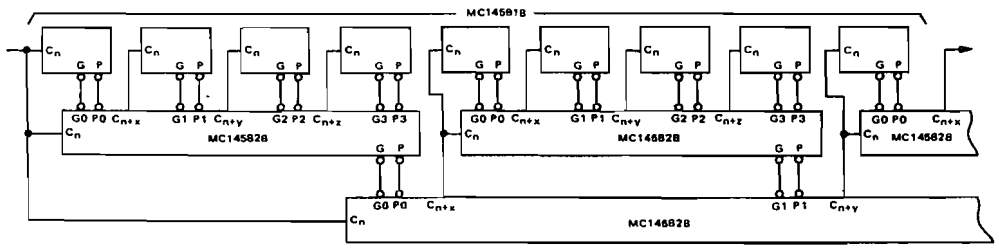
TYPICAL APPLICATIONS











A and B inputs and F outputs are not shown (MC145819).

Figura C.4-5. (*Continuación.*)

MOTOROLA Semiconductors

BOX 20912 • PHOENIX, ARIZONA 85036

MC14581B

McMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

4-BIT ARITHMETIC LOGIC UNIT

4-BIT ARITHMETIC LOGIC UNIT

The MC14581B is a CMOS 4-bit ALU logic unit capable of providing 16 functions of two Boolean variables and 16 binary arithmetic operations on two 4-bit words. The level of the mode control input determines whether the output funciton is logic or arithmetic. The desired logic function is selected by applying the appropriate binary word to the select inputs (S0 thru S3) with the mode control input high, while the desired arithmetic operation is selected by applying a low voltage to the mode control input, the required level to carry in, and the appropriate word to the select inputs. The word inputs and function outputs can be operated with either active high or active low data.

Carry propagate ($\overline{P}$) and carry generate ($\overline{G}$) outputs are provided to allow a full look-ahead carry scheme for fast simultaneous carry generation for the four bits in the package. Fast arithmetic operations on long words are obtainable by using the MC14582B as a second order look ahead block. An inverted ripple carry input (C_n) and a ripple carry output (C_{n+4}) are included for ripple through operation.

When the device is in the subtract mode (LHHL), comparison of two 4-bit words present at the $\overline{A}$ and $\overline{B}$ inputs is provided using the A = B output. It assumes a high-level state when indicating equality. Also, when the ALU is in the subtract mode the C_{n+4} output can be used to indicate relative magnitude as shown in this table:

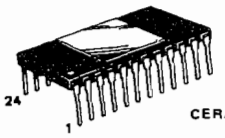
Data Level	C_n	C_{n+4}	Magnitude
Active High	H	H	$A \leq B$
	L	H	$A < B$
	H	L	$A > B$
	L	L	$A \geq B$
Active Low	L	L	$A \leq B$
	H	L	$A < B$
	L	H	$A > B$
	H	H	$A \geq B$

FEATURES:

- Functional and Pinout Equivalent to 74181.
- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- High Noise Immunity = 45% of V_{DD} typical
- Diode Protection on All Inputs
- Low Input Capacitance – 5.0 pF typical
- All Outputs Buffered
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Load, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to V_{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range – AL Device CL/CP Device	T_A	-55 to +125 -40 to +85	°C
Storage Temperature Range	T_{stg}	-65 to +150	°C



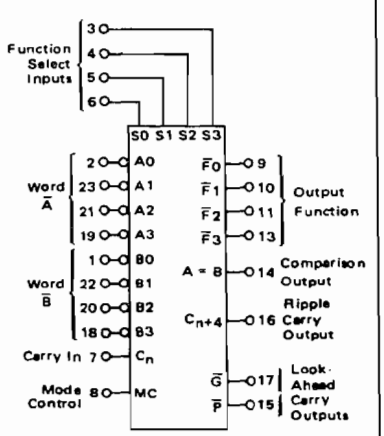
L SUFFIX
CERAMIC PACKAGE
CASE 684

P SUFFIX
PLASTIC PACKAGE
CASE 709

ORDERING INFORMATION

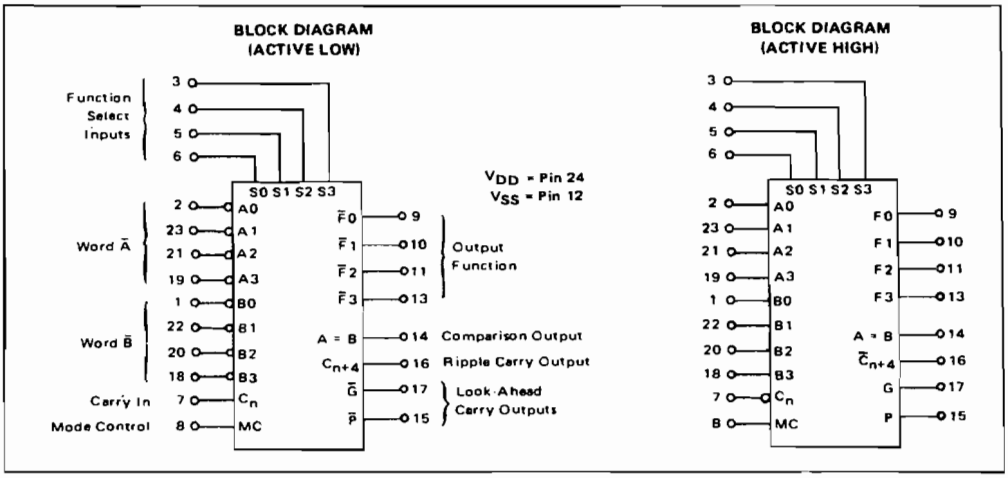
MC14XXXB — Suffix Denotes
- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

BLOCK DIAGRAM



V_{DD} = Pin 24
V_{SS} = Pin 12

Figura C.4-6. Unidad aritmético-lógica de 4 bits. (*Motorola Inc.*)



TRUTH TABLE

FUNCTION SELECT				INPUTS/OUTPUTS ACTIVE LOW		INPUTS/OUTPUTS ACTIVE HIGH	
S3	S2	S1	S0	LOGIC FUNCTION (MC = H)	ARITHMETIC* FUNCTION (MC = L, C_n = L)	LOGIC FUNCTION (MC = H)	ARITHMETIC* FUNCTION (MC = L, $\overline{C}_n$ = H)
L	L	L	L	$\overline{A}$	A minus 1	$\overline{A}$	A
L	L	L	H	$\overline{AB}$	AB minus 1	$\overline{A+B}$	A+B
L	L	H	L	$\overline{A}+B$	$A\overline{B}$ minus 1	$A\overline{B}$	$A+\overline{B}$
L	L	H	H	Logic "1"	minus 1	Logic "0"	minus 1
L	H	L	L	$\overline{A+B}$	A plus $(A+\overline{B})$	$A\overline{B}$	A plus $A\overline{B}$
L	H	L	H	$\overline{B}$	AB plus $(A+\overline{B})$	$\overline{B}$	$(A+B)$ plus $A\overline{B}$
L	H	H	L	$\overline{A \oplus B}$	A minus B minus 1	$A \oplus B$	A minus B minus 1
L	H	H	H	$A+\overline{B}$	$A+\overline{B}$	$A\overline{B}$	$A\overline{B}$ minus 1
H	L	L	L	$\overline{A}B$	A plus $(A+B)$	$\overline{A+B}$	A plus AB
H	L	L	H	$A \oplus B$	A plus B	$\overline{A \oplus B}$	A plus B
H	L	H	L	B	$A\overline{B}$ plus $(A+B)$	B	$(A+\overline{B})$ plus AB
H	L	H	H	A+B	A+B	AB	AB minus 1
H	H	L	L	Logic "0"	A plus A	Logic "1"	A plus A
H	H	L	H	$A\overline{B}$	AB plus A	$A+\overline{B}$	$(A+B)$ plus A
H	H	H	L	AB	$A\overline{B}$ plus A	A+B	$(A+\overline{B})$ plus A
H	H	H	H	A	A	A	A minus 1

* Expressed as two's complements. For arithmetic function with C_n in the opposite state, the resulting function is as shown plus 1.

Figura C.4-6. (*Continuación.*)

ORDERING INFORMATION

Device	Alternate	Temperature Range	Package
MC1455G	—	0°C to +70°C	Metal Can
MC1455P1	NE555V	0°C to +70°C	Plastic DIP
MC1455U	—	0°C to +70°C	Ceramic DIP
MC1555G	—	−55°C to +125°C	Metal Can
MC1555U	—	−55°C to +125°C	Ceramic DIP

MC1455
MC1555

Specifications and Applications Information

TIMING CIRCUIT

The MC1555/MC1455 monolithic timing circuit is a highly stable controller capable of producing accurate time delays, or oscillation. Additional terminals are provided for triggering or resetting if desired. In the time delay mode of operation, the time is precisely controlled by one external resistor and capacitor. For astable operation as an oscillator, the free running frequency and the duty cycle are both accurately controlled with two external resistors and one capacitor. The circuit may be triggered and reset on falling waveforms, and the output structure can source or sink up to 200 mA or drive MTTL circuits.

- Direct Replacement for NE555/SE555 Timers
- Timing From Microseconds Through Hours
- Operates in Both Astable and Monostable Modes
- Adjustable Duty Cycle
- High Current Output Can Source or Sink 200 mA
- Output Can Drive MTTL
- Temperature Stability of 0.005% per °C
- Normally "On" or Normally "Off" Output

FIGURE 1 – 22-SECOND SOLID-STATE TIME DELAY RELAY CIRCUIT

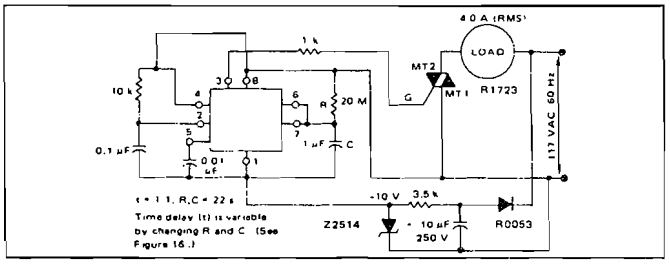
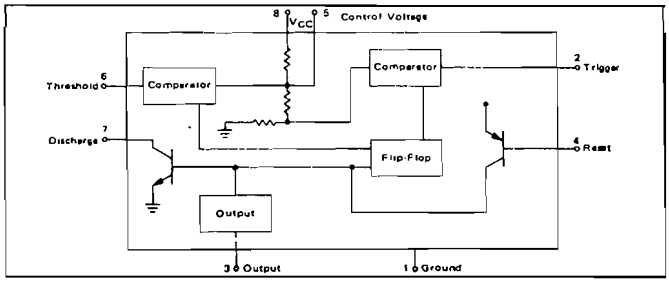


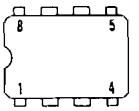
FIGURE 2 – BLOCK DIAGRAM



TIMING CIRCUIT

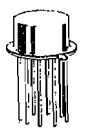
SILICON MONOLITHIC INTEGRATED CIRCUIT

P1 SUFFIX
PLASTIC PACKAGE
CASE 626
(Top View)
(MC1455P1 only)



1. Ground
2. Trigger
3. Output
4. Reset
5. Control Voltage
6. Threshold
7. Discharge
8. V_{CC}

U SUFFIX
CERAMIC PACKAGE
CASE 693



G SUFFIX
METAL PACKAGE
CASE 601

(Top View)

1. Ground
2. Trigger
3. Output
4. Reset
5. Control Voltage
6. Threshold
7. Discharge
8. V_{CC}

TYPICAL APPLICATIONS

- Time Delay Generation
- Precision Timing
- Missing Pulse Detection
- Sequential Timing
- Pulse Generation
- Pulse Width Modulation
- Linear Sweep Generation
- Pulse Shaping
- Pulse Position Modulation

Figura C.4-7. Temporizador 555 y algunas aplicaciones . (*Motorola Inc.*)

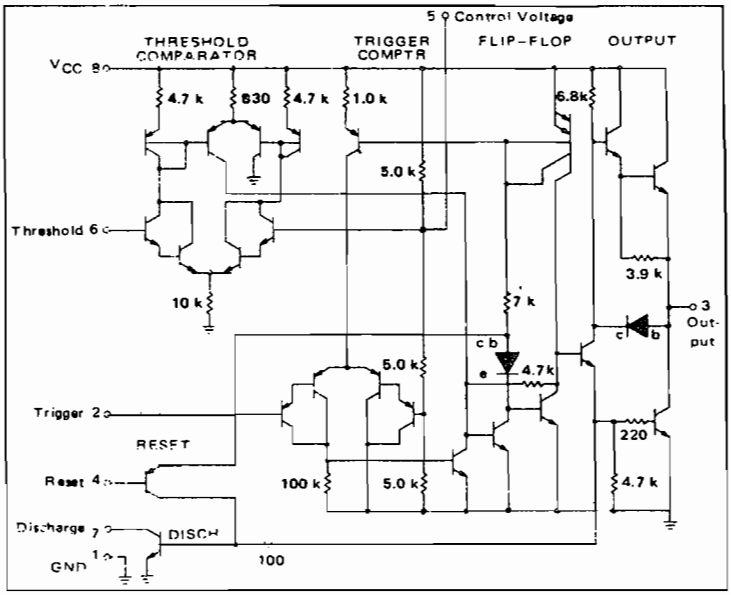


FIGURE 13 – REPRESENTATIVE CIRCUIT SCHEMATIC

GENERAL OPERATION

The MC1555 is a monolithic timing circuit which uses as its timing elements an external resistor – capacitor network. It can be used in both the monostable (one-shot) and astable modes with frequency and duty cycle controlled by the capacitor and resistor values. While the timing is dependent upon the external passive components, the monolithic circuit provides the starting circuit, voltage comparison and other functions needed for a complete timing circuit. Internal to the integrated circuit are two comparators, one for the input signal and the other for capacitor voltage, also a flip-flop and digital output are included. The comparator reference voltages are always a fixed ratio of the supply voltage thus providing output timing independent of supply voltage.

Monostable Mode

In the monostable mode, a capacitor and a single resistor are used for the timing network. Both the threshold terminal and the discharge transistor terminal are connected together in this mode, refer to circuit Figure 14. When the input voltage to the trigger comparator falls below 1/3 V_{CC} the comparator output triggers the flip-flop so that it's output sets low. This turns the capacitor discharge transistor "off" and drives the digital output to the high state. This condition allows the capacitor to charge at an exponential rate which is set by the RC time constant. When the capacitor voltage reaches 2/3 V_{CC} the threshold comparator resets the flip-flop. This action discharges the timing capacitor and returns the digital output to the low state. Once the flip-flop has been triggered by an input signal, it cannot be retriggered until the present timing period has been completed. The time that the output is high is given by the equation $t = 1.1\ R_A\ C$. Various combinations of R and C and their associated times are shown in Figure 16. The trigger pulse width must be less than the timing period.

A reset pin is provided to discharge the capacitor thus interrupting the timing cycle. As long as the reset pin is low, the capacitor discharge transistor is turned "on" and prevents the capacitor from charging. While the reset voltage is applied the digital output will remain the same. The reset pin should be tied to the supply voltage when not in use.

FIGURE 14 – MONOSTABLE CIRCUIT

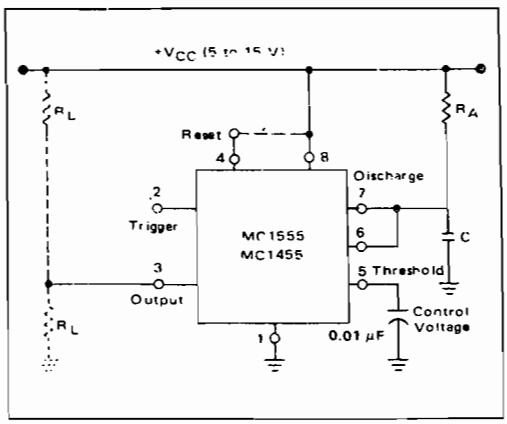
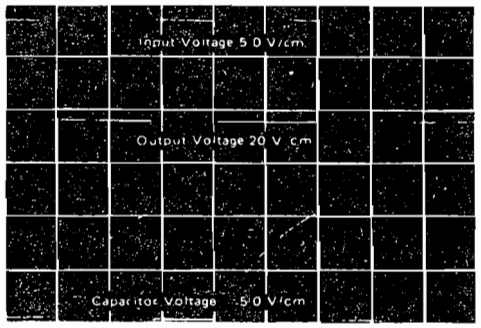


FIGURE C.4-7
(Continued)

GENERAL OPERATION (continued)

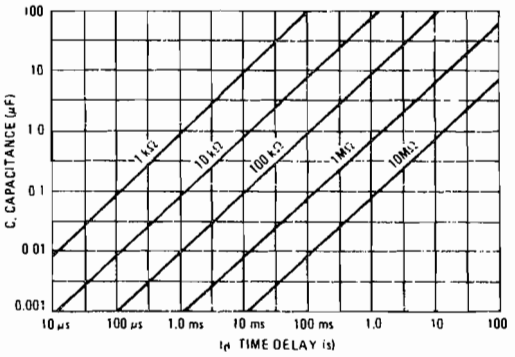
FIGURE 15 – MONOSTABLE WAVEFORMS



t = 50 μs/cm

(R_A = 10 kΩ, C = 0.01 μF, R_L = 1.0 kΩ V_{CC} = 15 V)

FIGURE 16 – TIME DELAY



Astable Mode

In the astable mode the timer is connected so that it will retrigger itself and cause the capacitor voltage to oscillate between 1/3 V_{CC} and 2/3 V_{CC}. See Figure 17.

The external capacitor charges to 2/3 V_{CC} through R_A and R_B and discharges to 1/3 V_{CC} through R_B. By varying the ratio of these resistors the duty cycle can be varied. The charge and discharge times are independent of the supply voltage.

The charge time (output high) is given by: $t_1 = 0.695\,(R_A+R_B)\,C$

The discharge time (output low) by: $t_2 = 0.695\,(R_B)\,C$

Thus the total period is given by: $T = t_1 + t_2 = 0.695\,(R_A+2R_B)\,C$

The frequency of oscillation is then: $f = \frac{1}{T} = \frac{1.44}{(R_A+2R_B)\,C}$

and may be easily found as shown in Figure 19.

The duty cycle is given by: $DC = \frac{R_B}{R_A+2R_B}$.

To obtain the maximum duty cycle R_A must be as small as possible; but it must also be large enough to limit the discharge current (pin 7 current) within the maximum rating of the discharge transistor (200 mA).

The minimum value of R_A is given by:

$$R_A \geq \frac{V_{CC}\ (Vdc)}{I_7\ (A)} \geq \frac{V_{CC}\ (Vdc)}{0.2}$$

FIGURE 17 – ASTABLE CIRCUIT

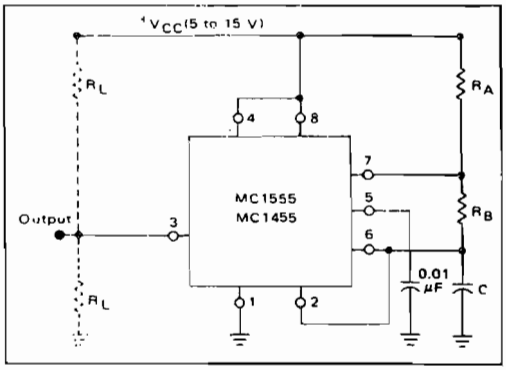
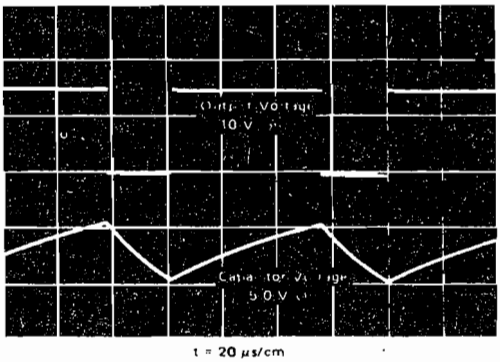


FIGURE 18 – ASTABLE WAVEFORMS



t = 20 μs/cm

(R_A = 5.1 kΩ C = 0.01 μF, R_L = 1.0 kΩ; R_B = 3.9 kΩ, V_{CC} = 15 V)

FIGURE 19 – FREE-RUNNING FREQUENCY

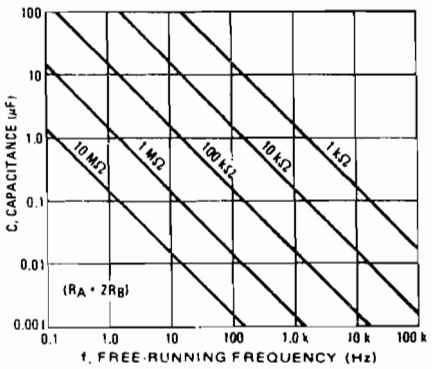


Figura C.4-7. (*Continuación.*)

Indice

Acumulación, 726-728
Adición de material, 798-807
  capa epitaxial, 799
  deposición química de vapor a baja presión (LPCVP), 799-800
  difusión, 802
  implantación iónica, 802
  metalización, 803-807
  oxidación térmica, 800-802
Adición:
  acumulación, 726-728
  desbordamiento, 705
  generadores de acarreo anticipado, 723-726
  semisumador, 718-720
  sumador binario completo, 720-723
  sustracción, 728-730
  uso del complemento a dos, 729-730
Algebra booleana, 574-578
Alineador de proyección, 798
Alta escala de integración (LSI) 836
Ampliación *(blowback)*, 797
Amplificador cascodo, 365-369
  análisis en pequeña señal, 367-369
  análisis en continua, 366-367
Amplificador de clase C, 253-259
Amplificador de clase D, 260-264
Amplificador de clase S, 264-267
Amplificador Darlington, 358-365
Amplificador de potencia, 225-272
  acoplamiento por transformador, 237-240
  de clase A, 225-236
  de clase C, 253-259
  de clase D, 260-264
  de clase S, 264-267
  de simetría complementaria, 251-253
  especificaciones de los fabricantes, 215-216
  factor de calidad, 231
  hipérbola de máxima disipación, 231-232
  push-pull acoplado directamente, 249-251
  push-pull de clase B, 241-248
  rendimiento, 230
Amplificador de simetría complementaria, 251-253
Amplificador de sintonía única, 486-497
  adaptación de impedancias, 490-493
  aproximación de alto Q, 488
  circuito resonante serie, 494-497
  con autotransformador, 491-495
  diseño, 492-493
Amplificador diferencial, 335-365, 395-397
  alta impedancia usando FET, 355-358
  análisis en pequeña señal, 341-343
  análisis gráfico, 337-341
  Darlington, uso de la entrada 361-365
  fuente de corriente constante, 346-358
  razón de rechazo de modo común (RRMC), 343-345
  resistencias de emisor para el equilibrio, uso de, 352-355
  señal de modo común, 336-337
  señal de modo diferencial, 336-337
Amplificador en base común, pequeña señal:
  circuito equivalente, 287-291
Amplificador en emisor común:
  circuito equivalente en pequeña señal, 276-286
  respuesta en alta frecuencia, 464-478
Amplificador en fuente común:
  circuito equivalente en pequeña señal, 480-482

respuesta en alta frecuencia, 310-312
Amplificador en puerta común, pequeña señal:
circuito equivalente, 322-323
Amplificador sintonizado síncrono, 497-500
Amplificadores:
potencia, 225-272
realimentación, 519-540
sintonizados, 486-500
Amplificadores acoplados por transformador, 237-240, 490-497
Amplificador compuesto (mixto), 358-365
Amplificadores operaciones, 369-379, 387-443
amplificador diferencial, 395-397
amplificador sumador, 397-399
análisis en continua, 370-376
análisis en pequeña señal, 376-379
circuito recortador, 405-406
circuito limitador, 408-411
CMRR [*véase* Razón de rechazo de modo común (RRMC)]
compensación de frecuencia, 548-550
configuración, 338
consideraciones prácticas, 432-436
control automático de ganancia, 427-432
detector de envolvente, 411-412
ejemplo de, 370-379
filtro pasatodo, 401-402
fuentes de alimentación reguladas, 420-422
ganancia de, 389, 390, 392-394
generador de barrido, 414-416
generador de autoelevación, *(bootstrap)*, 414-416
impedancia de entrada de, 379, 392, 394
impedancia de salida de, 379, 392, 394-395
integrador, 399-401
inversor lineal, 388-392
limitador, 412-414
logarítmico, 416-420
multiplicador analógico, 422-427
multiplicador, 422-427
no inversor, 392-395
razón de rechazo de la alimentación, 339
realimentación, 395
rectificador de media onda, 402-405
rectificador de onda completa, 406-407
resolución de ecuaciones diferenciales, 400-401
RRMC de, 396-397
Amplificadores sintonizados, 485-500
(*Véase también* Amplificador de sintonía única; Amplificador sintonizado síncrono)
Análisis de costes, 868-870
coste de desarrollo, 869
coste total, 869
coste unitario, 869
efecto del diseño aproximado, 870-871
Análisis de faltas, 903-905
cambio en los nodos, 903
stuck-at, 903-905
Análisis lógico, 894
Análisis temporal, 894-902
Ancho de banda, 467, 472, 473, 480, 488, 527
(*Véase también* Amplificadores específicos)
Aproximación de alto Q, 457, 460, 462
Aproximaciones sucesivas, convertidor A/D, 774-776
Arbol de fan-out, 879
Arsénico, 799
Atacado, 792, 807-810
húmedo, 808-809
seco, 810
Atacado isotrópico, 809

Banda de conducción, 16
Banda de valencia, 16
Barrido, generador de, 414-416
Biestables, 669-697
disparado por flanco, 683-685
eliminación de rebotes en pulsadores, 674-676
entradas asíncronas, 679
especificaciones de los fabricantes, 687-693
JK, 681-685
latch, 687
master-slave (maestro-seguidor), 679-681
RS, 671-681
señal de reloj, 680
sincronizado, 676-679
tipo D, 685-687
Bloques lógicos configurables, 837
Boro, 17

Caída en circuitos de muestreo y retención, 758
Campo fijo, 891
Capa de pasivación, 799
Capacidad:
BJT, 465
diodo, 42-43
FET, 469
PIN, 53
transición, 42
varicap, 42
Capacidad de difusión, 43
Capacidad del cableado, 899

Capacidad de puerta (C_{ox}), 801
Capacidad Miller:
  amplificación inversa, 473
  en amplificadores en emisor común, 469-474
  en amplificadores en fuente común, 480-482
Capas epitaxiales, 799
Cilindros de semiconductor (*boules* o *ingots*), 794
Circuito híbrido en pi, 465-469
Circuito limitador:
  usando amplificadores operacionales, 405-411
  usando diodos, 13-14
Circuito recortador:
  usando amplificadores operacionales, 405-406
  usando diodos, 13-14
Circuitos aritméticos 718-734
Circuitos de muestreo y retención, 755-759
  tiempo de adquisición, 756
  tiempo de apertura, 756
  tiempo de establecimiento, 757
  velocidad de caída de la salida, 757
Circuitos de temporización, 779-784
  multivibrador astable, 781-783
  multivibrador monoestable, 780-781
  temporizador integrado 555, 783-784
Circuitos divisores de fase:
  bipolar (BJT), 300-301
  FET, 320-322
Circuitos integrados de aplicación específica (ASIC), metodología de diseño de, 835-868
  full custom (totalmente a medida) 867-868
  gate arrays (matriz de puertas), 840-852
  logic cell array (matriz de células lógicas), 837-840
  standard cells (células estándar), 854-867
  structured array (matrices estructuradas), 852-854
Circuitos lineales por tramos, 21-31
Colector común (*véase* Seguidor de emisor)
CMOS logic 653-654
Comparador, 772
Compensación en frecuencia (*vease* Realimentación)
Compensación por adelanto (*lead*) de amplificadores realimentados, 545-548
Compensación por retardo (*lag*) de amplificadores realimentados, 535-545
Compilación de ecuaciones, 892
Complemento a dos, 729-730, 731-732
Condensador de desacoplo de emisor, 417-420
Condensadores de acoplo, 455-460
Condiciones de oscilación, 550
Consideraciones de diseño de sistemas, 868-879
  análisis de costes, 868-872
  relojes, 879-884
  testeabilidad, 872-879
Contador de anillo, 715
Contadores:
  asíncrono (*véase Ripple*)
  contador en anillo, 715
  decodificador binario-decimal, 709
  división de frecuencia, 711
  efecto del retardo de propagación, 710
  especificaciones de los fabricantes, 718
  módulo 3, no-binario, 713
  multiplexado por división en el tiempo, 715
  registro de desplazamiento, 715-717
  ripple (asíncrono), 707-711
  síncrono, 711-718
Contadores asíncronos *(ripple counters)*, 707-711
Contadores síncronos, 711-718
  no binarios, 713
  registros de desplazamiento, 715
Control automático de ganancia, 427-432
Convertidores analógico-digital, 422-427, 771-779
  aproximaciones sucesivas, 774-776
  controlado por contador, 773-774
  convertidor flash, 777-779
  especificaciones, 779
  uso de compradores analógicos, 772-773
Convertidores digital-analógico, 759-771
  controlados por tensión, 766
  controlados por corriente, 767
  desviación (offset) de salida, 770
  escalera *R-2R*, 762-765
  especificaciones, 770-771
  interruptores usados en, 765-770
  precisión, 762
  resistencias ponderadas, 760-761
  resolución, 762
Corte para el contacto, 803
Crecimiento de Czochralski, 794
Cristal p (SiO_2 dopado con fósforo), 814
Criterio de estabilidad de Nyquist, 533-535
  diagramas de Bode, 533-535
  diagramas de Nyquist, 534

Dado, tamaño de, 795
Decibelio, definición y uso, 913-914
Densidad de defectos, 817
Deposición química de vapor a baja presión (LPCVD), 799-800
Descarga luminosa, 810

Detector de envolvente, 411-412
Detector de cresta, 9-13
Diagramas de Bode, 449-455
Difusión 791, 799, 802
Diodos, 1-79
  análisis en pequeña señal, 25-31
  análisis gráfico, 24-27
  capacidad, 42-43
  circuito fijador, 13-14
  circuito lineal por tramos, 21-31
  conjunto de, 32-38
  detector de cresta, 9-13
  efectos de la temperatura, 54-61
  especificaciones de los fabricantes, 61-64
  generación de funciones, 38-41
  ideal, 1-16
  línea de carga en alterna, 30-31
  línea de carga en continua, 22-25
  modulador de AM, 10
  multiplicador, 37-38
  PIN, 51-54
  puertas analógicas, 32-38
  puertas lógicas, 15-16
  rectificador, 2-8
  regulador de tensión, 49-51
  resistencia, 25-30
  Schottky, 43-45
  teoría de semiconductores, 16-22
  Zener, 45-51
Dióxido de silicio (SiO_2), 799
Diseño totalmente a medida (*véase* Full custom)
Dispersión del proceso, 794, 819-821
Dispositivo de acoplamiento de carga (CCD), 177-180
Dopado, 17

ECL (*véase* Lógica acoplada por emisor)
Efectos de la temperatura:
  compensación de transistores, 201-204
  diodos, 54-61
Efectos de la temperatura y de la tensión, 821-825
  retardo en el peor caso, 824-825
  temperaturas de la unión, 822-823
  variación de tensión, 823-824
Eliminación de material, 807-810
  atacado anisótropo, 809
  atacado isótropo, 809
  atacado húmedo, 808-809
  atacado en seco, 810
  sesgo de atacado, 809
  undercutting, 808
Empujador de Czochralski 794
Encapsulado DIP (*dual-in-line package*), 816
Enclavamiento (latch-up), 794, 801-802
Entrada esquemática, 892
Entrada lógica, 891-892
  campo fijo, 891
  camo libre, 891
  compilación de ecuaciones, 892
Error de cuantificación:
  en convertidores A/D, 771
  en convertidores D/A, 760
Escala media de integración (MSI), 836
Escalado, 732
Escape térmico, 54
Especificaciones de los fabricantes:
  comparación de puertas, 662-664
  comparación de PLA, PAL y LCA, 745
  comparación de biestables, 693
  de FET, 325-327, 929-938
  de biestables, 687-692, 939-940
  de ECL, 648-653
  de TTL, 626-635
  de amplificadores operacionales, 434-436
  de bloques de generación de acarreo anticipado, 947-948
  de diodos, 61-63
  de bipolares (de BJT), 215-216, 306-307, 918-929
  de unidades aritmético-lógicas, 949-950
  de convertidores A/D, 771, 779
  de CMOS, 656-658
  de convertidores D/A, 772
  del registro de desplazamiento MC14194B, 914
  del latch MC14042, 941-943
  del contador 54C192, 945-946
Espesor del óxido de puerta (t_{ox}), 801
Estabilidad de un amplificador realimentado, 526-535

Fabricación de circuitos VLSI, 791-816
  adición de material, 798-807
  litografía, 797-798
  fabricación de máscaras, 795-797
  eliminación de material, 807-810
  encapsulado, 814-816
  fabricación típica CMOS, 810-814
  preparación de la oblea, 794-795
Fabricación de máscaras, 795-797
  ampliación, 797
  DSW, 797

litografía, 797
retícula, 797
tamaño del dado, 795
tamaño del lote, 795
Factor de amplificación:
α, 83
β, 83
Factores de estabilidad, 194-201
Fallo stuck-at, 872, 903-905
Fan-out, 614, 652-653
FET de potencia, 173-177
consideraciones térmicas, 214-215
FET (*véase* Transistor de efecto de campo)
Filtros digitales, 734-741
primer orden, 736
realización de circuitos, 741
respuesta senoidal, 737
Fósforo, 18, 814
Fotosensible (fotorresistente), 797
Fotosensible positivo, 798
Fuente de corriente constante, 346-352
Fuentes de alimentación, 420-422
Fuentes de alimentación reguladas:
amplificadores operacionales, 420-422
diodos, 49-51
Full custom, 867-868
CALMA, 867
equipo para, 868
estructura de, 868
Función de sensibilidad, 525-526
Función NO (NOT), 565-567, 610
(*Véase también* Funciones lógicas)
Función NO-O (NOR), 579-580
Función O (OR), 570-571
Función Y (AND), 568-569
Funciones lógicas:
combinaciones de funciones básicas, 571
expresiones con sólo NO-Y o sólo NO-O, 582
NO (NOT), 565-610
NO-O (NOR), 579
NO-Y (NAND), 578
O (OR), 570
O-exclusiva (EXOR), 580
producto de sumas, 585
síntesis usando formas canónica 586
sistemas de numeración, 598-602
suma de productos, 583
tabla de verdad, 567
tablas de Karnaugh, 588-595
teoremas booleanos, 574
(wired-AND), 619-622
Y (AND), 568
Y cableada (Y por conexión, wired-AND), 619-622
(*véase también* Algebra booleana)

GaAs FET (MESFET), 165
Ganancia de lazo, 524-525,
(*Véase también* Realimentación)
Gate arrays (matrices de puertas):
CAD, 851
comparación de, 745
datos de células para, 851
dimensionado, 852
diseñado con, 844-852
estructura, 842-844
librería de células, 850
Logic Cell Array (LCA), 744-745
Programmable Logic Array (PLA o PAL), 741-744
PROM, 742
utilización de células, 852
Generación de funciones, 38-41
Generador de patrones, cinta magnética (PG), 796
Germanio, 19
Graduación de fallos, 903
Grado de anisotropía, 809

Húmedo, atacado, 808-809

Implantación iónica, 799, 802
Impresión en proximidad, 798
Inmunidad al ruido, 612-614
Integrador, 368
Interconexión (interface), 659-662
CMOS-TTL, 659-662
ECL-TTL, 662
TTL-CMOS, 659-662
Interface (*véase* Interconexión)
Interruptor a transistor, 503-506
tiempo de almacenamiento, 504
tiempo de caída, 504
tiempo de puesta al corte, 504
tiempo de puesta en conducción, 503
tiempo de retardo, 504
tiempo de retardo de propagación, 504-505
tiempo de subida, 504
Inversor (*véase* Puerta NO)

JFET de unión, 142-147

Latch (*véase* Biestables)
Latch-up (*véase* Enclavamiento)
Layout de circuitos integrados, 905
Leadless chip carriers (LCC), 816
Leyes de De Morgan, 576
Leyes de escalado, 794, 825-827
Limitador, 412-414
Líneas de transmisión en ECL, 645-668
Litografía, 797-798
  alineador de proyección, 798
  haz electrónico (e-beam), 772
  escritura directa, 798
  fotosensible (fotorresistente), 797
  óptica, 798
  rayos X, 798
Litografía directa sobre oblea (DSW), 797
Litografía por haz de electrones (*e-beam*), 798
Litografía por rayos X, 798
Logarítmico, amplificador, 417-420
Logic cell array, 837-840
  bloques lógicos configurables (CLB), 837
  bloques de entrada/salida, 837
  CAD, 838
Lógica acoplada por emisor (ECL), 635-653
  características de transferencia, 609, 620
  comparación con otras familias, 662-664
  especificaciones de los fabricantes, 639, 648
  fan-out, 652-653
  inmunidad al ruido, 652
  interconexión (interface) con TTL, 662
  líneas de transmisión, uso de, 645-628
  O por conexión (O cableada), 643
  puerta básica, 635-636
  puertas ECL comerciales, 636-640
  receptor diferencial, uso de, 647
  reducción del ruido en la alimentación, 644
  referencia de tensión, circuito de, 641-643
  retardo de propagación, 649, 653
Lógica CMOS (*véase* CMOS logic)
Lógica Transistor-Transistor (*véase* Transistor-Transistor Logic)
Lógica Y cableada (TTL), 619-622
LSI (*Véase también* Alta escala de integración), 836
Lugar de las raíces, 533

Margen de fase, 536
Material tipo *p*, 17-18
Material tipo *n*, 18
Material donante, 17
Material aceptador, 17
Matrices (*véase* Gate arrays)
Mejora del rendimiento, 817
Metalización, 803-807
  capacidad, 805
  resistividad del metal, 804
  resistividad de polisilicio, 804
  resistividad del polisiliciuro, 804
Modelo de Ebers-Moll, 94-100
Moduladores de AM, 9-10
MOSFET, 147-154
  MOS de potencia, 173
  protección de entrada, 172-173
MSI (*véase* Escala media de integración), 836
Multiplexador, 715
Multiplicador:
  a diodos, 37-38
  amplificador operacional, 422-427
Multiplicador analógico, 422-427
Multivibrador:
  astable, 781-783
  monoestable, 780-781
  (*Véase también* Biestables)
Multivibrador biestable (*véase* Biestables)
Muy alta escala de integración (VLSI), 836

Nitruro de silicio (Si_3N_4), 799

O-exclusiva, función, 580-581
Osciladores, 550-558
  circuitos sintonizados, 554-555
  Colpitts, 556-557
  condiciones para la oscilación, 550
  cristal, 557
  desplazamiento de fase, 550-552
  Hartly, 557-558
  puente de Wien, 553-554
Oxidación térmica, 800-802
  C_{ox}, 801
  pico de pájaro, 801
  t_{ox}, 801
Oxido de campo, 800

Parámetros híbridos:
  bipolar, 274-276
  FET, 307
Peor caso en el tiempo de propagación, 824-825
Pequeña señal, amplificadores bipolares:
  configuración en base común, 287-291
  configuración en emisor común, 276-
  configuración en seguidor de emis
  especificaciones de los fabricantes, 3

parámetros híbridos, 274-276
reflexión de impedancias, 295-305
seguidor de emisor con autoelevación, 302-305
Pequeña señal, amplificadores FET, 307-327
configuración en fuente común, 310-312
configuración en puerta común, 322-323
especificaciones de los fabricantes, 325-327
FET de doble puerta, 323-325
parámetros híbridos, 308-309
reflexión de impedancias, 316-320
seguidor de fuente, 312-316
Pico de pájaro, 801
Pin grid arrays (PGA), 816
Plasma, 810
Polarización del bipolar:
análisis del factor de estabilidad, 194-201
compensación térmica, 201-206
consideraciones térmicas, 211-213
incertidumbre de β, 188-192
variación de temperatura, 192-194
Polarización del FET, 205-208
Polarización del MOSFET, 209-211
consideraciones térmicas, 214-215
Polisilicio (*poly*), 799, 803
Polisiliciuro, 803
Polisiliciuro de platino (PtSi), 803
Polisiliciuro de tántalo (TaSi), 803
Polisiliciuro de titanio (TiSi), 803
Preparación de las obleas de silicio, 794-795
crecimiento de Czochralski, 794
empujador de Czochralski, 794
Proceso en batch (cola), 795
Producto de sumas de funciones lógicas, 585-586
Producto ganancia-ancho de banda:
para amplificadores acoplados por RC, 500-502
para amplificadores bipolares, 500-501
para amplificadores FET, 501-502
para amplificadores sintonizados, 503
Prueba de obleas, 814-816
Puente de Wien, oscilador en, 553
Puerta (*véase* Puerta de transmisión; Puertas lógicas)
Puerta de transmisión, 166-171
Puerta NO (NOT), 610
Puerta O (OR), 637
Puertas e interruptores analógicos:
puertas con FET, 169
puertas de diodos, 32-38
Puertas equivalentes, 835
Puertas lógicas:
CMOS, 653-658
comparación de familias lógicas, 662-664
diodo, 15-16
ECL, 635-653
fan-out, 614
inmunidad al ruido, 612-614
interconexión de puertas, 659-662
TTL, 615-635
Pull up activo, 616-619
Punto Q:
FET, 159
transistores, 110-112, 188-204, 226-228
Push-pull, amplificadores, 241-253
acoplamiento directo, 249
simetría complementaria, 251-253

Razón de rechazo de modo común (RRMC):
de un amplificador diferencial, 343-345
de un amplificador operacional, 397
de una puerta ECL, 646
Realimentación:
conceptos básicos de, 519-526
de los amplificadores operacionales, 395, 520
diferenciación de tensión, 521
diferenciación de corriente, 522-524
estabilidad, 532-550
ganancia; 522-524
ganancia de lazo, 524-525
ganancia y producto ganancia-ancho de banda, 527-532
negativa, 521
osciladores, 550-558
positiva, 550-558
respuesta frecuencial, 526-527
sensibilidad, 525-526
Recocido, 802
Rectificador:
diodo, 2-8
especificaciones de los fabricantes, 61-63
regulación, 8-9
usando amplificadores operacionales, 402-407
Red metálica, 883-884
Redes de estabilización, 535-550
compensación por adelanto (*lead*), 545-548
compensación por retardo (*lag*), 540
diseño de redes de retardo, 540
frecuencia de cruce de ganancia, 536
margen de fase, 536
Reflexión de impedancia:
en bipolares, 295-305
en FET, 316-320

Región de transición, 42
Región prohibida (*véase* Zona prohibida)
Registros (*véase* Registros de desplazamiento)
Registros de desplazamiento, 699, 705
  contadores, 615
  entrada paralelo, 701-702
  entrada serie, 699-701
  FIFO, 705-707
  universal, 702-705
Reguladores de tensión (*véase* Fuentes de alimentación reguladas)
Relación de muestreo de Nyquist, 741
Relojes, 879-884
  de evolución libre, 881-883
  distribución en red metálica, 883-884
  niveles de minimización, 881
Rendimiento del proceso, 794, 816-819
Respuesta en alta frecuencia:
  del amplificador a transistor, 464-478
  del amplificador FET, 478-485
Respuesta en baja frecuencia:
  del amplificador a transistor, 447-462
  del amplificador a FET, 462-464
Respuesta frecuencial, frecuencias de corte y ancho de banda, 445-446
Respuesta senoidal de un filtro digital, 737-741
Retícula, 797
Ruptura por avalancha, 18

Saturación:
  bipolares, 97-99, 132
  FET, 144
Scan path (examen de la trayectoria), 872-875
Schottky, diodos, 43-45
Schottky, transistor, 100-102
Schottky TTL, 623-625
Seguidor de emisor:
  a altas frecuencias, 474-478
  autoevaluación (*bootstrapping*), 303
  circuito equivalente en pequeña señal, 291-295
  funcionamiento del, 126-134
Seguidor de fuente:
  circuito equivalente en pequeña señal, 312-316
  comportamiento en alta frecuencia, 482-485
Selectividad, 808
Semisumador, 718
Sesgo de atacado (*etch bias*), 809
Silano (SiH_4), 800
Silicio, 17
Silicio sobre zafiro (SOS), 799
Simetría complementaria en MOS (CMOS):
  comparación con otras familias lógicas, 662-664
  especificaciones de los fabricantes, 656-658
  interconexión (interface) con TTL, 659-662
  lógica, 162-165, 653-658
  puerta básica, 654
  retardo de propagación, 657
Simulación, 892-905
  análisis de faltas, 903-905
  circuito, 892-894
  funcional, 902
  graduación de fallos, 903-905
  modo mixto, 902
  nivel de puerta, 894-902
Simulación por eventos, 900-902
Simuladores a nivel de puerta, 894-902
  análisis en el tiempo, 894-900
  análisis lógico, 894-900
  controlados por evento, 900-902
Simuladores de circuitos, 892-894
Simuladores mixtos, 902
Sistema de numeración octal, 601-602
  (*Véase también* Sistemas de numeración)
Sistema numérico binario, 598-602
Sistema numérico hexadecimal, 601-602
  (*Véase también* Sistema numérico binario)
Sistema de mantenimiento en el chip (OCMS), 876-879
Sistemas de escritura directa, 798
Sistemas de numeración, 598-602
Software para diseño de VLSI asistido por computador (CAD):
  entrada lógica, 891-892
  layout, 905-907
  reglas de diseño, 908
  simulación, 892-905
  verificación de layout, 907-909
SPICE, 894
Standard cells, 854-867
  dimensionado de, 862-867
  diseño con, 859-862
  estructura, 856-859
Structured array, 852-856
  dimensionado de, 854
  diseñado con, 854
  estructura de, 853-854
Suma de productos de funciones lógicas, 583-585
Sumador completo, 720-723
Sustracción, 728-730

Tabla de verdad, 567
(*Véase también* Funciones lógicas)
Tablas de Karnaugh, 588-598
para cuatro variables, 591-595
para tres variables, 590-591
Tamaño de lote, 795
Temperatura en la unión, 822-823
Tensión inversa de cresta, 61
Teoría de semiconductores, 16-22
Tetracloruro de silicio ($SiCl_4$), 799
Tiempo de subida, 504
Tiempo de apertura de circuitos de muestreo y retención, 756-757
Tiempo de establecimiento:
en convertidores D/A, 757
en circuitos de muestreo y retención, 757
Tiempo de retardo de propagación, 504-505
de ECL, 652-653
de TTL, 631-636
Tiempo de conversión en convertidores A/D, 747
Tiempo de adquisición en circuitos de muestreo y retención, 756
Tiempo de retardo, 504
Transistor *npn*, 81-88
Transistor de efecto de campo (FET), 141-185
amplificador, 159-162
análisis en pequeña señal, 307-309
análisis gráfico, 196-201
canal *p*, 155-157
dispositivo de acoplamiento de carga (CCD), 177-180
doble puerta, 323-325
efectos de la temperatura, 171-172
estrangulamiento, 143, 148
GaAs (MESFET), 165
interruptor, 166-171
modo de empobrecimiento, 158-162
modo de enriquecimiento, 143
MOSFET, 147-154
potencia (VMOS), 173-177
protección de la entrada, 172-173
resistencia, 167-169
respuesta frecuencial, 462-464, 478-485
saturación, 144-146
simetría complementaria, 162-165
sustrato, 152
transconductancia, 308
unión, 142-147
Transistor *pnp*, 89
Transistor bipolar, 81-140
amplificación, 89-94, 273-307
análisis gráfico, 102-112
análisis en pequeña señal, 273-309
características en emisor común, 92-94
condensador de acoplo, 123-126
condensadores de desacoplo, efectos de, 118-123
disipación de potencia, 113-118
especificaciones de los fabricantes, 215-216
flujo de corriente, 81-89
modelo de Ebers-Moll, 94-100
npn, 79-88
parámetros híbridos, 274
pnp, 89
polarización (*véase* Polarización del BJT)
respuesta en frecuencia, 447-462, 464-478
saturación, 97-99
Schottky, 100-102
seguidor de emisor, 126-134
unión base-emisor, 83-86
unión colector-base, 86-88
Transistor estándar de resistencia y capacidad, 615-664
características de transferencia, 622-623
comparación con otras familias lógicas, 662-664
especificaciones de los fabricantes, 626-635
interconexión (interface) con ECL, 662
interconexión (interface) con CMOS, 659-662
puerta básica, 615-619
puertas de colector abierto, 619, 620
pull-up activo, 616-619
tiempo de retardo de propagación, 631
TTL Schottky, 623-625
y cableada (Y por conexión o wired-AND), 619
Transistores (*véase* FET; Schottky, transistor; Transistor bipolar)

Undercutting, 808

Valores estándar de resistencia y capacidad, 915-916
Variación de tensión, 823-824
Varicap, 42
Vectores de test, 814, 872
Velocidad-potencia en las familias lógicas, 664
Verificación del layout, 890
Vías huecas, 803, 808
VLSI (*véase* Muy alta escala de integración)

Zener, diodos, 45-51
Zona prohibida, 16
β, 83